**《计算机组成原理实验》指导手册**

实验一 运算器与排序

1. 实验目标
   1. 掌握算术逻辑单元（ALU）的功能，加/减运算时溢出、进位/借位、零标志的形成及其应用；
   2. 掌握数据通路和控制器的设计和描述方法。
2. 实验内容

1. ALU的设计

待设计的ALU模块的逻辑符号如图-1所示。该模块的功能是将两操作数（a，b）按照指定的操作方式（m）进行运算，产生运算结果（y）和相应的标志（f）。

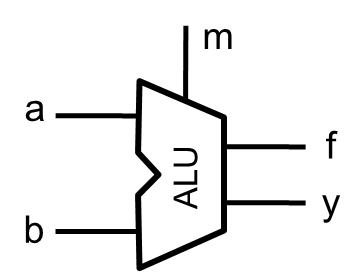


图-1 ALU模块逻辑符号

操作方式m的编码与ALU的功能对应关系如表-1所示。表中标志f细化为进位/借位标志（cf）、溢出标志（of）和零标志（zf）；“\*”表示根据运算结果设置相应值；“x”表示无关项，可取任意值。例如，加法运算后设置进位标志（cf）、of和zf，减法运算后设置借位标志（cf）、of和zf。

表-1 ALU模块功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| m | y | cf | of | zf |
| 000 | a + b | \* | \* | \* |
| 001 | a - b | \* | \* | \* |
| 010 | a & b | x | x | \* |
| 011 | a | b | x | x | \* |
| 100 | a ^ b | x | x | \* |
| 其他 | x | x | x | x |

参数化的ALU模块端口声明如下：

module alu

#(parameter WIDTH = 32) //数据宽度

(output [WIDTH-1:0] y, //运算结果

output zf, //零标志

output cf, //进位/借位标志

output of, //溢出标志

input [WIDTH-1] a, b, //两操作数

input m //操作类型

);

……

endmodule

2. 排序电路的设计

利用前面设计的ALU模块，辅之以若干寄存器和数据选择器，以及适当的控制器，设计实现四个4位有符号数的排序电路，其逻辑符号如图-2所示。

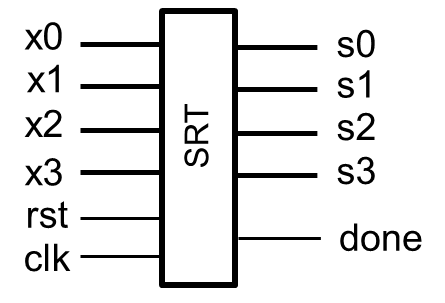


图-2 排序电路逻辑符号

该排序电路模块端口声明如下：

module sort

#(parameter N = 4) //数据宽度

(output [N-1:0] s0, s1, s2, s3, //排序后的四个数据（递增）

output done, //排序结束标志

input [N-1] x0, x1, x2, x3, //原始输入数据

input clk, rst //时钟（上升沿有效）、复位（高电平有效）

);

……

endmodule

示例：三个无符号数排序电路的数据通路、控制器及其状态图如图-3和图-4所示。

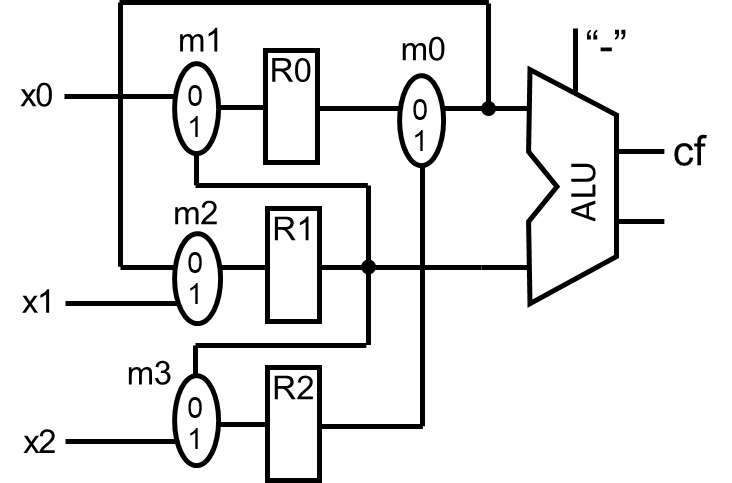


图-3 三个无符号数排序电路的数据通路逻辑框图

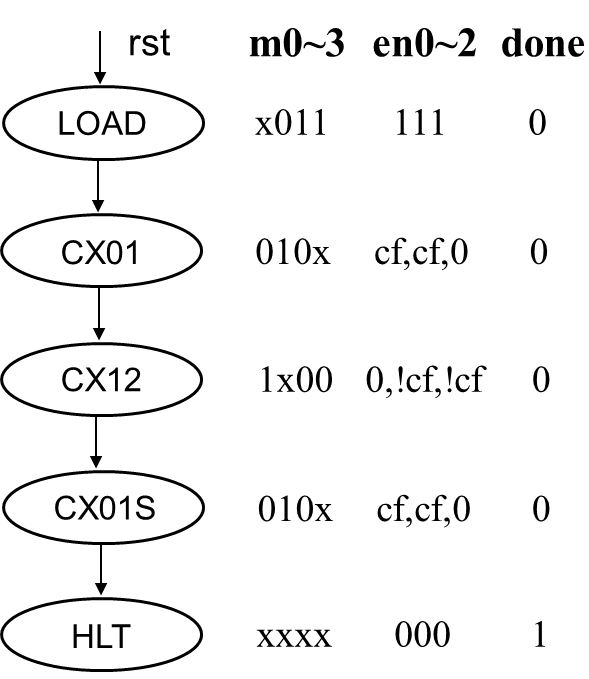
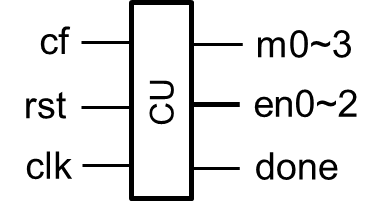
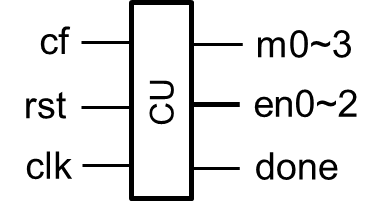


图-4 三个无符号数排序电路的控制器及其状态图

1. 实验步骤
2. 采用行为方式描述参数化的ALU模块，并进行功能仿真；
3. 设计排序电路的数据通路和控制器，采用结构化方式描述数据通路，两段式FSM描述控制器，并进行功能仿真；
4. 排序电路下载至FPGA中测试：4个输入数据x0 ~ x3顺序对应SW0 ~ SW15，排序后数据s0 ~ s3顺序对应LED0 ~ LED15，done对应三色LED的绿色灯，clk对应BTNC，rst对应BTNL。
5. 实验检查
6. 检查ALU的功能仿真；
7. 检查排序电路的功能仿真；
8. 检查排序电路下载到FPGA后的运行功能。
9. 思考题
10. 如果要求排序后的数据是递减顺序，电路如何调整？
11. 如果为了提高性能，使用两个ALU，电路如何调整？