**《计算机组成原理实验》指导手册**

实验六 综合设计

1. 实验目标
2. 理解计算机系统的组成结构和工作原理；
3. 理解计算机总线和接口的结构和功能；
4. 掌握软硬件综合系统的设计和调试方法。
5. 实验内容

设计实现一个简单的计算机应用系统。CPU可以选用Lab3-5设计的或者改进设计的（例如，增加指令、中断处理等）CPU，自选存储器的类型和容量；自选外设，例如拨动/按钮开关、指示灯、数码管、定时/计数器、键盘、鼠标、VGA显示、串口通信等；自选应用，例如计算斐波拉契序列、求最大/小值、排序、流水灯、画图、串口通信等。

待设计的计算机硬件组成结构如图-1所示，除CPU和存储器外，还有输入/输出设备（简称外设），所有部分通过总线（BUS）互联，外设通过I/O接口连接到总线。总线包括数据总线（D-BUS）、地址总线（A-BUS）和控制总线（C-BUS）。

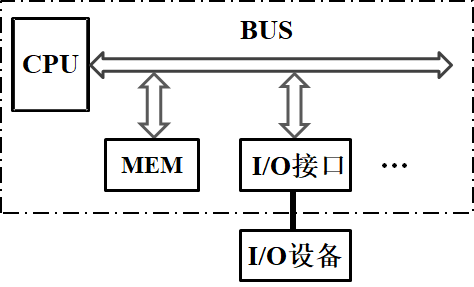
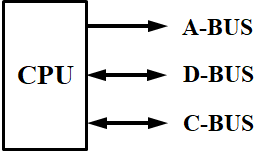


图-1 计算机硬件系统组成结构

I/O接口的主要功能是选择外设、数据缓冲和联络控制，一般组成结构如图-2所示。I/O接口中包含若干CPU可直接访问的寄存器，称之为I/O端口，其中数据输入寄存器（Data Input Register，DIR）和输出寄存器（Data Output Register，DIR）用于暂存待输入或输出的数据，状态寄存器（Status Register，SR）保存外设和接口的状态，控制寄存器（Control Register，CR）存放控制外设的命令和配置接口的工作方式。

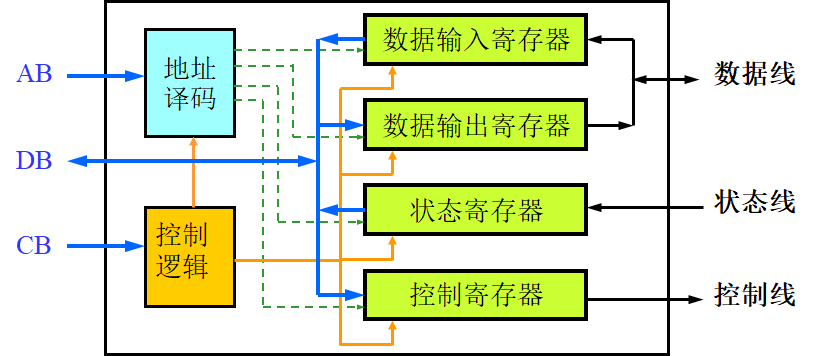


图-2 I/O接口的组成结构

I/O端口采用存储器映象 (Memory- mapped) 编址， 即CPU将I/O端口与存储器单元同等对待，端口和主存单元占据同一地址空间的不同部分。这种编址的优点是系统设计简单；不需要专设I/O指令，用访存指令即可访问端口；控制简单，使用同一组地址和控制信号来访问端口和主存；访问端口的指令多、寻址方式灵活、功能强等。图-3给出了一种简单的总线实现结构。

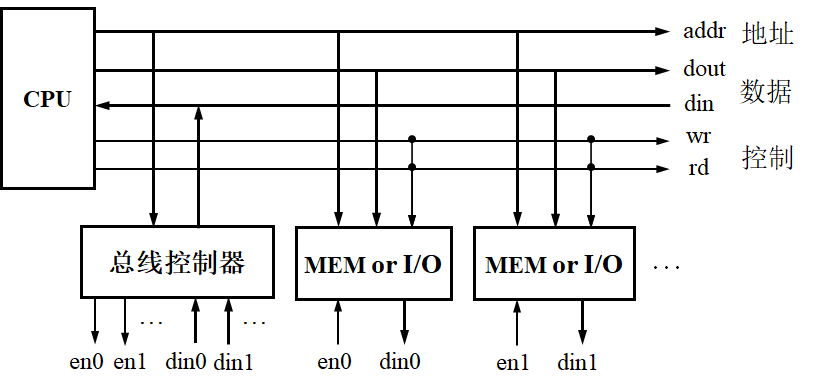
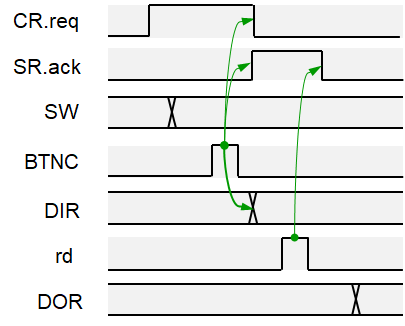
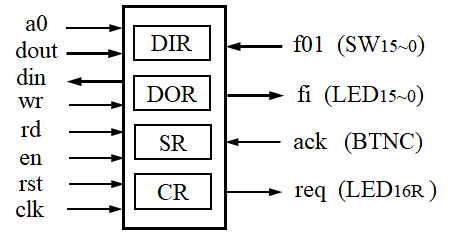


图-3 一种简单的总线结构

应用示例：计算斐波拉契序列：Fi +2 = Fi + Fi+1，i = 0, 1, 2 …

* + 依次从拨动开关（SW15~0）输入F0和F1
  + 计算结果F2、F3…
  + 依次在LED指示灯（LED15~0）上显示F0、F1…

实现该应用采用的接口结构和信号工作时序如图-4所示。



（a）信号 （b）时序

图-4 I/O接口信号和时序

1. 实验步骤
2. 自选外设，设计实现总线控制器和I/O接口，并进行功能仿真；
3. 自选应用，设计实现应用汇编程序，将汇编程序的机器代码存入存储器，并进行功能仿真；
4. 将完整应用系统下载至FPGA中测试。
5. 实验检查
6. 检查I/O接口的功能仿真；
7. 检查完整应用系统下载至FPGA后的运行功能。