***2021***



**数字电路与逻辑设计**

**实验报告**

|  |  |
| --- | --- |
| 专 业： | 信息安全 |
| 班 级： | 信安1901班 |
| 学 号： | U201911658 |
| 姓 名： | 李欣宇 |
| 电 话： | 19963384224 |
| 邮 件： | 735347849@qq.com |
| 完成日期： | 2021年4月27日 |

目 录

[1 实验概述 3](#_Toc69240115)

[1.1 实验名称 3](#_Toc69240116)

[1.2 实验目的 3](#_Toc69240117)

[1.3 实验所用软件和平台 3](#_Toc69240118)

[1.4 实验内容 3](#_Toc69240119)

[1.5 实验要求 4](#_Toc69240120)

[2 实验过程 5](#_Toc69240121)

[2.1 7段数码管驱动电路设计 5](#_Toc69240122)

[2.2 2选1选择器设计 5](#_Toc69240123)

[2.3 无符号比较器设计 5](#_Toc69240124)

[2.4 并行加载寄存器 5](#_Toc69240125)

[2.5 码表计数器 6](#_Toc69240126)

[2.6 码表显示驱动设计 6](#_Toc69240127)

[2.7 码表控制器 6](#_Toc69240128)

[2.8 运动码表系统设计（系统集成） 6](#_Toc69240129)

[3 测试及故障调试 7](#_Toc69240130)

[3.1 遇到的问题及处理 7](#_Toc69240131)

[3.2 设计方案存在的不足 7](#_Toc69240132)

[4 设计总结与心得 8](#_Toc69240133)

[4.1 实验总结 8](#_Toc69240134)

[4.2 实验心得 8](#_Toc69240135)

[4.3 意见与建议 8](#_Toc69240136)

# 实验概述

## 实验名称

运动码表系统设计。

## 实验目的

本实验将提供一个完整的数字逻辑实验包，从真值表方式构建7段数码管驱动电路，到逻辑表达式方式构建四位比较器，多路选择器，利用同步时序逻辑构建BCD计数器，从简单的组合逻辑电路到复杂时序逻辑电路，最终集成实现为运动码表系统。

实验由简到难，层次递进，从器件到部件，从部件到系统，通过本实验的设计、仿真、验证3个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 实验环境

软件：Logisim2.15.0.2软件一套。

平台：https://www.educoder.net/classrooms/11930/shixun\_homework

## 实验内容

设计一个运动码表系统，具体内容及要求如下：

输入：4个按钮，分别为Start、Stop、Store和Reset。

输出：4个7段数码管显示数字，分别显示小时和分钟。

具体功能：

(1)当按下Start时，计时器清零，重新开始计时；

(2)当按下Stop时，计时器停止计时，显示计时数据；

(3)当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

(4)当按下Reset时，复位，计时=0.00, 系统记录=99.99。

## 实验要求

1. 根据给定的实验包，将运动码表系统切分为一个个实验单元；
2. 对每一个实验单元，按要求设计电路并使用Logisim软件进行虚拟仿真；
3. 设计好的电路在educoder平台上提交并进行评测，直到通过全部关卡。

# 实验过程

## 7段数码管驱动电路设计

1. 设计思路及设计过程

根据七段数码管引脚（如下图2.1.1）根据十进制与七段数码管的对应关系（如下图2.1.1）对真值表进行编辑，最后使用真值表生成电路，真值表如下图2.1.2所示。

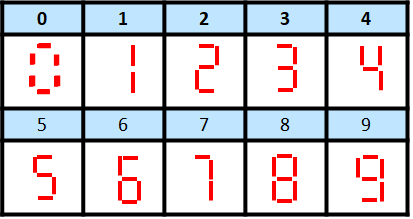
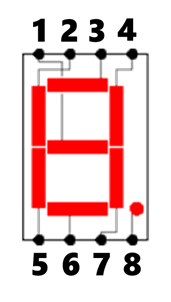


图2.1.1



图2.1.2

1. 电路图

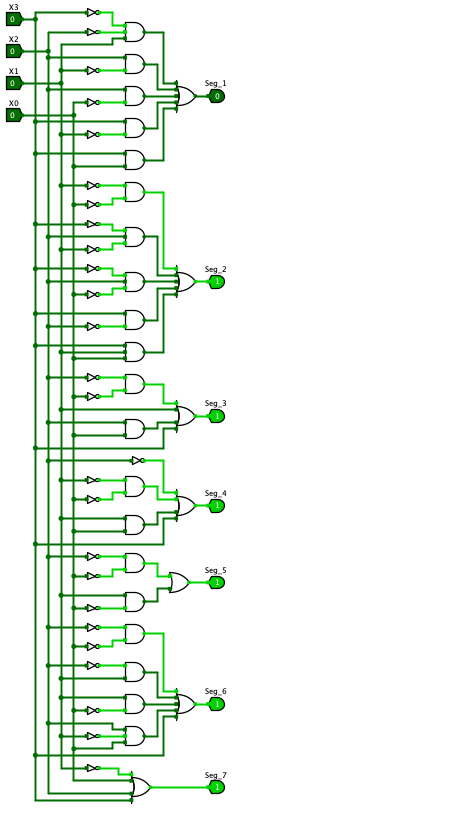


图2.1.3

1. 测试图

使用数码管测试电路对照进行测试，数码管显示与时钟相同（如下图2.1.4、2.1.5、2.1.6）

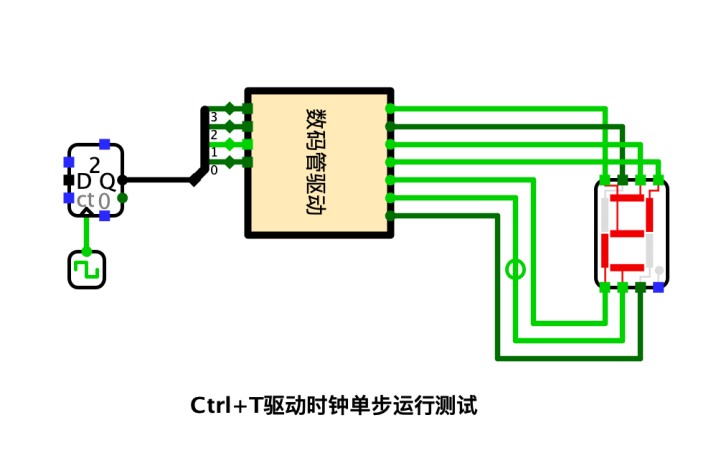


图2.1.4

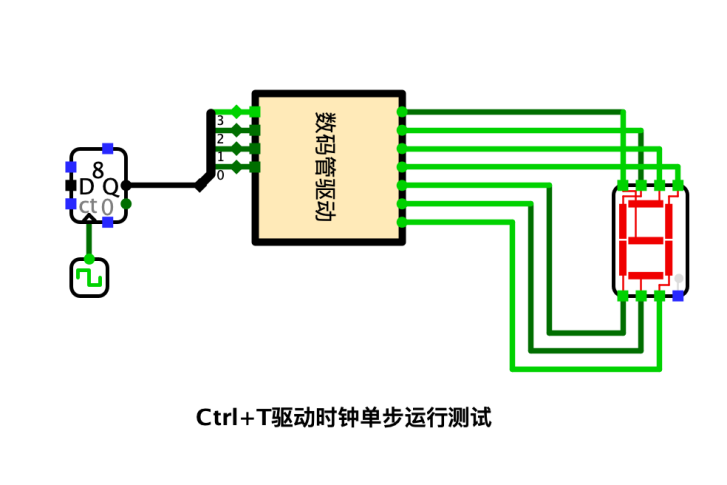


图2.1.5

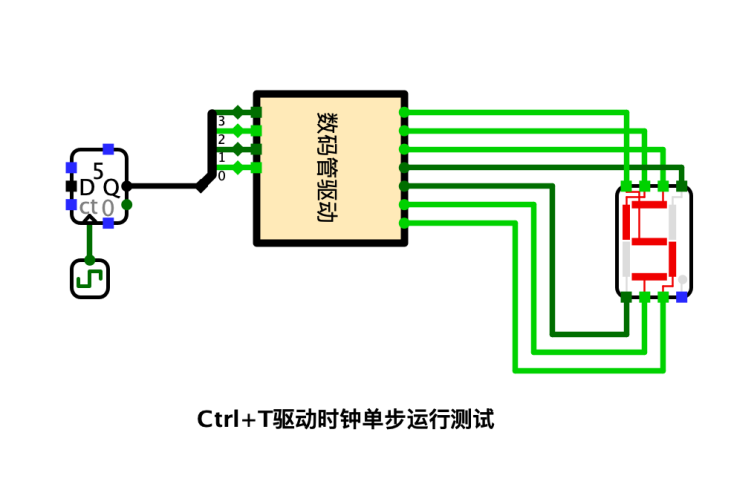


图2.1.6

1. 测试分析

手动测试无误，提交平台测试通过。

## 2选1选择器设计

## 2.2.1 2选1选择器设计（1位）

1. 设计思路及设计过程

由设计要求当Sel==0时把X0输出给Out，Sel==1时把X1输出给Out得到逻辑表达式 Sel X1 + X0 ~Sel，考虑到有险象，所以通过增加同余项X1 X0，得到最终逻辑表达式Sel X1 + X0 ~Sel + X1 X0，根据逻辑表达式进行电路连接，电路图如图2.2.1所示。

1. 电路图

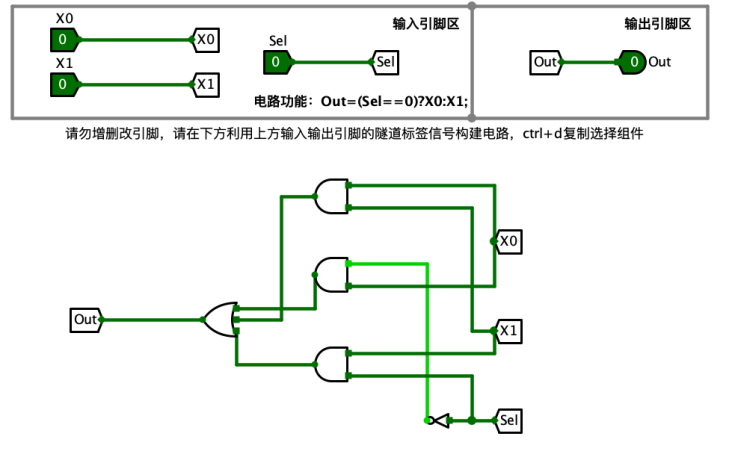


图2.2.1

1. 测试图

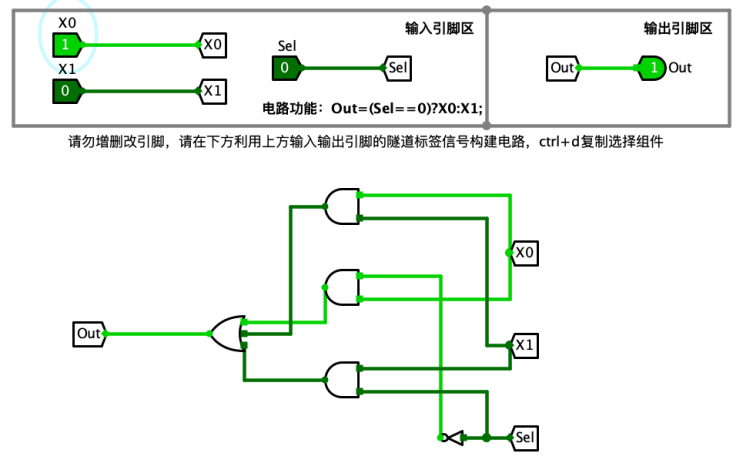


图2.2.2 输入100

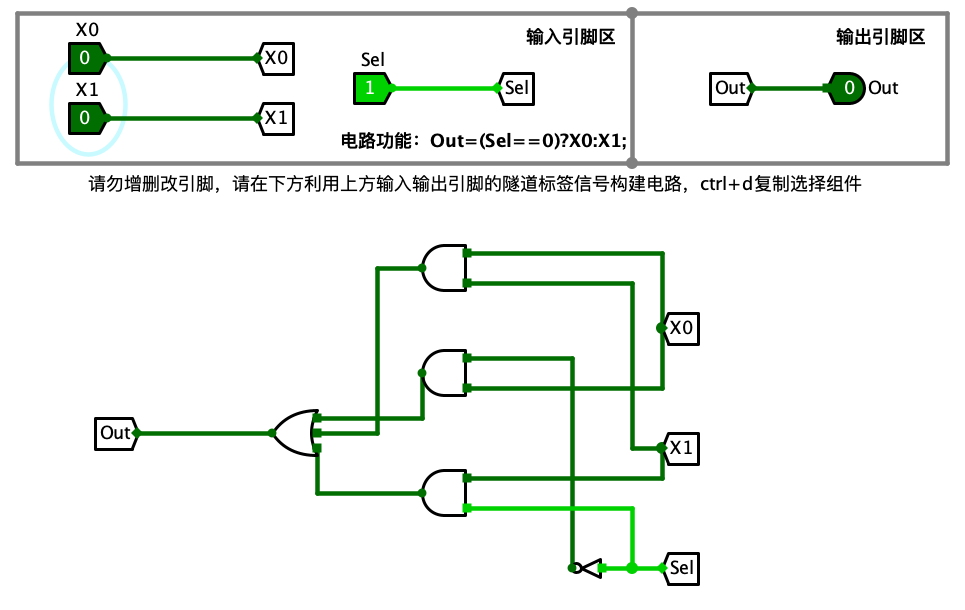


图2.2.3 输入001

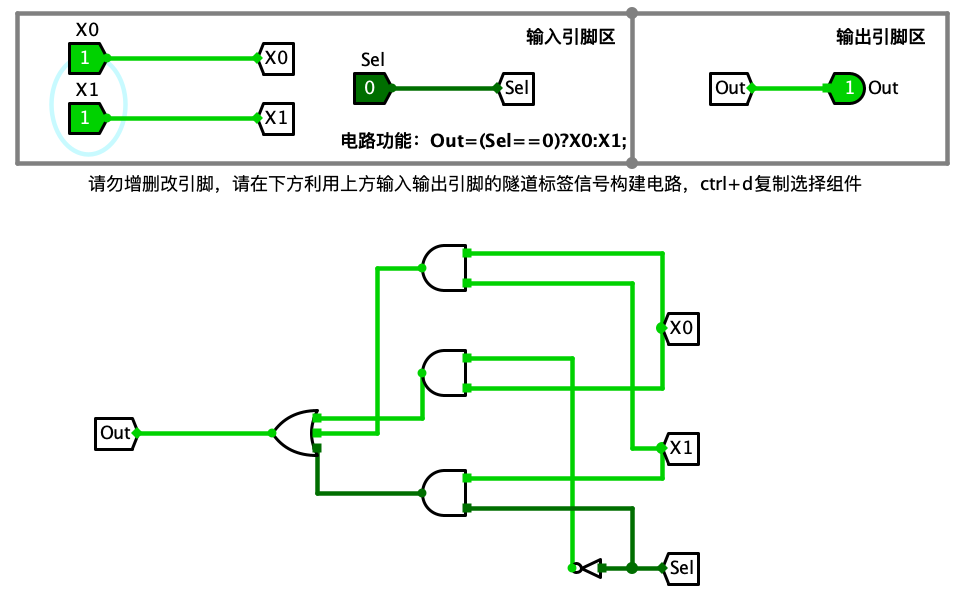


图2.2.4 输入110

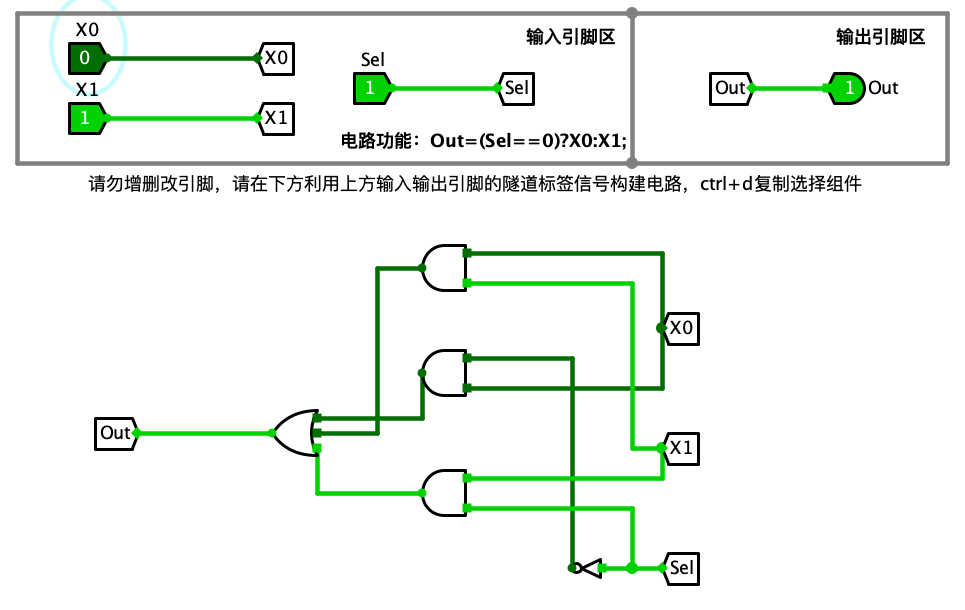


图2.2.5 输入011

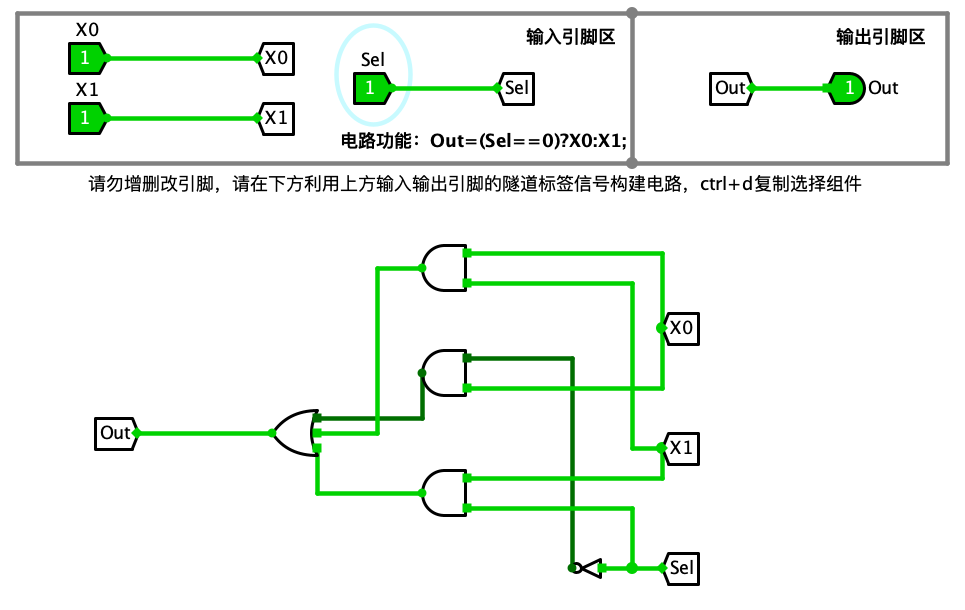


图2.2.6 输入111

1. 测试分析

手动测试无误，提交平台测试通过。

## 2.2.2 2选1选择器设计（16位）

1. 设计思路及设计过程

使用16个1位2选1选择器，对输入的16位的X和Y使用分线器进行16个分线，每一个分线对应一个2选1选择器，Sel接分线器的选择端，当Sel==0时送出X，否则送出Y，送出的16位二进制再使用分线器进行汇聚给Out输出。

(2)电路图

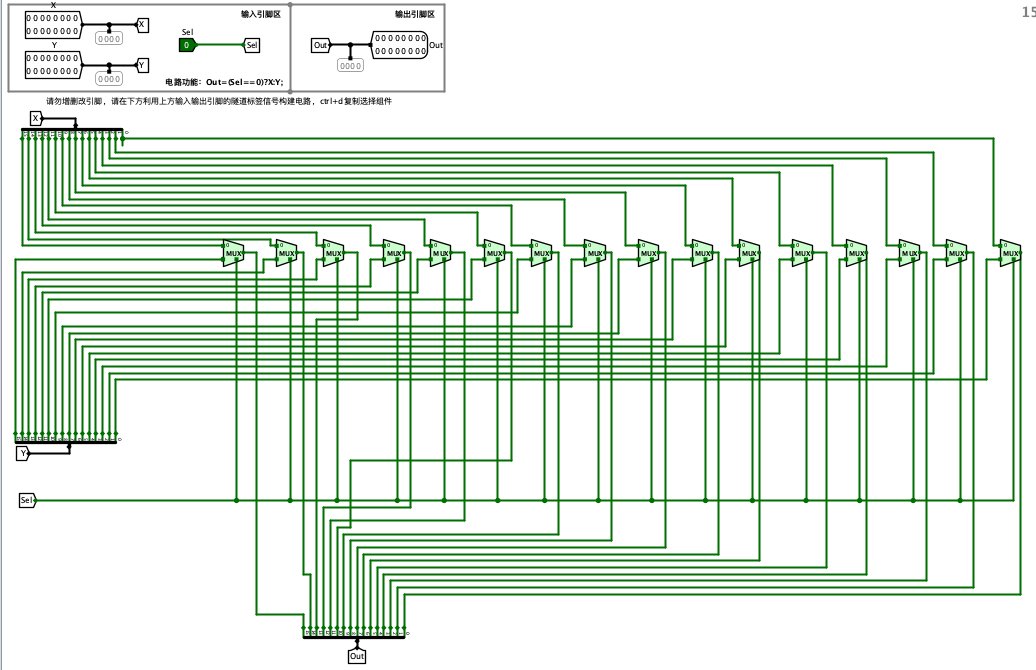


图2.2.7

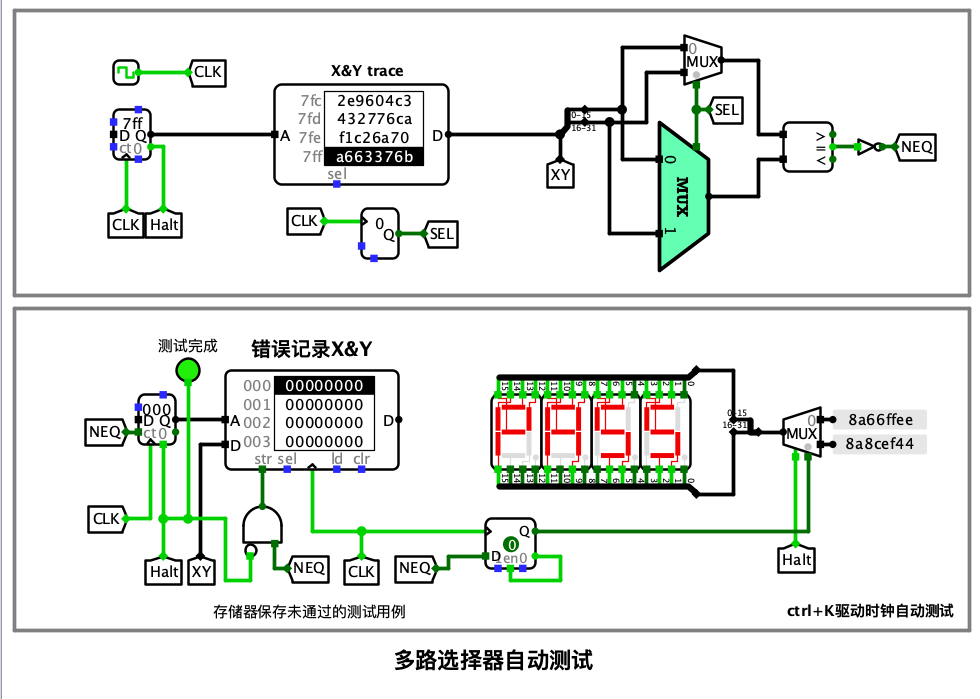


图2.2.8

1. 测试分析

手动测试无误，提交平台测试通过。

## 无符号比较器设计

2.3.1无符号比较器（4位）

1. 设计思路及设计过程

首先推导X>Y的情况，X3=1时，若Y3=0则Great=1，X3 X2=01时，若Y3 Y2=00，则Great=1，X3 X2 X1=001时，若Y3 Y2 Y1=000，则Great=1，X3 X2 X1 X0=0001时，若Y3 Y2 Y1 Y0=0000，则Great=1.由以上可推得逻辑表达式，Great=X0 ~Y3 ~Y2 ~Y1 ~Y0 + X1 ~Y3 ~Y2 ~Y1 + X2 ~Y3 ~Y2 + X3 ~Y3。

X=Y的情况即一一对应写出与项后相或，X<Y的情况可以类似Great进行推导，也可以直接使用Less=～Great ～Equal。

1. 电路图

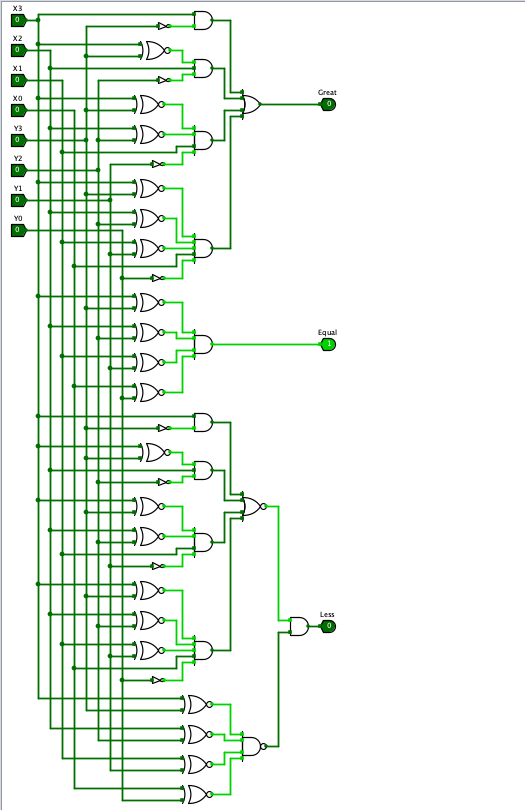


图2.3.1

1. 测试图

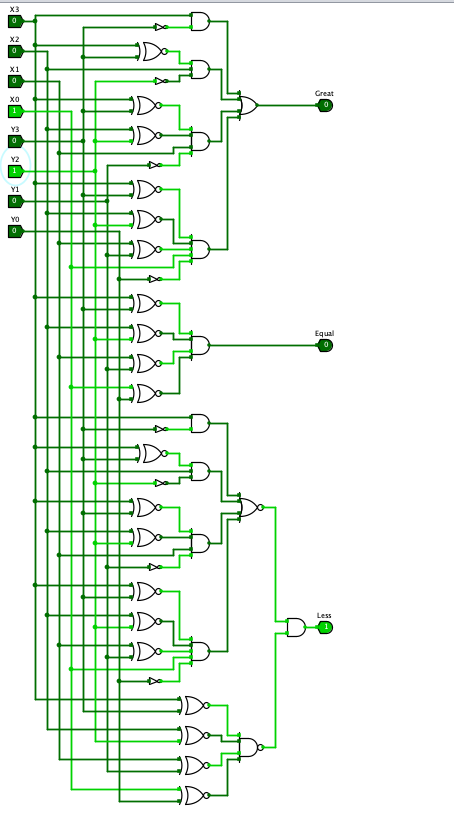


图2.3.2 输出Less

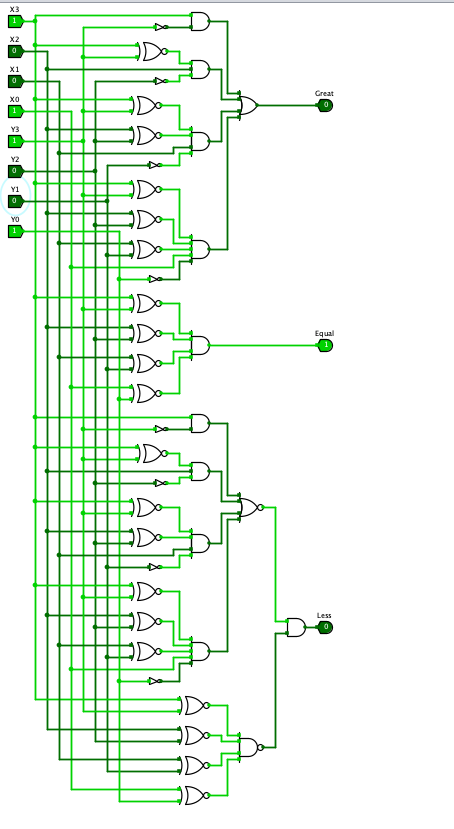


图2.3.3 输出Equal

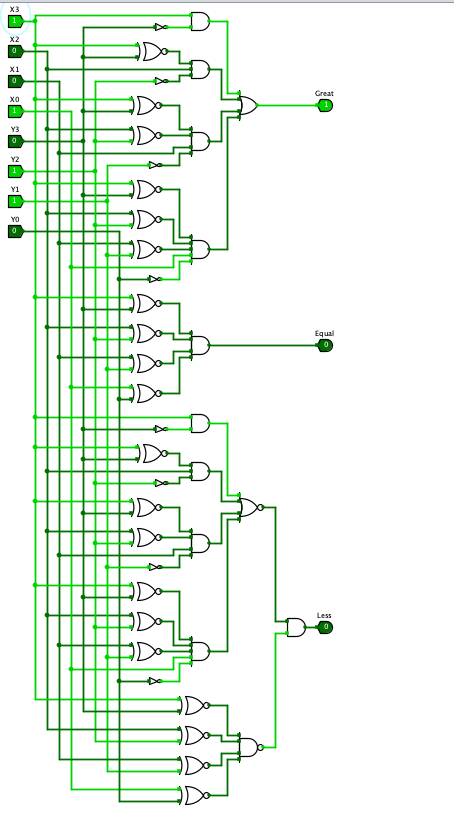


图2.3.4 输出Great

1. 测试分析

手动测试无误，提交平台测试通过。

2.3.2无符号比较器（16位）

（1）设计思路及设计过程

思想与4位的无符号比较器一样，将16位使用分线器进行分线，从高位开始比较，只要顺位比较的情况下出现4位比较器Great=1的情况输出即为Great=1，或者只要4位比较器输出Less=1的则输出即为Less=1，否则直到比较到最低位一直为Equal为1则输出即为Equal=1.

（2）电路图

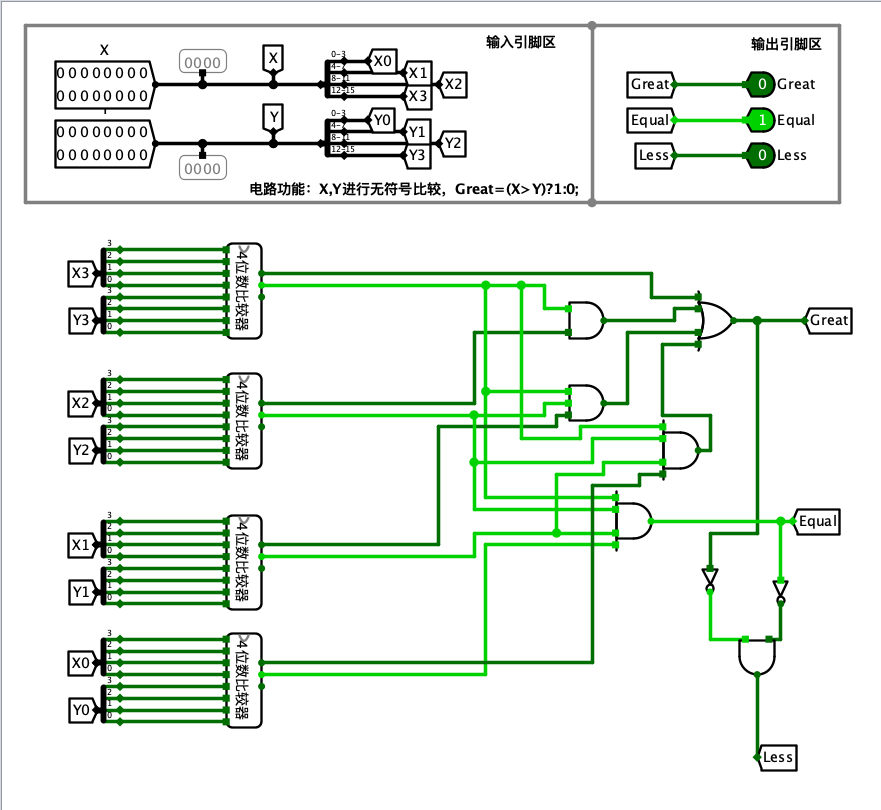


图2.3.5

（3）测试图

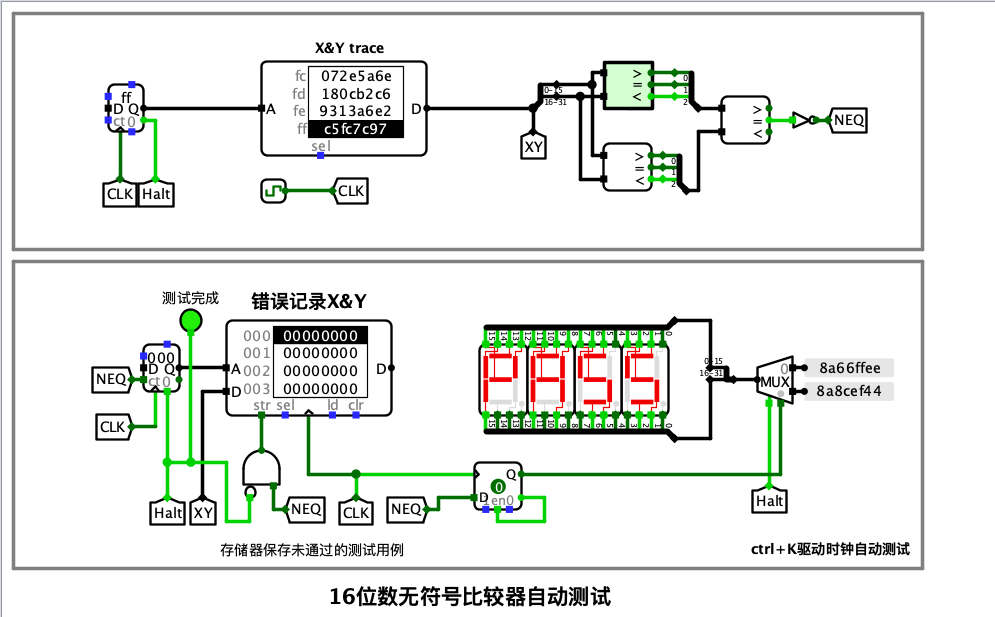


图2.4.6

1. 测试分析

手动测试无误，提交平台测试通过。

## 并行加载寄存器

2.4.1 并行加载寄存器（4位）

1. 设计思路及设计过程

使用带有使能端的D触发器，将输入的Din使用分线器进行4次分线，分别通过四个D触发器，将4个Q的当前状态使用分线器合并后输送给Q输出，当触发器的CLK上升沿且EN=1时，触发器起作用，使Q进入次态。

1. 电路图

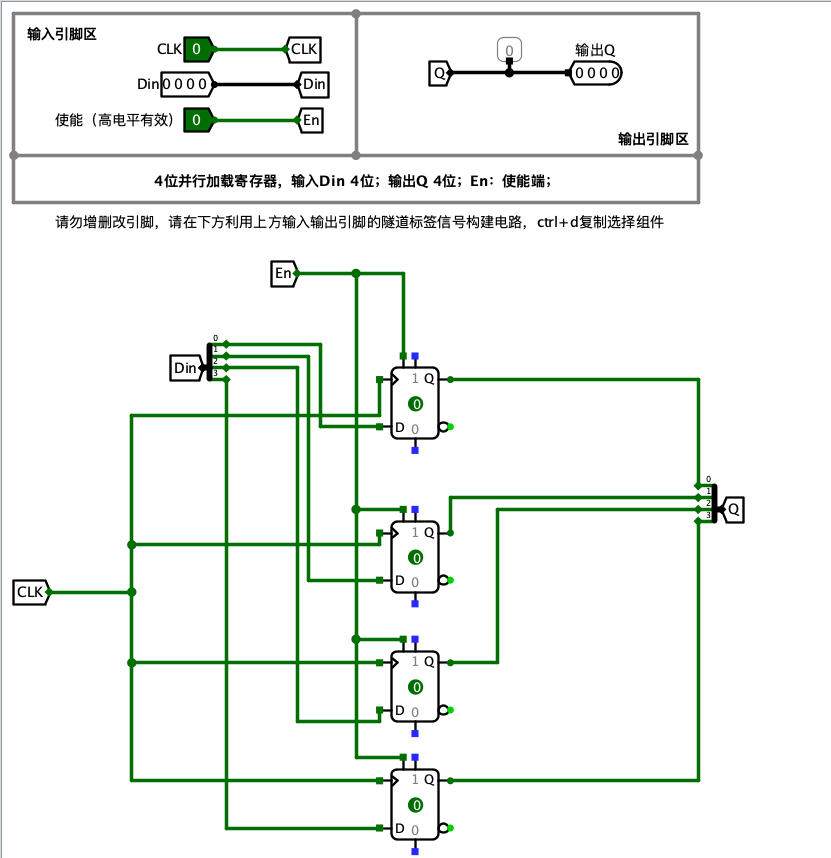


图2.4.1

1. 测试图

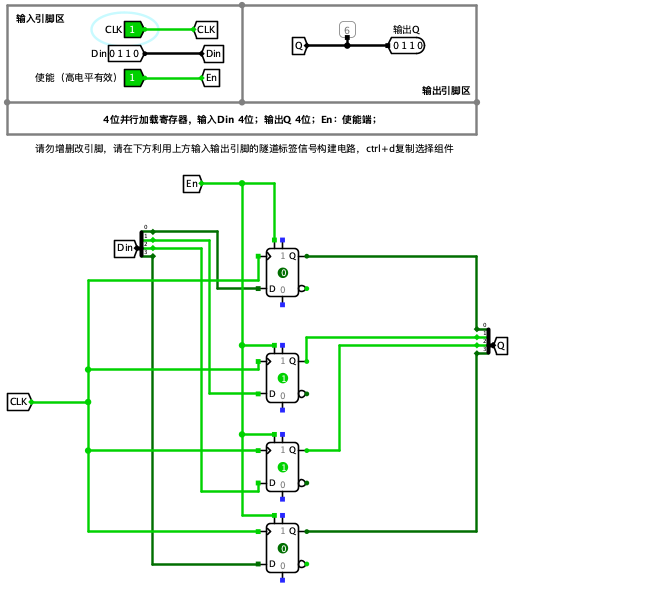


图2.4.2

1. 测试分析

手动测试无误，提交平台测试通过。

2.4.2 并行加载寄存器（16位）

1. 设计思路及设计过程

并联4个封装好的4位并行加载寄存器，CLK和EN均分别接入4位并行加载寄存器的时钟端和使能端，使用分线器把16位的Din等分成四部分接入4个4位并行加载寄存器，4部分输出同样使用分线器进行合并输出给Q

(2)电路图

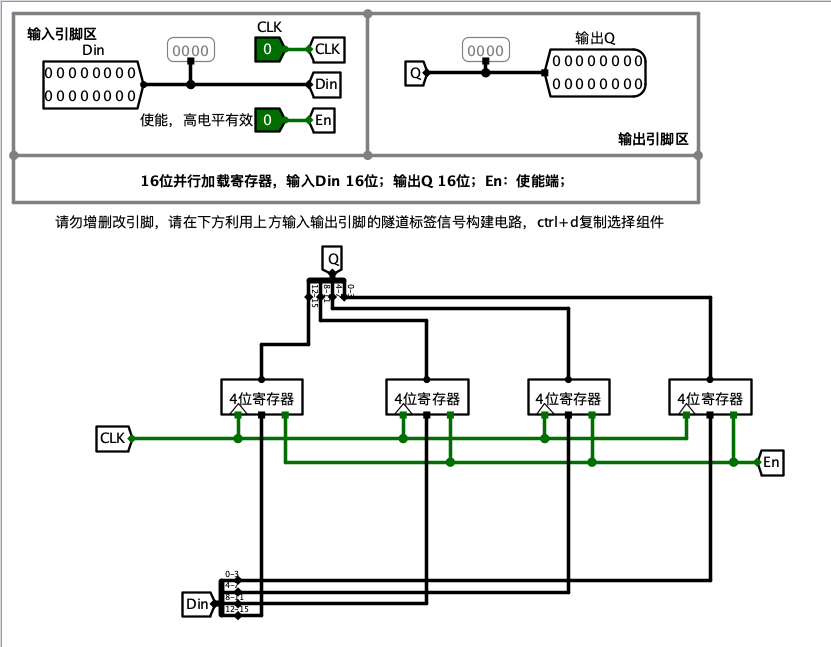


图2.4.3

（3）测试图

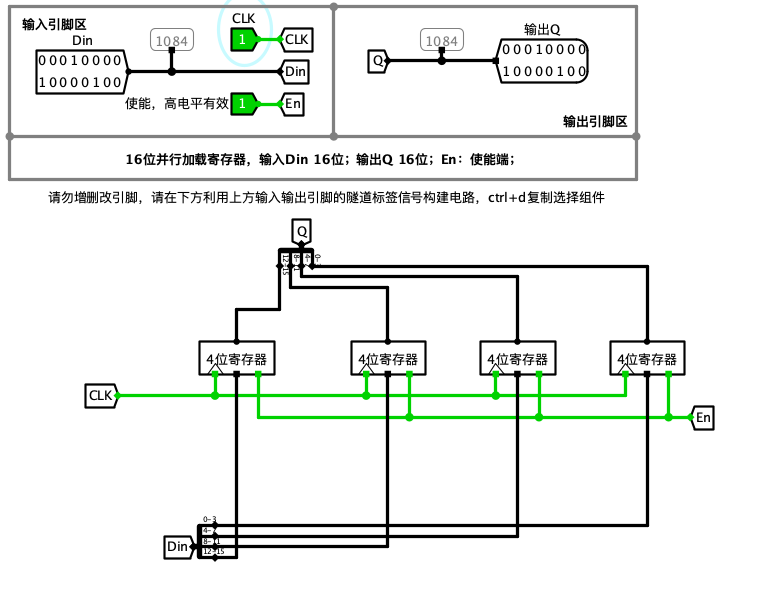


图2.4.4

（4）测试分析

手动测试无误，提交平台测试通过。

## 码表计数器

2.5.1 BCD计数器状态转换

1. 设计思路及设计过程

使用同步时序电路状态转换表直接生成表达式，通过分析电路自动建立电路



图2.5.1

1. 电路图

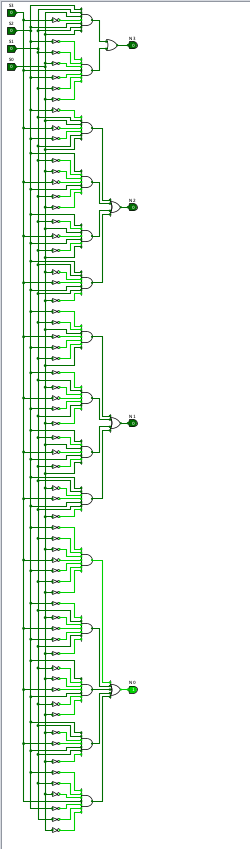


图2.5.2

2.5.2 BCD计数器输出函数

1. 设计思路及设计过程

当计数器计数从9 =>0时产生进位，直接使用真值表生成电路，当Q==9时输出1，其他情况输出0，但是这会导致在码表计数器测试时出现，每次到9提前进位，如8 9 19 10 11 ……出现这种情况，在后来完成码表计数器的连接方式后，考虑到进位应该在下一个CLK的上升沿跃变，故又在最后加了一个非门，这样在计数器从9跃变到0的同时产生上升沿（从0->1)，其他情况都是1->1或1->0无上升沿,避免了进位在9->0之前出现。

1. 电路图

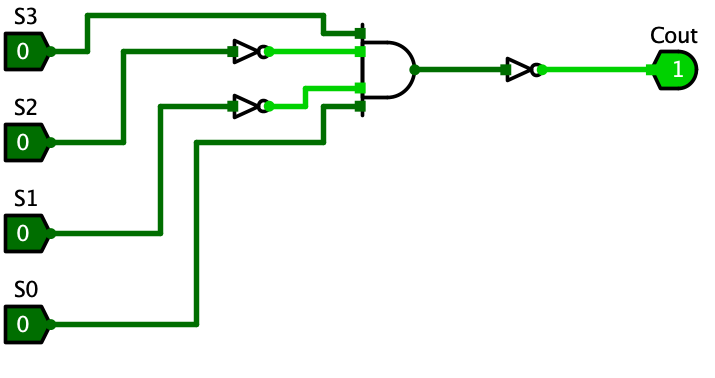


图2.5.3

2.5.3 BCD计数器

1. 设计思路及设计过程

Rst异步复位直接接D触发器的置0端，CLK接触发器的时钟端，EN接触发器的使能端，4个触发器现态Q输出给封装好的输出函数与输出的Q，输出函数接Cout，同时反馈给封装好的状态转换，通过状态转换输出的4位数据分别接触发器的D端。

(2)电路图

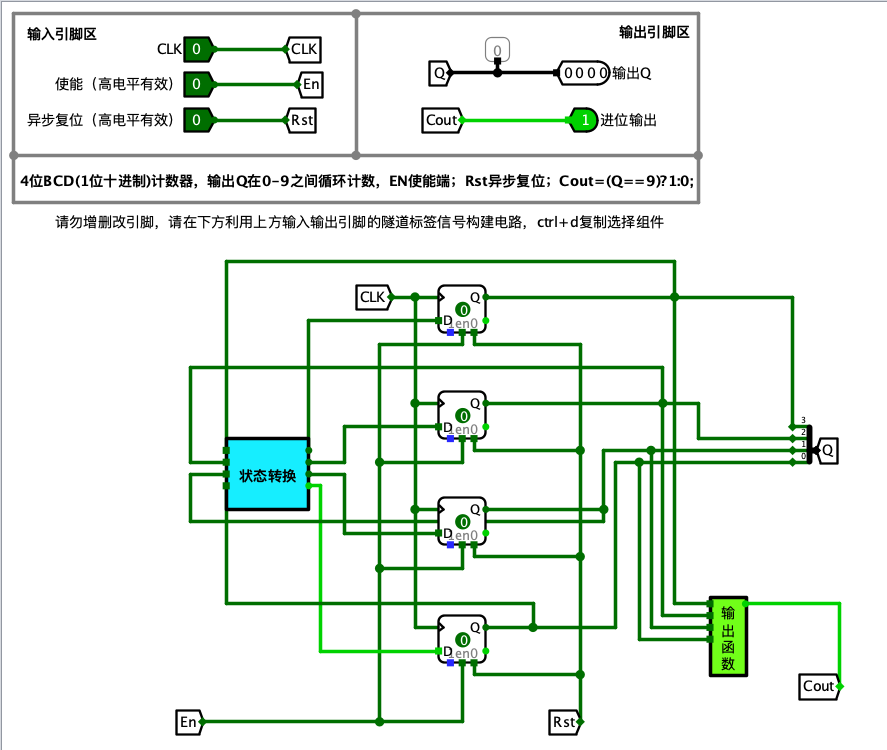


图2.5.4

2.5.4 码表计数器

1. 设计思路及设计过程

并联4个4位BCD计数器

(2)电路图

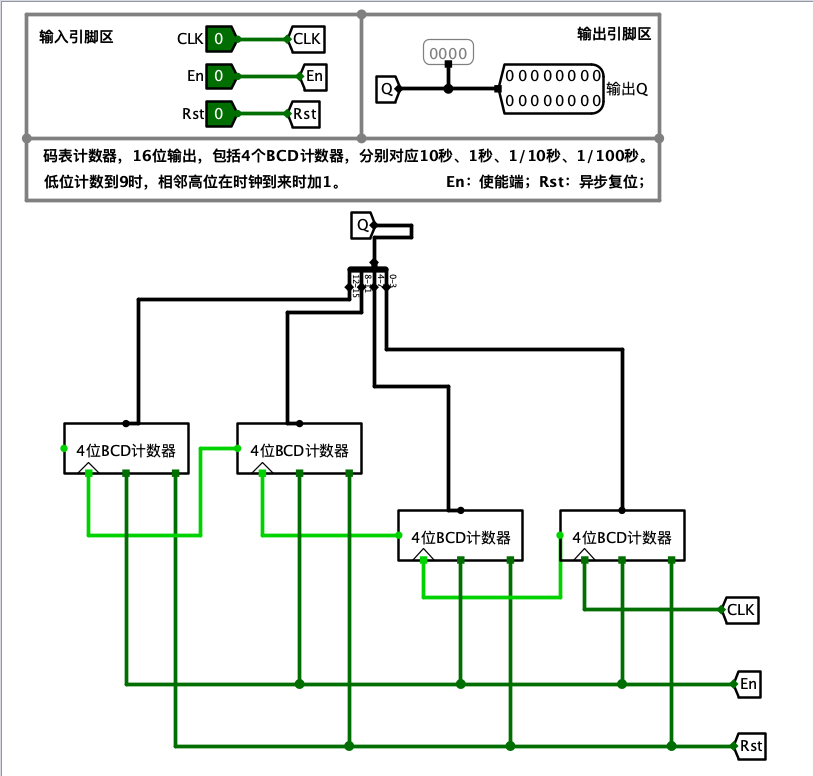


图2.5.5

1. 测试图

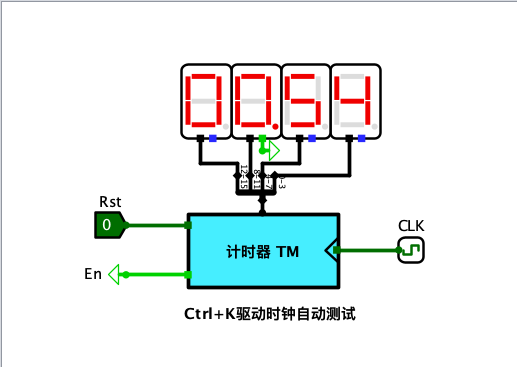


图2.5.6

1. 测试分析

手动测试无误，提交平台测试通过。

## 码表显示驱动设计

1. 设计思路及设计过程

并联4个数码管驱动，小数点接常数0和1，从31-0顺次连接对应数码管驱动即可，输出的16位同样顺次输出给Din

1. 电路图

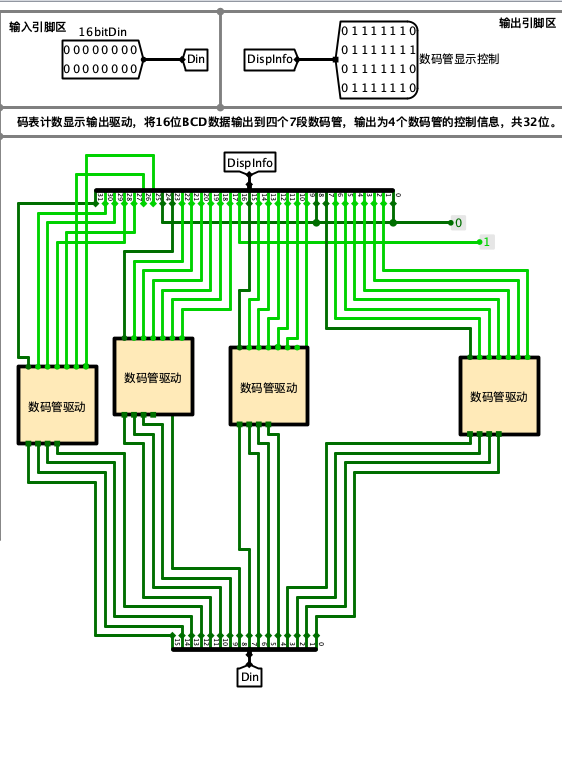


图2.6.1

1. 测试图

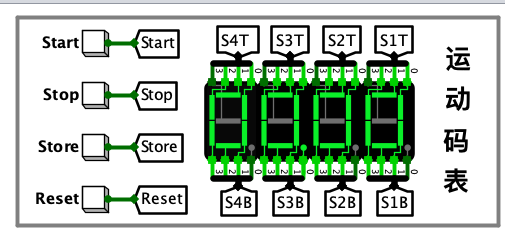


图2.6.2

1. 测试分析

手动测试无误，提交平台测试通过。

## 码表控制器

2.7.1码表控制器状态转换

1. 设计思路及设计过程

根据提供的状态转换图（图2.7.1），填写同步时序逻辑电路状态转换表（图2.7.2）得到表达式，使用分析电路填写表达式生成电路

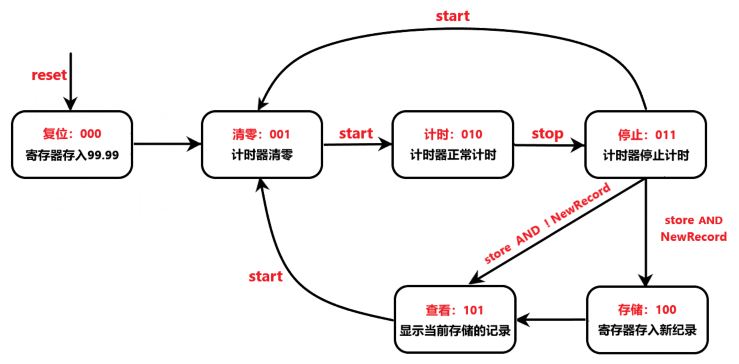


图2.7.1



图2.7.2

1. 电路图

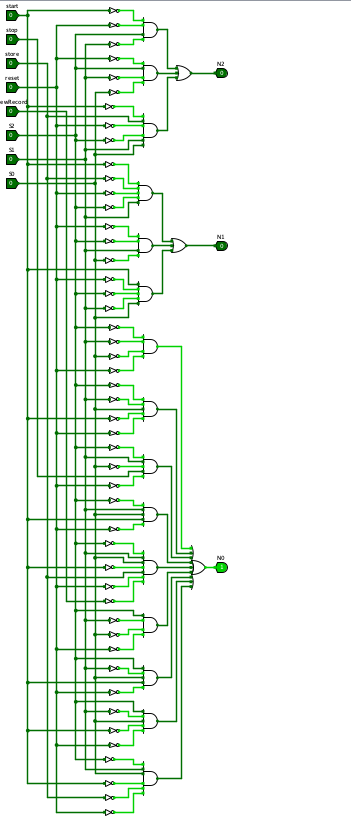


图2.7.3

2.7.2码表控制器输出函数

1. 设计思路及设计过程

根据输出变量的功能和状态转换图（图2.7.4和图2.7.1）填写同步时序逻辑电路状态转换表（图2.7.5），使用分析电路填写逻辑表达式生成电路



图2.7.4

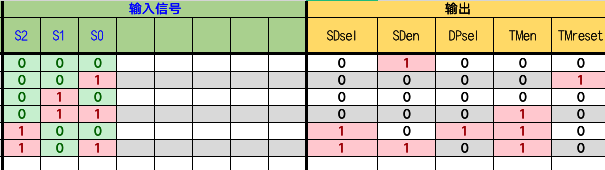


图2.7.5

1. 电路图

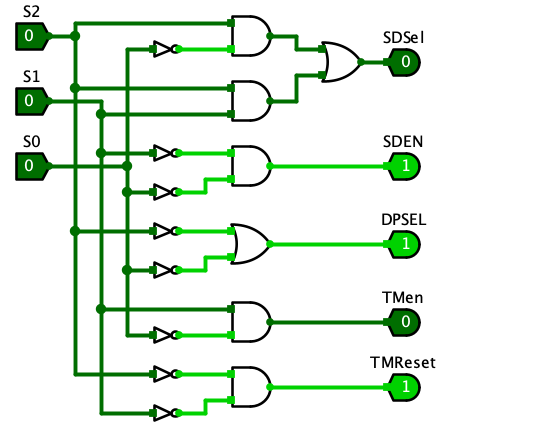


图2.7.6

2.7.3码表控制器

1. 设计思路及设计过程

将封装好的状态转换和输出函数进行级联

(2)电路图

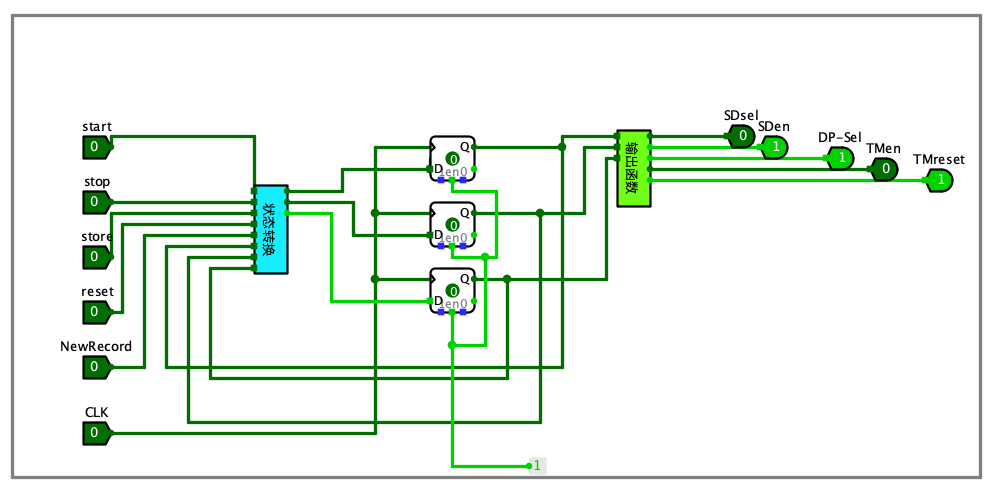


图2.7.7

1. 测试图

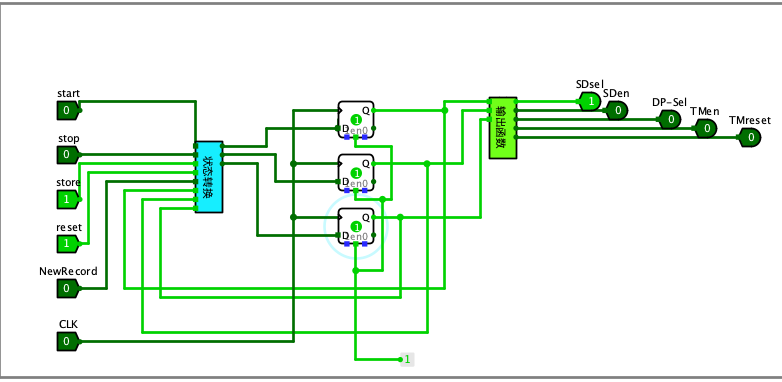


图2.7.8

1. 测试分析

手动测试无误，提交平台测试通过。

## 运动码表系统设计（系统集成）

1. 设计思路及设计过程

使用前列封装好的器件，按照各按键的功能与引脚的作用对其进行级联

1. 电路图

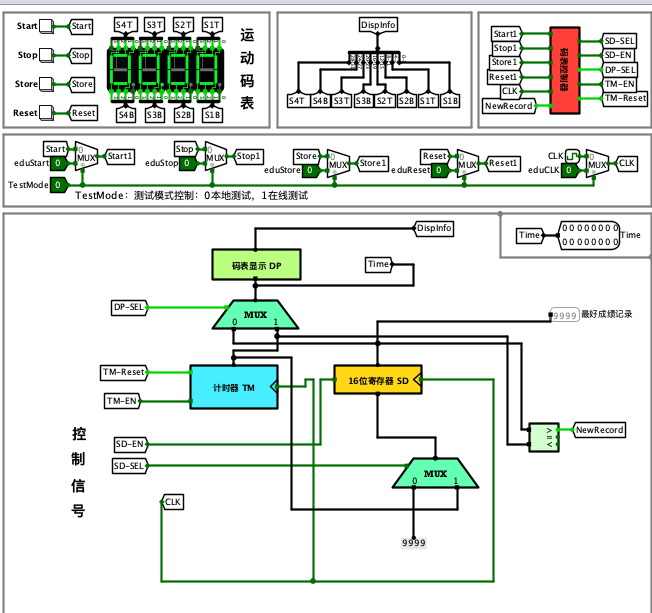


图2.8.1

1. 测试图

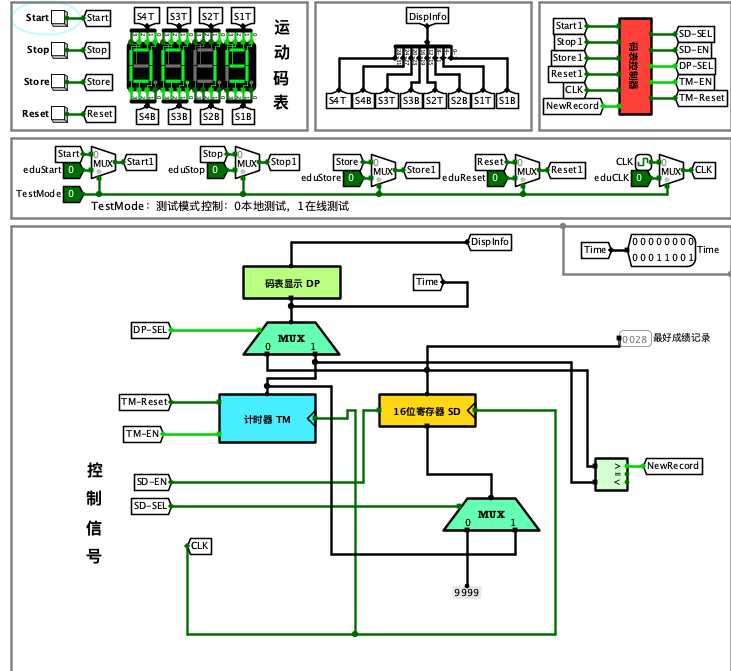


图2.8.2

1. 测试分析

手动测试无误，提交平台测试通过。

# 设计总结与心得

## 实验总结

## 3.1.1遇到的问题及处理

1. BCD输出函数的设计，起初是自己直接连线设计的，但是一直无法通过，具体原因不可查，最后使用真值表生成电路才通过。
2. 码表计数器起初一直无法通过，出现进位在9->0之前，最后考虑到BCD计数器的级联方式，对原BCD输出函数进行了修改，加了一个非门，实际上也可以直接在级联CLK的时候加一个非门。
3. 码表控制器的状态转换评测了5次，起初一直没有注意到平台上已经定义并编码了几个状态，最后是因为某些无关项没有考虑全面，漏下了现态3，次态为3的情况。

## 3.1.2设计方案存在的不足

1.除了2路选择器（1位）考虑了险象的问题，其他电路均为考虑竞争与险象。

2.虽然最终集成的运动码表通过了测试，但是本地测试的时候Start、Stop等键均需要点按两次才生效，具体原因未知。

## 实验心得

从最初拿到这个实验，看到那么多文件感觉真的非常复杂，但以闯关的形式分步骤一点点完成各个部件，最终级联成一个多功能的运动码表也是蛮有成就感的。而且以闯关和平台自动评测的形式大大减少了我们同学的检查时间，也在一步步的引导中感受到了这门课的在实际中的作用，而不仅仅是停留在理论层面，做到了真正的知行合一，同时这也是到目前为止最有意思的一门实验课。

## 意见与建议

采用自动评测的平台的情况下我建议可以适当增加题目难度，因为有自动评测功能可以让我们在闯关的时候得到实时的反馈，这也在一定程度上提高了我们的实验效率，这应当也是今年我们做实验更快的原因之一，故建议若采用educoder平台可以适当提高题目难度。

另一方面，效率分不建议使用平台自动计算的时间，而采用完成时间顺序，平台是退出来的页面后就停止计时，这会导致最终的完成时长过于离谱（如出现十几分钟的情况）

|  |
| --- |
| 原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  扫描全能王 2021-04-27 09.18**作者签名：** |
|  |