

Nome, MATRICOLA

Considerando il processore MIPS64 e l'architettura descritta in seguito:

- Integer ALU: 1 clock cycle
- Data memory: 1 clock cycle
- FP multiplier unit: pipelined 6 stages
- FP arithmetic unit: pipelined 2 stages
- FP divider unit: not pipelined unit that requires 8 clock cycles
- branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- it is possible to complete instruction EXE stage in an out-of-order fashion.

Usando il frammento di codice riportato, si calcoli il tempo di esecuzione dell'intero programma in colpi di clock e si completi la seguente tabella.

```

;   for (i = 0; i < 100; i++) {
;       v5[i] = (v1[i]/v2[i]*v3[i]) + v3[i]/v4[i];
;   }

```

[illegible]

Esempio domande di teoria – Architetture dei Sistemi di Elaborazione



Nome, MATRICOLA

Domanda 3

Considerando il programma precedente, quale sarebbe il tempo di esecuzione del programma se il processore avesse abilitato il Branch Delay slot? motivare la risposta.

- ➔ Viene eseguita una sola iterazione del programma, quindi il tempo totale di esecuzione sarebbe di 35 cc in quanto l'istruzione di Halt viene eseguita completamente e il programma si ferma alla fine della prima iterazione.

Domanda 4

Considerando il programma precedente, quali sono le coppie di istruzioni che beneficiano principalmente dell'architettura Harvard del processore e perché? motivare la risposta.

- ➔ l.d f3,v3(r1) & l.d f1,v1(r1)
- ➔ l.d f1,v1(r1) & div.d f6,f1,f6
- ➔ s.d f5,v5(r1) & bnez r2,loop

durante l'esecuzione di queste istruzioni, la prima fa accesso alla memoria di dati e la seconda alla memoria di codice in modo indipendente, in questo modo non è necessario uno stallo del processore.

Domanda 5

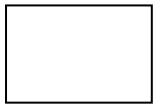
Considerando il programma precedente, e in particolare la coppia di istruzioni:

l.d f2,v2(r1)
mul.d f6,f2,f3

come viene attivato e qual è il cammino di forwarding che partecipa alla loro esecuzione? motivare la risposta.

- ➔ Il cammino di forwarding che viene attivato è quello fra la fase di MEM e la fase di EXE del moltiplicatore, e viene rilevato durante la fase di decodifica dell'istruzione di moltiplicazione.

Esempio domande di teoria – Architetture dei Sistemi di Elaborazione



Nome, MATRICOLA

Domanda 6

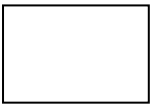
Considerando il programma precedente e l'architettura del processore superscalare descritto in seguito; completare la tabella relativa alle prime 2 iterazioni.

Processor architecture:

- Issue 2 instructions per clock cycle
- jump instructions require 1 issue
- handle 2 instructions commit per clock cycle
- timing facts for the following separate functional units:
 - i. 1 Memory address 1 clock cycle
 - ii. 1 Integer ALU 1 clock cycle
 - iii. 1 Jump unit 1 clock cycle
 - iv. 1 FP multiplier unit, which is pipelined: 6 stages
 - v. 1 FP divider unit, which is not pipelined: 8 clock cycles
 - vi. 1 FP Arithmetic unit, which is pipelined: 2 stages
- Branch prediction is always correct
- There are no cache misses
- There are 2 CDB (Common Data Bus).

# iteration		Issue	EXE	MEM	CDB x2	COMMIT x2
1	l.d f3,v3(r1)	1	2m	3	4	5
1	l.d f4,v4(r1)	1	3m	4	5	6
1	div.d f5,f3,f4	2	6d		14	15
1	l.d f1,v1(r1)	2	4m	5	6	15
1	l.d f2,v2(r1)	3	5m	6	7	16
1	mul.d f6,f2,f3	3	8X		14	16
1	div.d f6,f1,f6	4	22d		30	31
1	add.d f5,f6,f5	4	31a		33	34
1	s.d f5,v5(r1)	5	6m			34
1	daddui r1,r1,8	5	6i		7	35
1	daddi r2,r2,-1	6	7i		8	35
1	bnez r2,loop	7	9j			36
2	l.d f3,v3(r1)	8	9m	10	11	36
2	l.d f4,v4(r1)	8	10m	11	12	37
2	div.d f5,f3,f4	9	14d		22	37
2	l.d f1,v1(r1)	9	11m	12	13	38
2	l.d f2,v2(r1)	10	12m	13	15	38
2	mul.d f6,f2,f3	10	16x		22	39
2	div.d f6,f1,f6	11	30d		38	39
2	add.d f5,f6,f5	11	39a		41	42
2	s.d f5,v5(r1)	12	13m			42
2	daddui r1,r1,8	12	13i		15	43
2	daddi r2,r2,-1	13	14i		16	43
2	bnez r2,loop	14	17j			44

Esempio domande di teoria – Architetture dei Sistemi di Elaborazione



Nome, MATRICOLA

Domanda 7

Considerando il segmento di codice presentato nella tabella precedente, se assumiamo che il ROB ha una dimensione di 16 elementi, qual è la prima istruzione che dovrebbe stallare durante l'esecuzione del programma? motivare la risposta.

- La prima istruzione che stalla dovuto alla mancanza di elementi liberi nel ROB è la div.d f6,f1,f6 dell'iterazione 2.

Domanda 8

Considerando il segmento di codice presentato nella tabella precedente, se assumiamo che si vorrebbero migliorare le prestazioni del programma duplicando una delle seguenti unità funzionali:

- FP multiplier unit
- FP divider unit
- FP Arithmetic unit

Quale permetterebbe di ottenere un miglioramento maggiore nelle prestazioni del processore? motivare la risposta.

- La scelta migliore è quella di duplicare l'unità di divisione, in quanto si osserva dal programma che questa unità crea stalli strutturali che con un'ulteriore unità funzionale si potrebbero evitare. In contrapposizione, le unità aritmetiche e di moltiplicazione non ostacolano l'esecuzione del programma.