Clock

3 Febbraio 2020 - ASE - Architetture moderne

Name, Student ID

Considerare la seguente architectura MIPS64:

- Integer ALU: 1 clock cycle
- FP arithmetic unit: pipelined 3 stages
 FP divider unit: not pipelined unit that requires 9 clock cycles
- Integer ALU: 1 clock cycle

 Data memory: 1 clock cycle

 FP multiplier unit: pipelined 5 stages

 FP divider unit: not pipelined unit that requires 9 clock cycles

 FP divider unit: not pipelined unit that requires 9 clock cycles

 branch delay slot: 1 clock cycle, and the branch delay slot disabilitato
- forwarding abilitato
- è possibile completare lo stage EXE di una istruzion in modo out-of-order.

Facendo riferimento al frammento di codice riportato, si mostrino le tempistiche relative all'esecuzione ciascuna istruzione e si calcoli il numero totale di clock cycles necessari per eseguire comletamente il programma.

.data

V1: .double "100 values"

.double "100 values"

V3: .double "100 values"

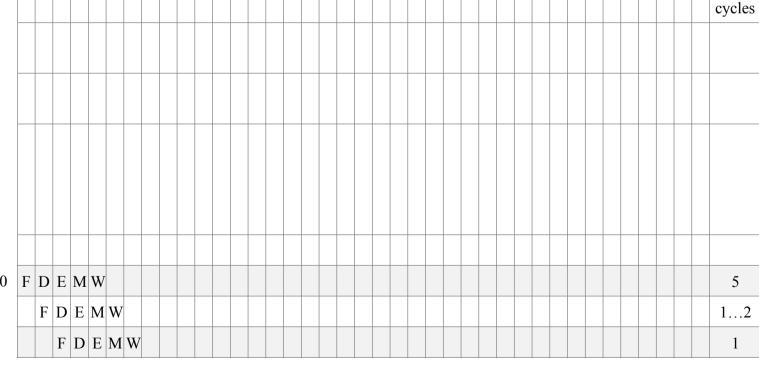
.double "100 V5:

zeros"

.text

main: daddui r1,r0,8*100 F D E M W

loop: l.d fl,v1(r1)1.d f2,v2(r1)



Name, Student ID

l.d f3,v3(r1)		FD	E	M	W																											1
l.d f4,v4(r1)		F	D	Е	M	W																										1
div.d f5,f1,f2			F	D	/	/	/	/	/	/	/	/	/	M	W																	9
add.d f6,f3,f4				F	D	+	+	+	M	W																						0
mul.d f5,f5,f6					F	D	S	S	S	S	S	S	S	*	*	*	*	*	M	W												5
s.d f5,v5(r1)						F	S	S	S	S	S	S	S	D	Е	S	S	S	S	M	W											1
daddui r1,r1,-8														F	D	S	S	S	S	Е	M	W										1
bnez r1,loop															F	S	S	S	S	S	D	Е	M	W	7							2
halt																					F	N	N	N	N						C)1
Total	5 + 100 * 23										2	2305																				

3 Febbraio 2020 - ASE - Architetture moderne

Name, Student ID

Considerato un programma basato su loop, ed assumendo che il processore utilizzato sia un MIPS64 che implementa multiple-issue e speculation:

- Issue di 2 instruzioni per clock cycle
- Instruzioni jump richiedono 1 issue
- Esegui il commit di 2 istruzioni per clock cycle
- Le unità funzionali hanno le seguenti caratteristiche:
 - i. 1 Memory address 1 clock cycle
 - ii. 1 Integer ALU 1 clock cycle
 - iii. 1 Jump unit 1 clock cycle
 - iv. 1 FP multiplier unit, which is pipelined: 8 stages
 - v. 1 FP divider unit, which is not pipelined: 8 clock cycles
 - vi. 1 FP Arithmetic unit, which is pipelined: 4 stages
- La predizione di salto è sempre corretta
- Non ci sono cache misses
- Esistono 2 CDB (Common Data Bus).
- O Si completi la tabella mostrando il comportamento del processore durante le 3 iniziali iterazioni

Instruction	ISSUE	EXE	MEM	CDBx2	COMMITx2
l.d fl,v1(r1)	1	2	3	4	5
1.d f2,v2(r1)	1	3	4	5	6
mul.d f5,f1,f2	2	6	_	14	15
div.d f2,f2,f2	2	6	_	14	15
mul.d f5,f5,f2	3	15	_	23	24
s.d f5,v5(r1)	3	4	_	_	24
daddui r1,r1,-8	4	5	_	6	25
bnez r1,loop	5	7	_	_	25
l.d fl,v1(r1)	6	7	8	9	26
1.d f2,v2(r1)	6	8	9	10	26
	1.d f1,v1(r1) 1.d f2,v2(r1) mul.d f5,f1,f2 div.d f2,f2,f2 mul.d f5,f5,f2 s.d f5,v5(r1) daddui r1,r1,-8 bnez r1,loop 1.d f1,v1(r1)	1.d f1,v1(r1) 1 1.d f2,v2(r1) 1 mul.d f5,f1,f2 2 div.d f2,f2,f2 2 mul.d f5,f5,f2 3 s.d f5,v5(r1) 3 daddui r1,r1,-8 4 bnez r1,loop 5 1.d f1,v1(r1) 6	1.d f1,v1(r1) 1 2 1.d f2,v2(r1) 1 3 mul.d f5,f1,f2 2 6 div.d f2,f2,f2 2 6 mul.d f5,f5,f2 3 15 s.d f5,v5(r1) 3 4 daddui r1,r1,-8 4 5 bnez r1,loop 5 7 1.d f1,v1(r1) 6 7	1.d f1,v1(r1) 1 2 3 1.d f2,v2(r1) 1 3 4 mul.d f5,f1,f2 2 6 — div.d f2,f2,f2 2 6 — mul.d f5,f5,f2 3 15 — s.d f5,v5(r1) 3 4 — daddui r1,r1,-8 4 5 — bnez r1,loop 5 7 — 1.d f1,v1(r1) 6 7 8	1.d f1,v1(r1) 1 2 3 4 1.d f2,v2(r1) 1 3 4 5 mul.d f5,f1,f2 2 6 — 14 div.d f2,f2,f2 2 6 — 14 mul.d f5,f5,f2 3 15 — 23 s.d f5,v5(r1) 3 4 — — daddui r1,r1,-8 4 5 — 6 bnez r1,loop 5 7 — — 1.d f1,v1(r1) 6 7 8 9

3 Febbraio 2020 - ASE - Architetture moderne

C1

Name, Student ID

2	mul.d f5,f1,f2	7	11	_	19	27
2	div.d f2,f2,f2	7	14	_	22	27
2	mul.d f5,f5,f2	8	23		31	32
2	s.d f5,v5(r1)	8	9	_	_	32
2	daddui r1,r1,-8	9	10	_	11	33
2	bnez r1,loop	10	12	_	_	33
3	1.d f1,v1(r1)	11	12	13	15	34
3	1.d f2,v2(r1)	11	13	15	16	34
3	mul.d f5,f1,f2	12	17	_	25	35
3	div.d f2,f2,f2	12	22	_	30	35
3	mul.d f5,f5,f2	13	31	_	39	40
3	s.d f5,v5(r1)	13	14	-	-	40
3	daddui r1,r1,-8	14	15	-	16	41
3	bnez r1,loop	15	17	_	_	41