1 Luglio 2020 - ASE - Architetture moderne

Name, Student ID

Considerare la seguente architectura MIPS64:

- Integer ALU: 1 clock cycle
- FP arithmetic unit: pipelined 3 stages
- Data memory: 1 clock cycle
 - FP multiplier unit: pipelined 6 stages
- FP divider unit: not pipelined unit that requires 8 clock cycles
 - branch delay slot: 1 clock cycle, and the branch delay slot disabled
- forwarding enabled
- è possibile completare lo stage EXE di una istruzion in modo out-of-order.
- Facendo riferimento al frammento di codice riportato, si mostrino le tempistiche relative all'esecuzione ciascuna istruzione e si calcoli il numero totale di clock cycles necessari per eseguire completamente il programma:

.data .double "100 values" V2: .double "100 values" .double "100 values" V3: V5: .double "100 zeros" .double "100 values" .double "100 values" V5: ACC: .double 0 .text daddui r1,r0,0 main: daddui r2,r0,100 loop: 1.d f1,v1(r1)

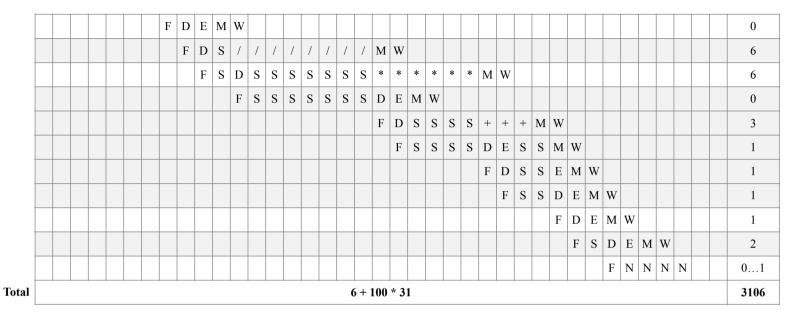
> 1.d f2,v2(r1) mul.d f5,f1,f2 1.d f3,v3(r1)

																											Clock cycles
F	D	Е	M	W																							5
	F	D	Е	M	W																						1
		F	D	Е	M	W																					12
			F	D	Е	M	W																				1
				F	D	S	*	*	*	*	*	*	M	W													7
					F	S	D	Е	M	W																	0

1 Luglio 2020 - ASE - Architetture moderne

Name, Student ID

1.d f4,v4(r1)
div.d f6,f3,f4
mul.d f5,f5,f6
1.d f7, ACC(r0)
add.d f7, f5, f7
s.d f7,v5(r1)
s.d f7,ACC(r0)
daddui r1,r1,8
daddi r2,r2,-1
bnez r2,loop
halt



1 Luglio 2020 - ASE - Architetture moderne

Name, Student ID

Condiderando un programma basato su loop, ed assumendo che il processore utilizzato sia un MIPS64 che implementa multiple-issue e speculation:

- Issue di 2 instruzioni per clock cycle
- Instruzioni jump richiedono 1 issue
- Esegue il commit di 2 istruzioni per clock cycle
- Le unità funzionali hanno le seguenti caratteristiche:
 - i. 1 Memory address 1 clock cycle
 - ii. 1 Integer ALU 1 clock cycle
 - iii. 1 Jump unit 1 clock cycle
 - iv. 1 FP multiplier unit, which is pipelined: 6 stages
 - v. 1 FP divider unit, which is not pipelined: 8 clock cycles
 - vi. 1 FP Arithmetic unit, which is pipelined: 3 stages
- La predizione di salto è sempre corretta
- Non ci sono cache misses
- Esitono 2 CDB (Common Data Bus).
- Si completi la tabella mostrando il comportamento del processore durante le 2 iniziali iterazioni

# iterazione	Instruction	ISSUE	EXE	MEM	CDBx2	COMMITx2
1	l.d fl,v1(r1)	1	2	3	4	5
1	l.d f2,v2(r1)	1	3	4	5	6
1	mul.d f5,f1,f2	2	6	_	12	13
1	l.d f3,v3(r1)	2	4	5	6	13
1	l.d f4,v4(r1)	3	5	6	7	14
1	div.d f6,f3,f4	3	8	_	16	17
1	mul.d f5,f5,f6	4	17	_	23	24
1	l.d f7, ACC(r0)	4	6	7	8	24
1	add.d f7, f5, f7	5	24	-	27	28
1	s.d f7,v5(r1)	5	7	_	_	28

A1

1 Luglio 2020 - ASE - Architetture moderne

Name, Student ID

1	s.d f7,ACC(r0)	6	8	_	_	29
1	daddui r1,r1,8	6	7	_	8	29
1	daddi r2,r2,-1	7	8	_	9	30
1	bnez r2,loop	8	10	_	_	30
2	l.d f1,v1(r1)	9	10	11	12	31
2	l.d f2,v2(r1)	9	11	12	13	31
2	mul.d f5,f1,f2	10	14	_	20	32
2	l.d f3,v3(r1)	10	12	13	14	32
2	l.d f4,v4(r1)	11	13	14	15	33
2	div.d f6,f3,f4	11	16	_	24	33
2	mul.d f5,f5,f6	12	25	_	31	34
2	l.d f7, ACC(r0)	12	14	15	16	34
2	add.d f7, f5, f7	13	32	_	35	36
2	s.d f7,v5(r1)	13	15	_	_	36
2	s.d f7,ACC(r0)	14	16	_	_	37
2	daddui r1,r1,8	14	15	_	17	37
2	daddi r2,r2,-1	15	17	_	18	38
2	bnez r2,loop	16	19			38