

# REPORT



제목 : 학번 카운터 (순서회로설계)

수강과목 : 디지털 공학

담당교수 : 김 선 종 교수님

학 과 : 식물생명과학과 / IT응용공학과

학 번 : 201345114

이 름 : 박 주 연

제출일자 : 2017 년 12 월 2 일

## 1. 서론

### 1.1. 실험 목적

J-K F/F와 카운터의 원리를 이해하고, 그 원리를 바탕으로 본인의 학번을 카운트 하는 회로를 설계하여, 구현 후 올바르게 설계되었는지 작동시켜 확인해본다.

### 1.2. 이론

#### 1.2.1. Flip-Flop

두 개의 안정된 상태 중 하나를 가지는 1-bit 기억소자로 순서 회로의 기본 요소이다. 조합 논리 회로와 달리 feed-back이 있다. Flip-Flop의 종류에는 R-S F/F, J-K F/F, D F/F 이 있다.

#### 1.2.2. J-K Flip-Flop

R-S F/F에서  $R = 1$ ,  $S = 1$  인 경우 출력이 불안정한 상태가 되는 문제점을 개선하여 같은 상황에서 출력을 이전 출력의 보수 상태로 변화시키는 Flip-Flop이다. J는 S(Set)에 K는 R(Reset)에 대응한다.

#### 1.2.3. J-K Flip-Flop 의 진리표

J(S)	K(R)	$Q_{t+1}$	
0	0	$Q_t$	변화 없음
0	1	1	Set
1	0	0	Reset
1	1	$\overline{Q_t}$	보수

#### 1.2.4. J-K Flip-Flop 의 여기표

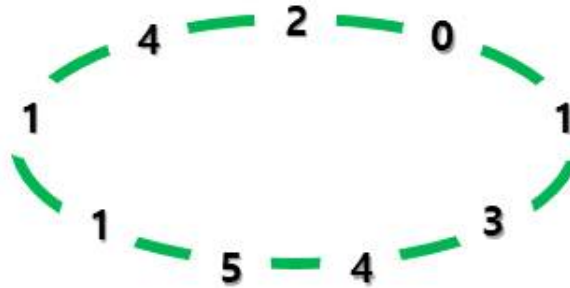
$Q_t$	$Q_{t+1}$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

### 1.3. 실험 부품 및 장치

부품명	수량
7-Segment (Anode)	1
IC 7447	1
IC 7476 (J-K F/F)	3
IC 7432 (OR Gate)	2
IC 7408 (AND Gate)	2

## 2. 본론

### 2.1. 상태도



### 2.2. 상태표

	현재 상태						차기 상태						$J_F$ $K_F$		$J_E$ $K_E$		$J_D$ $K_D$		$J_C$ $K_C$		$J_B$ $K_B$		$J_A$ $K_A$		
	F	E	D	C	B	A	F	E	D	C	B	A													
2 0	0	0	0	0	1	0	0	0	0	0	0	0	0	X	0	X	0	X	0	X	X	1	0	X	
	0	0	0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	0	X	0	X	1	X	
1	0	0	0	0	0	1	0	0	0	0	1	1	0	X	0	X	0	X	0	X	1	X	X	0	
3	0	0	0	0	1	1	0	0	0	1	0	0	0	X	0	X	0	X	1	X	X	1	X	1	
4	0	0	0	1	0	0	0	0	0	1	0	1	0	X	0	X	0	X	X	0	0	X	1	X	
5	0	0	0	1	0	1	0	1	0	0	0	0	1	0	X	1	X	0	X	X	1	0	X	X	0
1	0	1	0	0	0	1	1	0	0	0	0	0	1	1	X	X	1	0	X	0	X	0	X	X	0
1	1	0	0	0	0	1	0	1	0	1	0	0	0	X	1	X	0	X	1	X	0	X	X	1	1
4	0	1	0	1	0	0	0	0	0	0	1	0	0	0	X	X	1	0	X	X	1	1	X	0	X

### 2.3. 카르노 맵 (※표시되지 않은 부분은 Don't care)

FED	CBA							
	000	001	011	010	110	111	101	100
000	0	1					0	
001								
011								
010		0						
110								
111								
101								
100		0						

$$K_A = B + F$$

FED	CBA							
	000	001	011	010	110	111	101	100
000	1			0				1
001								
011								
010								0
110								
111								
101								
100								

$$J_A = \overline{B} \cdot \overline{E}$$

FED	CBA							
	000	001	011	010	110	111	101	100
000			1	1				
001								
011								
010								
110								
111								
101								
100								

$$K_B = 1$$

FED	CBA							
	000	001	011	010	110	111	101	100
000	0	1					0	0
001								
011								
010			0					1
110								
111								
101								
100			0					

$$J_B = E \cdot (\overline{A} + C) + A \cdot \overline{C} \cdot \overline{E} \cdot \overline{F}$$

FED \ CBA	000	001	011	010	110	111	101	100
000							1	0
001								
011								
010								1
110								
111								
101								
100								

$$K_C = A + E$$

FED \ CBA	000	001	011	010	110	111	101	100
000	0	0	1	0				
001								
011								
010		0						
110								
111								
101								
100		1						

$$J_C = F + A \cdot B$$

FED \ CBA	000	001	011	010	110	111	101	100
000								
001								
011								
010		1						1
110								
111								
101								
100								

$$K_E = 1$$

FED \ CBA	000	001	011	010	110	111	101	100
000	0	0	0	0			1	0
001								
011								
010								
110								
111								
101								
100		1						

$$J_E = F + C \cdot A$$

FED \ CBA	000	001	011	010	110	111	101	100
000								
001								
011								
010								
110								
111								
101								
100		1						

$$K_F = 1$$

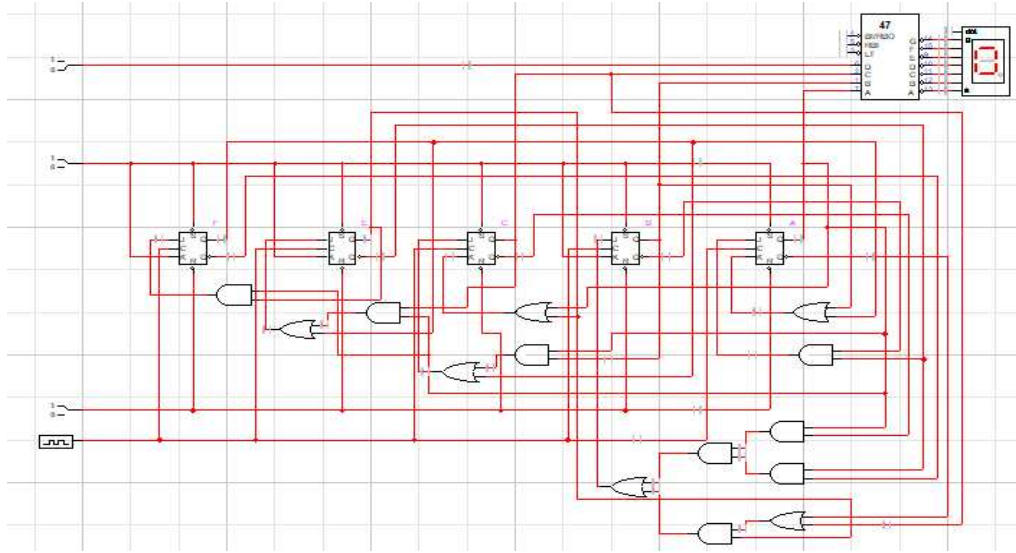
FED \ CBA	000	001	011	010	110	111	101	100
000	0	0	0	0			0	0
001								
011								
010		1						0
110								
111								
101								
100								

$$J_F = A \cdot E$$

#### 2.4. 최종 간략화 된 식

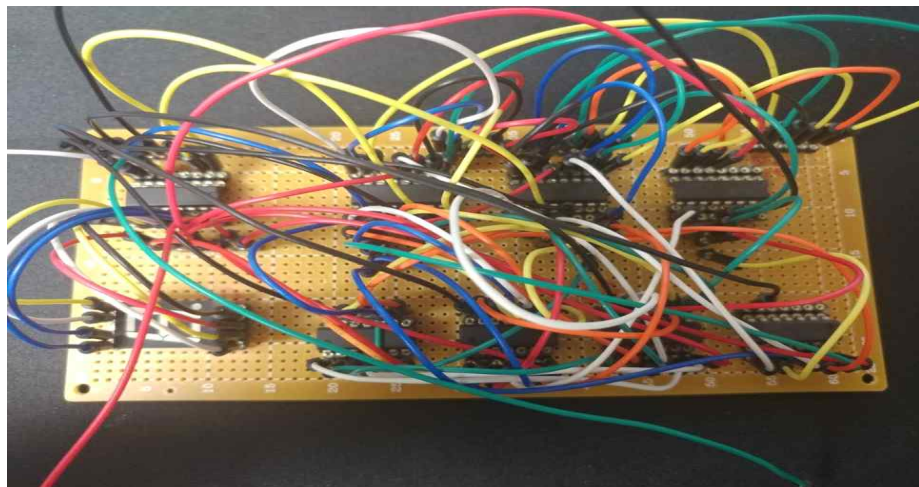
$K_A = B + F$	$J_A = \overline{B} \cdot \overline{E}$
$K_B = 1$	$J_B = E \cdot (\overline{A} + C) + A \cdot \overline{C} \cdot \overline{E} \cdot \overline{F}$
$K_C = A + E$	$J_C = F + A \cdot B$
$K_D = 0$	$J_D = 0$
$K_E = 1$	$J_E = F + A \cdot C$
$K_F = 1$	$J_F = A \cdot E$

## 2.5. 시뮬레이션 프로그램 (Logic Works5)를 활용한 회로도

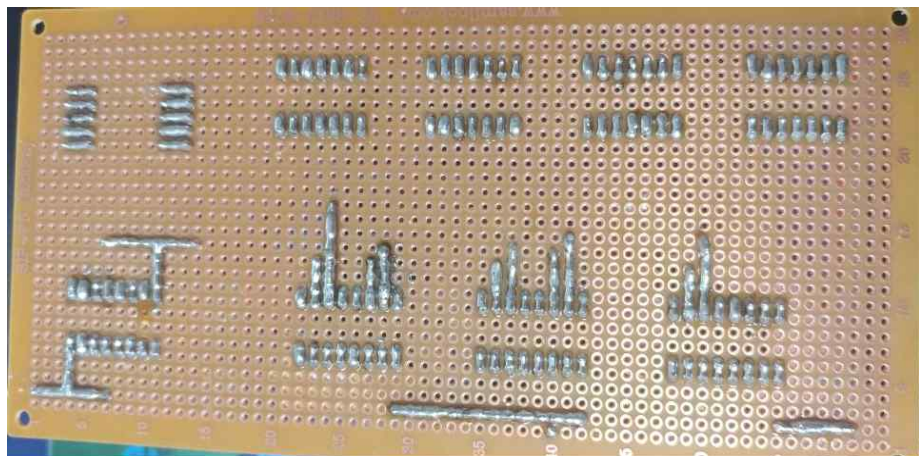


## 2.6. 기판에 구현

### 2.6.1. 기판 앞면



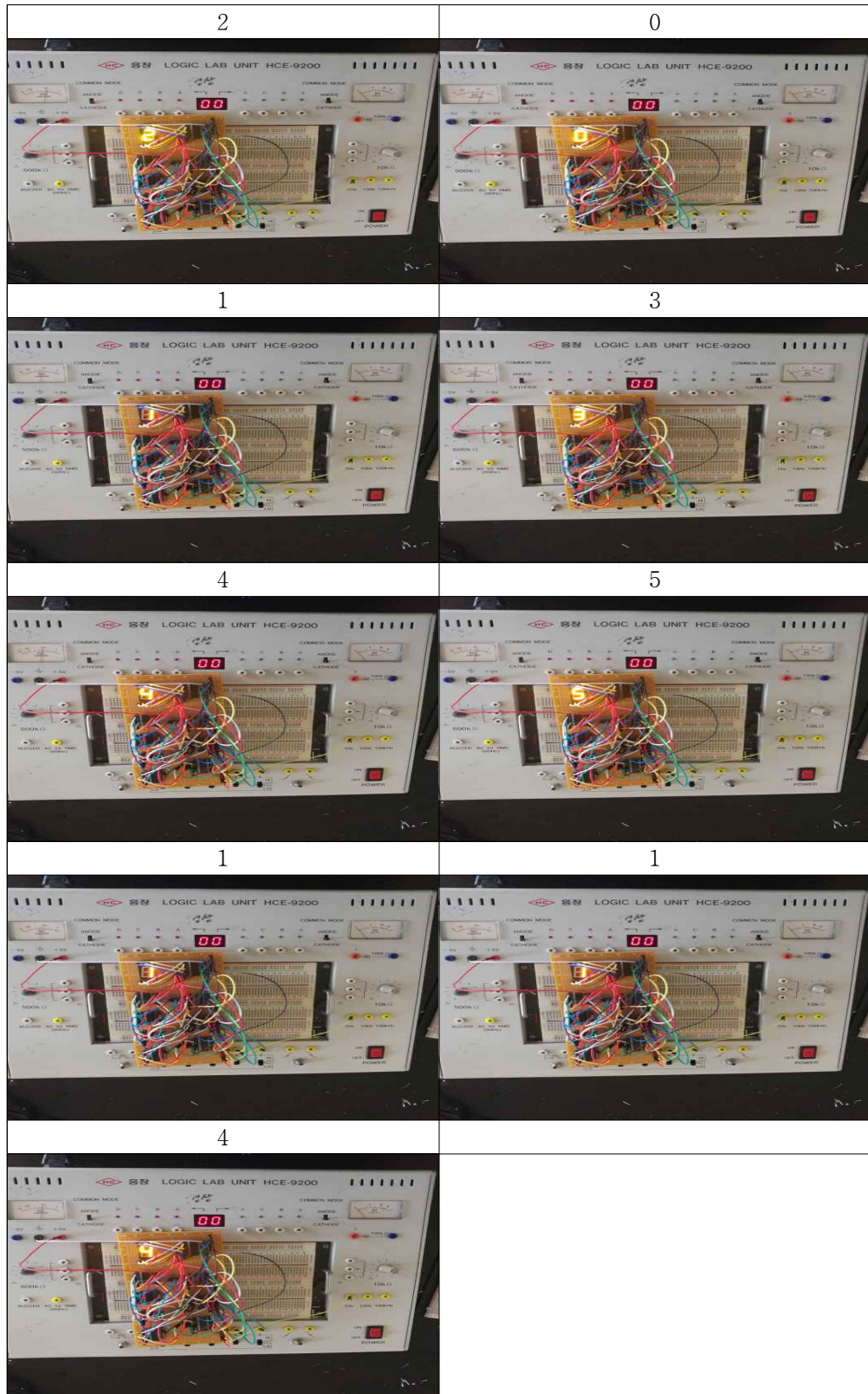
### 2.6.2. 기판 뒷면





## 2.7. 실험 결과

영상 : <https://youtu.be/57ZffFt2mXo>



### 3. 결론

여기표와 상태도를 이용하여 학번의 상태표를 만들고 이를 토대로 카르노 맵을 그려 식을 간략화 시켰다. 간략화 한 식은 제대로 설계되었는지 알아보기 위해 시뮬레이션 프로그램인 'Logic Works5'를 이용하여 알아보았고, 그 후에 기판에 설계를 하였다. 반복되는 숫자의 표현을 위해 J-K Flip-Flop을 2개 더 사용하여 각각의 상태를 표현하였다. IC칩 불량과 실수 시에 원활하게 수정하기 위해 커넥터를 이용하였으며, 각 IC칩에 들어가는 전원과 GND, 클록 등 묶을 수 있는 것들은 묶어서 한 번에 선이 빠지도록 정리하였다. 구현 후,  $V_{CC} = 5V$ ,  $CLK = 1Hz$ , GND는 GND에 연결하자 학번인 201345114가 순차적으로 출력되는 것을 볼 수 있었다. (2.7 절에 첨부된 링크를 통한 영상 참조)