

# Project 3 实验报告

钱翰林 周远扬 石曜铭

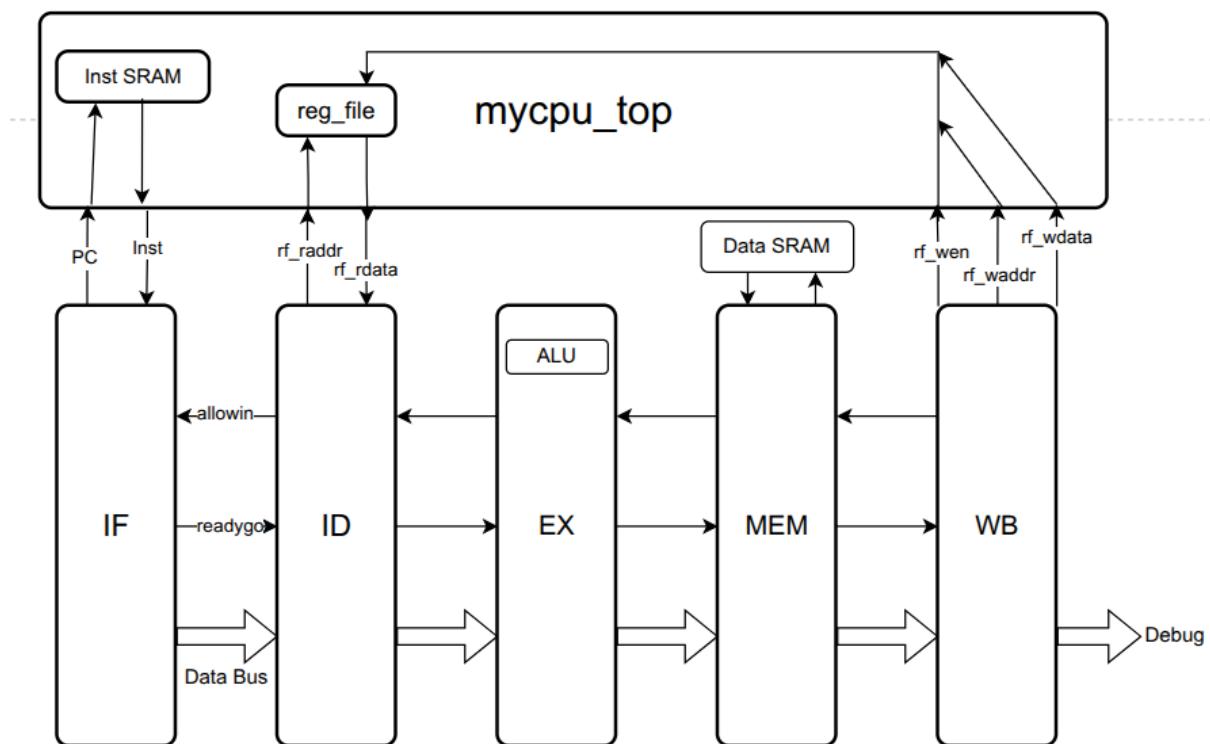
10/28/2025

## 1 小组分工情况说明

- 钱翰林: IP 核接口, 访存指令实现
- 周远扬: 运算指令、分支指令实现
- 石曜铭: 调整流水线握手信号, 报告撰写

## 2 处理器结构设计图

与 exp9 一致。



### 3 主要设计点

#### 3.1 EX 多周期的状态设计

由于除法器的存在，为了满足时序要求，需要将 EX 阶段改为多周期。EX 阶段有 4 个状态，分别是 `init`, `wait_src_ready`, `wait_res_valid`, `readygo`。初始状态为 `init`, 当检测到指令不需要除法时，则直接转到 `readygo` 状态。如果指令需要除法，则要先后经过两个等待状态，得到结果后在进入 `readygo` 状态。

注意这里因为 EX 阶段不再是单周期，连带着 MEM 阶段的一些时序也需要修改。原先的时序是默认 EX 阶段只有一个周期，所以修改 EX 之后会导致时序错乱而在一些测试点上保持阻塞。

#### 3.2 除法 IP 核的生成和接入

本实验中采用直接生成除法 IP 核的做法。在 Vivado 中分别生成有符号和无符号除法 IP 核后，接入 EX 阶段的握手信号和数据信号。由于除法 IP 核中有两个源操作数的 `ready` 信号，实际应当对两个信号取与，才能作为源操作数的 `ready` 信号。

#### 3.3 运算和分支指令的实现

这两类指令的实现都在 ID 阶段。在译码时，如果检测到运算指令，则传递对应的 `ALUop`。如果检测到分支指令，则判断条件之后决定是否修改 PC。

#### 3.4 访存指令的实现

为了添加更多的访存指令，从 ID 向 EX 和 MEM 多传递了不同位数的访存信号；在 MEM 阶段，根据访存的位数以及内存对齐情况返回不同的结果。相应地，阶段之间传递数据的位宽也进行了修改。