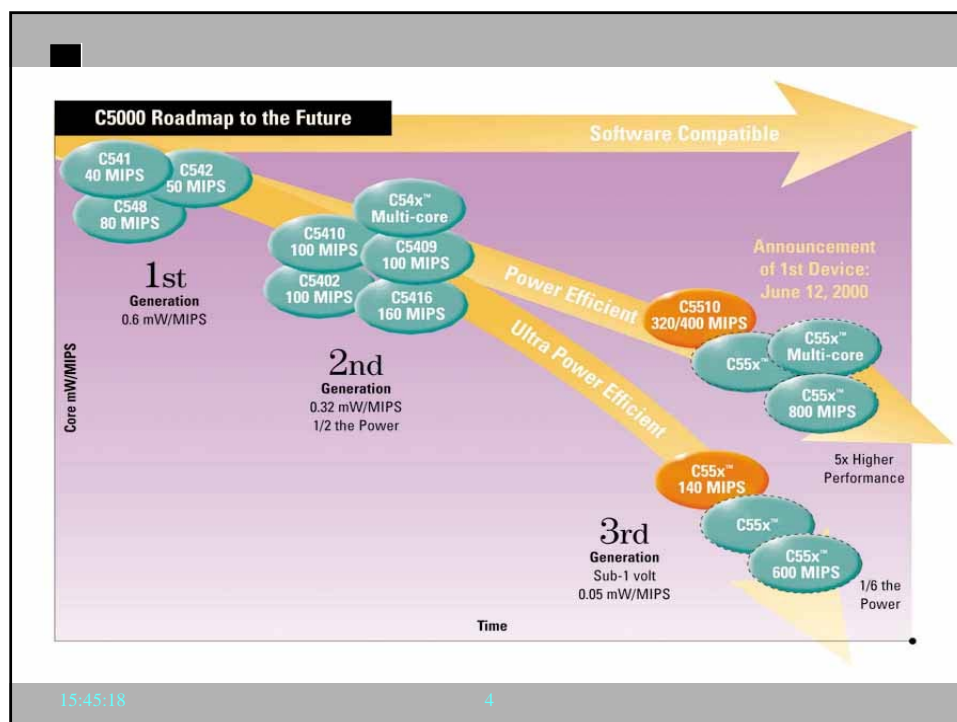
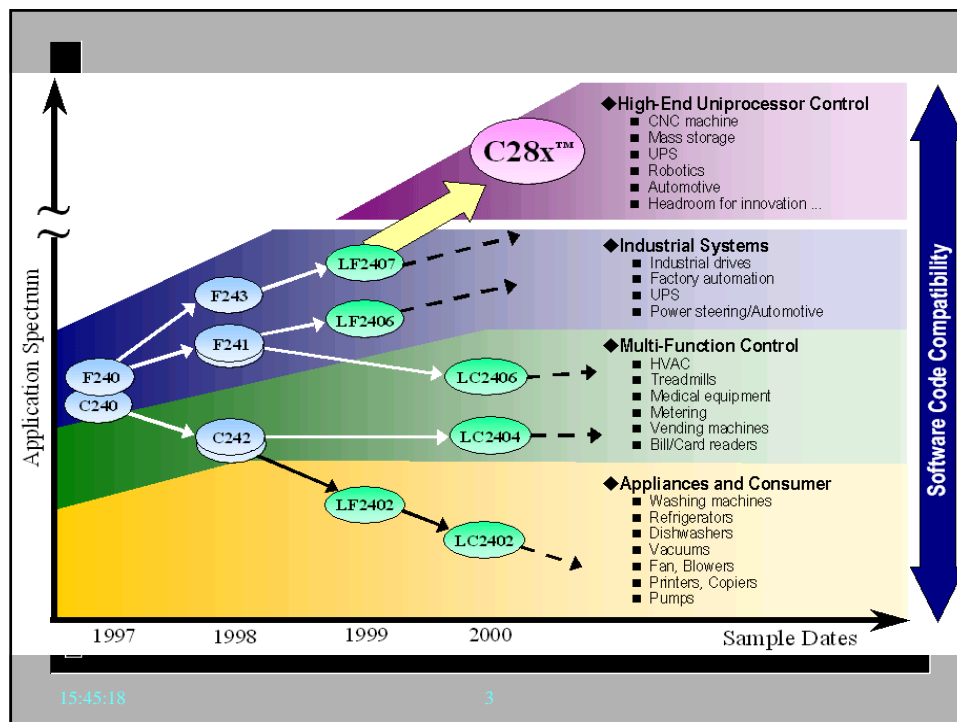
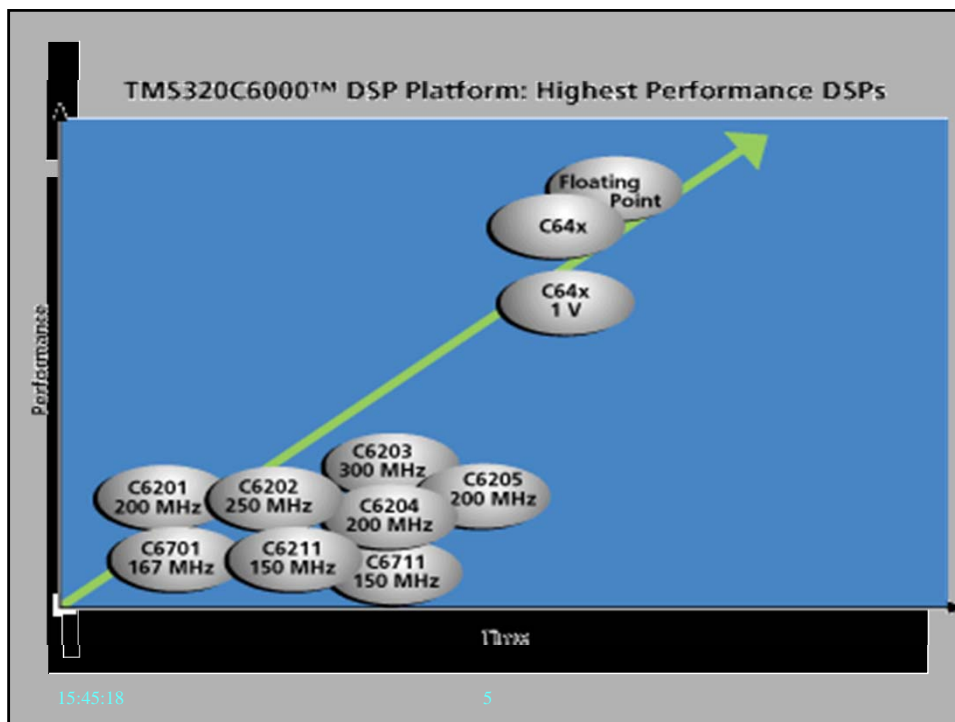


德州仪器（TI）的系列 DSP

DSP的主要供应商

- u 目前市场上的主要**DSP**生产商包括**TI**, **ADI**, **Motorola**, **Lucent**和**Zilog**等, 其中**TI**占有最大市场份额。作为第一片**DSP**产品**TMS32010**的生产商和**DSP**行业的领头者, **TI**公司的产品包括从低端的低成本低速度**DSP**到高端大运算量的**DSP**产品。





定点DSP与浮点DSP

- u 在定点DSP中，小数点的位置在一个数据字中是固定的。而在浮点格式中，一个数据字被分成两部分，分别表示指数和底数，因此它所表示的数据的小数点随着指数的变化而浮动。浮点格式所能表示的数据范围要比定点格式大得多，在大多数应用中都不需要特别考虑运算的溢出问题。

15:45:18

6

定点DSP与浮点DSP

- u 在**DSP**运用中的数据保真性很重要，因此在定点**DSP**中必须要特别考虑运算过程中可能出现的**溢出**等情况。在定点**DSP**中，累加器一般比存储器字长大，并特别设置了溢出模式位，可以选择在溢出情况下的处理方法，从而尽量降低数据失真。

15:45:18

7

DSP主要供应商的网站

- u 德州仪器（TI）：<http://www.ti.com>,
<http://www.ti.com.cn>
- u 模拟器件（ADI）：
<http://www.analog.com>
- u 朗讯科技：<http://www.lucent.com>
- u 摩托罗拉：<http://www.mot.com>

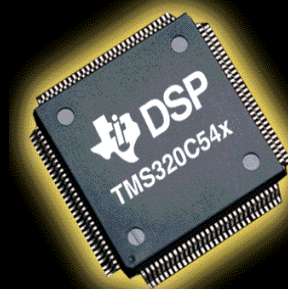
15:45:18

8

第二部分 DSP硬件结构

在这一部分中，我们介绍：

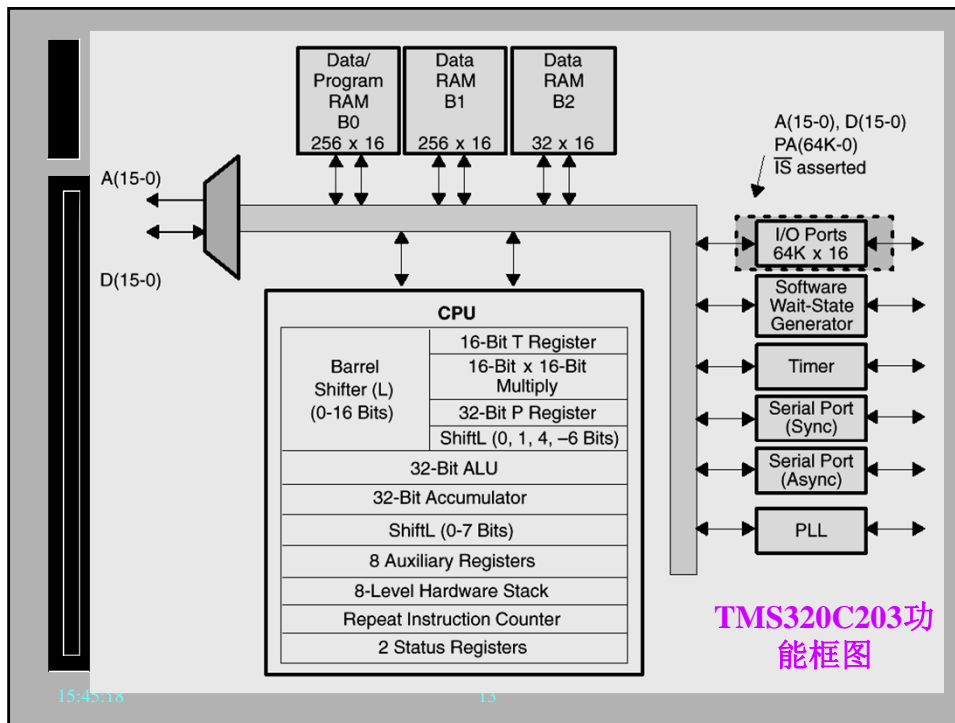
- u **TMS320LF240X**的
硬件结构
- u **TMS320C6201**的
硬件结构
- u 重点介绍：
TMS320C54XX硬
件结构特点 ★
- u **TMS320C55XX**硬
件结构特点



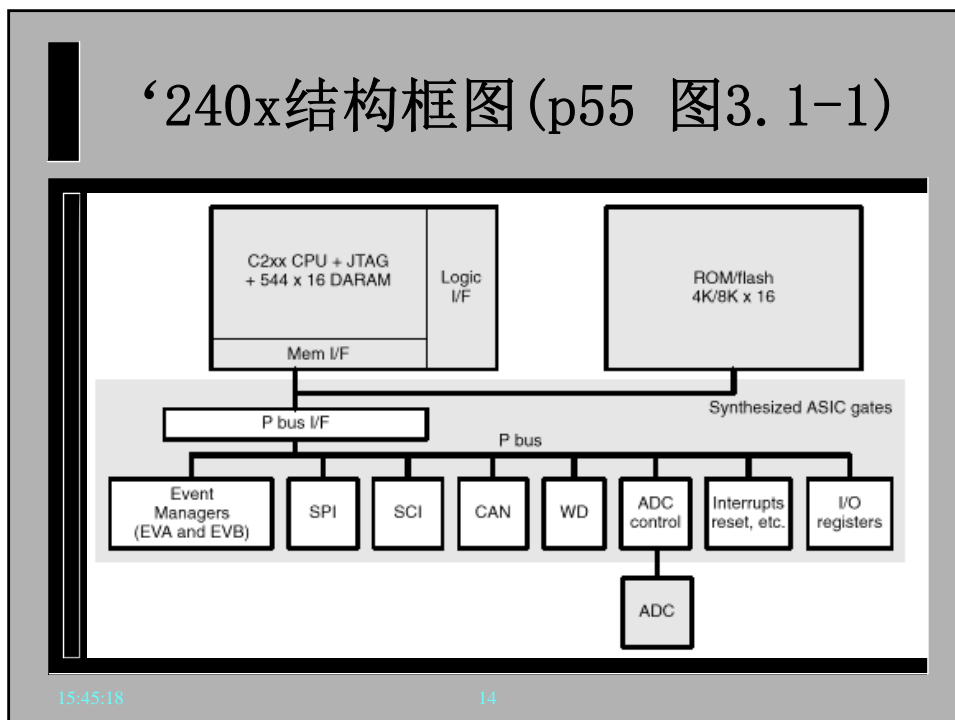
§ 2-1 TMS320LF240X的硬件结构

TMS320LF240X的特点

- u 基于C2XX内核，16 bits的定点DSP
- u 事件管理器：定时器和PWM发生器（可用于数字马达控制）
- u CAN总线接口
- u 多通道A/D：10-bit ± 1 , 500 nS 转换时间, 16/8 通道
- u 同步串口和异步串口
- u WATCHDOG定时器
- u 通用双向I/O脚



‘240x结构框图 (p55 图3. 1-1)



‘240X的存储器空间

’ 240X采用增强型的哈佛结构，拥有三条独立的并行总线：程序地址总线PAB、数据读地址总线DRAB和数据写地址总线DWAB。所以，在一个机器时钟周期里，可以执行三种存储器操作。

15:45:18

15

‘240X的存储器空间

- u 程序存储器空间64K字：用于存放代码，以及代码中的立即数（/PS脚选通）
- u 数据存储器空间64K字：数据（/DS选通）
- u 输入/输出空间64K字：用于外部接口，以及内部寄存器占用（/IS选通）
- u 注意：’ 240X中仅有‘2407具有外部存储器接口。

15:45:18

16

§ 2-2 ‘C5000 DSP硬件结构

’ C54X的结构特点

- u 多总线结构，三组**16-bit**数据总线 and 一组程序总线
- u **40-bit**算术逻辑单元（ALU），包括一个**40-bit**的桶形
- u 移位器和两个独立的**40-bit**累加器
- u **17×17-bit**并行乘法器，连接一个**40-bit**的专用加法器。

’ C54X的结构特点

- u 可用来进行非流水单周期乘/加 (MAC) 运算
- u 比较、选择和存储单元 (CSSU) 用于 Viterbi 运算器的加/比较选择
- u 指数编码器在一个周期里计算一个 40-bit 累加器值的指数值
- u 两个地址发生器中有八个辅助寄存器和两个辅助寄存器算术单元 (ARAUS)

15:45:18

19

’ C54X的结构特点

- u 数据总线具有总线保持特性
- u C548,549,5402,5410 等具有扩展寻址方式, 最大可寻址扩展程序空间为 8M×16-bit
- u C54X 可访问的存储器空间最大可为 192K×16-bit (64K 程序存储器, 64K 数据存储器和 64K I/O 存储器)
- u 支持单指令循环和块循环

15:45:18

20

’ C54X的结构特点

- u 存储块移动指令提供了更好的程序和数据管理
- u 支持**32-bit**长操作数指令，支持两个或三个操作数读指令，支持并行存储和并行装入的算术指令，支持条件存储指令及中断快速返回指令
- u 软件可编程等待状态发生器和可编程的存储单元转换

15:45:18

21

’ C54X的结构特点

- u 连接内部振荡器或外部时钟源的锁相环（**PLL**）发生器
- u 支持**8-或16-bit**传送的全双工串口
- u 时分多路（**TDM**）串口
- u 缓冲串口（**BSP**）
- u **McBSPs**串口
- u **8/16-bit**并行主机接口（**HPI**）
- u 一个**16-bit**定时器

15:45:18

22

’ C54X的结构特点

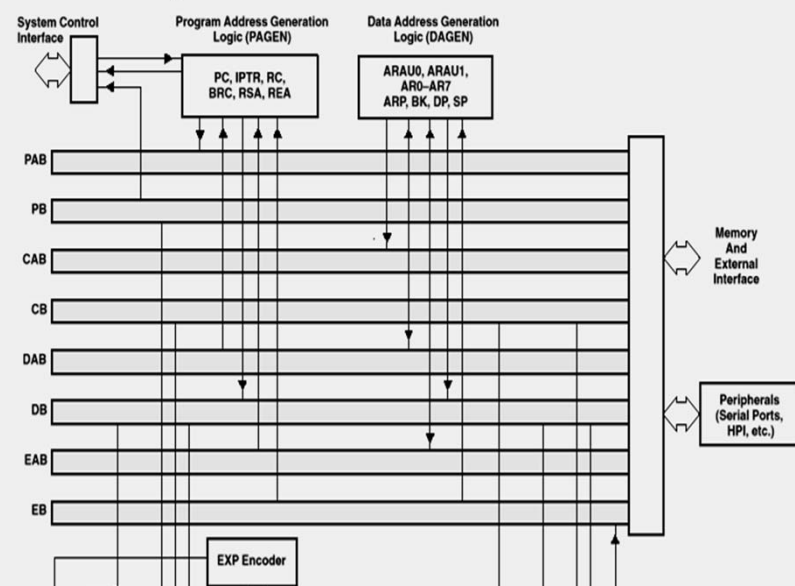
- u 外部I/O (XIO) 关闭控制, 禁止外部数据、地址和控制信号
- u 片内基于扫描的仿真逻辑, JTAG边界扫描逻辑 (IEEE1149.1)
- u 单周期定点指令执行时间10-25ns

15:45:18

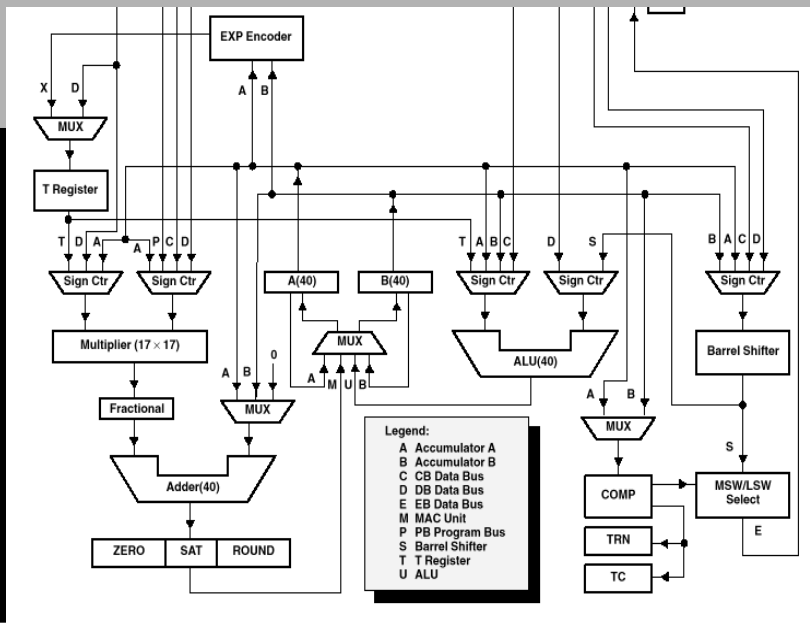
23

TMS320C54x内部硬件框图(p78 图3.2-1)

functional block diagram of the 'C54x/'LC54x internal hardware



15:4



15:45:18

25

‘C54x的总线结构（八组16-bit总线）：

- u 程序总线（PB）传送从程序存储器来的指令代码和立即数。
- u 三组数据总线（CB，DB和EB）连接各种元器件，如CPU、数据地址产生逻辑、程序地址产生逻辑，片内外设和数据存储器。CB和DB总线传送从数据存储器读出的操作数。EB总线传送写入到存储器中的数据。
- u 四组数据总线（PAB，CAB，DAB和EAB）传送执行指令所需要的地址。

15:45:18

26

通过PB总线完成数据传递

- u **PB总线**能把存储在程序空间的数据操作数（如系数表）传送到乘法器和加法器中进行乘/累加运算，或者在数据移动指令（**MVPD**和**READA**）中传送到数据空间。这种能力再加上双操作数读的特性，支持单周期3操作数指令的执行，如**FIRS**指令。

15:45:18

27

外部接口总线

- u ‘**C54x**还有一组寻址片内外设的片内双向总线，通过CPU接口中的总线交换器与**DB**和**EB** 相连接。对这组总线的访问，需要两个或更多的机器周期来进行读和写，具体所需周期数由片内外设的结构决定。

15:45:18

28

辅助寄存器算术单元

- u ‘C54x通过使用两个辅助寄存器算术单元（**ARAU0**和**ARAU1**），每周期能产生两个数据存储器地址。

15:45:18

29

‘C54x的算术逻辑单元（ALU）：

‘C54x/’LC54x使用**40-bit**的算术逻辑单元（ALU）和两个**40-bit**的累加器（**ACCA**和**ACCB**）来完成二进制补码的算术运算。同时ALU也能完成布尔运算。ALU可使用以下输入：

- **16-bit**的立数
- 从数据存储器读出的 **16-bit**字
- 暂存器**T**中的**16-bit**值
- 从数据存储器读出的两个**16-bit**字

15:45:18

30

C54x的算术逻辑单元（ALU）：

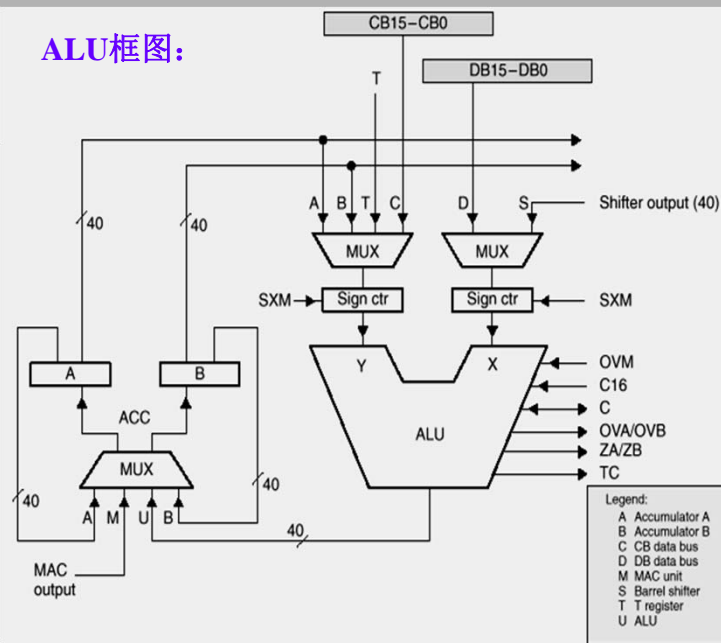
ALU可使用以下输入：

- 从数据存储器读出的一个32-bit字
- 从其中一个累加器输出的40-bit值
- ALU能起两个16-bitALUs的作用，且在状态寄存器ST1中的C16位置1时，可同时完成两个16-bit运算

15:45:18

31

ALU框图：



15:45:18

32

累加器：

- u 累加器ACCA和ACCB存放从ALU或乘法器/加法器单元输出的数据，累加器也能输出到ALU或乘法器/加法器中。

15:45:18

33

桶形移位器

- u ‘C54x的桶形移位器有一个与累加器或数据存储器（CB，DB）相连接的40-bit输入，和一个与ALU或数据存储器（EB）相连接的40-bit输出。桶形移位器能把输入的数据进行0到31bits的左移和0到16bits的右移。所移的位数由ST1中的移位域（ASM）或被指定作为移位寄存器寄存器的暂存器（TREG）决定。

15:45:18

34

乘法器/加法器单元

- u 乘法器/加法器与一个40-bit的累加器在一个单指令周期里完成17×17-bit的二进制补码运算。乘法器/加法器单元由以下部分组成：乘法器，加法器，带符号/无符号输入控制，小数控制，零检测器，舍入器（二进制补码），溢出/饱和逻辑和暂存器（TREG）。

15:45:18

35

乘法器/加法器单元

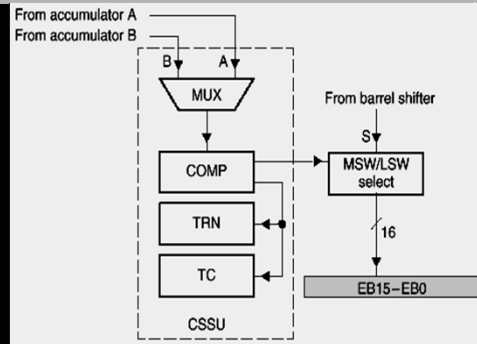
- u 乘法器有两个输入：一个是从TREG，数据存储器操作数，或一个累加器中选择；另一个则从程序存储器，数据存储器，一个累加器或立即数中选择。
- u 另外，乘法器和ALU在一个指令周期里共同执行乘/累加（MAC）运算且并行ALU运算。这个功能可用来确定欧几里德距离，以及完成复杂的DSP算法所需要的LMS滤波

15:45:18

36

比较，选择和存储单元（CSSU）

比较、选择和存储单元（CSSU）完成累加器的高位字和低位字之间的最大值比较，即选择累加器中较大的字并存储在数据存储器中，不改变状态寄存器ST0中的测试/控制位和传送寄存器（TRN）的值。同时，CSSU利用优化的片内硬件促进Viterbi型蝶形运算。



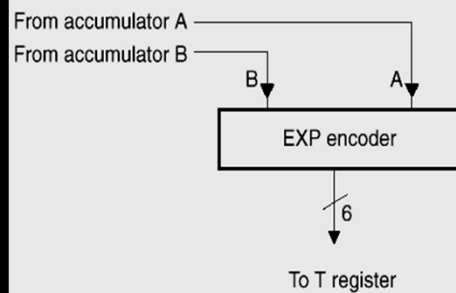
```
CMPS B,*AR3 ;if (B(31-16)>B(15-0)) then
;B(31-16)->(*AR3); TRN<<1; 0->TRN(0);
;0->TC}
;else B(15-0)->(*AR3); TRN<<1;
;1->TRN(0); 1->TC;
```

15:45:18

37

指数编码器

指数编码器用于支持单周期指令EXP的专用硬件。在EXP指令中，累加器中的指数值能以二进制补码的形式存储在T寄存器中，范围为bit-8至31。指数值定义为前面的冗余位数减8的差值，即累加器中为消除非有效符号位所需移动的位数。当累加器中的值超过了32bits，该操作将产生负值。



```
;Normalize accumulator A
EXP A ; (the number of leading bits - 8)-> T.
ST T, EXPONENT ; Store the exponent (T) into data
; memory
NORM A ; Normalize accumulator A, (A)<<(T)
```

15:45:1

存储器分配：

- u ‘C54x存储器由三个独立的可选择空间组成：程序，数据和I/O空间。所有的’ C54x芯片都包括随机访问存储器（RAM）和只读存储器（ROM）。RAM又分两种：双访问RAM（DARAM）和单访问RAM（SARAM）。

15:45:18

39

§ 2-3 ‘C55x DSP硬件结构

C55x的特点

- u 与120-MHz 'C54x相比较, 300MHz C55x的性能提高了4倍, 同时功耗降低了1/6。
- u 32x16-bit指令缓冲队列实现可变指令长度和高效块循环。
- u 两个17-bit x17-bit MAC 单元。
- u 一个40-bit的ALU用于高精度算术运算和逻辑运算, 另外还有一个16-bit的ALU可与主ALU并行参见算术运算。

15:45:18

41

C55x的特点

- u 40-bit的桶型移位器, 完成31位左移或32位右移。
- u 4个40-bit累加器。
- u 12条独立总线: 3条数据读总线, 2条数据写总线, 5条数据地址总线, 1条程序总线, 1条程序地址总线。充分发挥'C55X的并行特性。

15:45:18

42

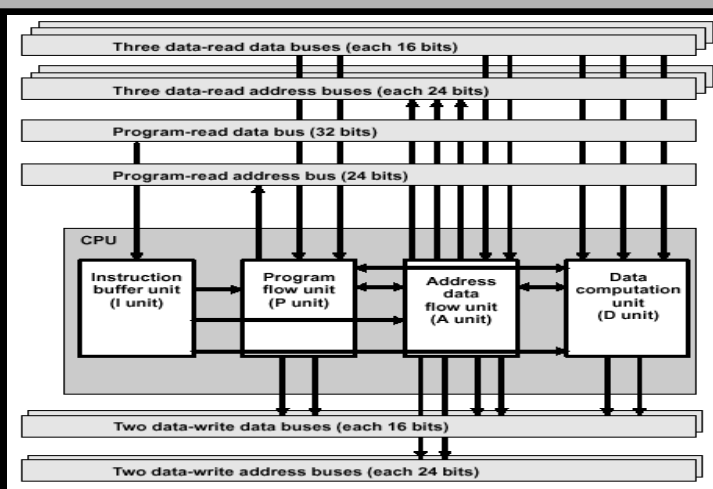
‘C54X与 ‘C55X的比较

	‘C54x	‘C55x
MACs	1	2
Accumulators	2	4
Read buses	2	3
Write buses	1	2
Program fetch	1	1
Address buses	4	6
Program word size	16 bits	8/16/24/32/40/48 bits
Data word size	16 bits	16 bits
Auxiliary Register ALUs	2 (16-bit each)	3 (24-bit each)
ALU	1 (40-bit)	1 (40-bit) 1 (16-bit)
Auxiliary Registers	8	8
Data Registers	0	4
Memory Space	Separate Program/Data	Unified space

15:45:18

43

‘C55x CPU框图

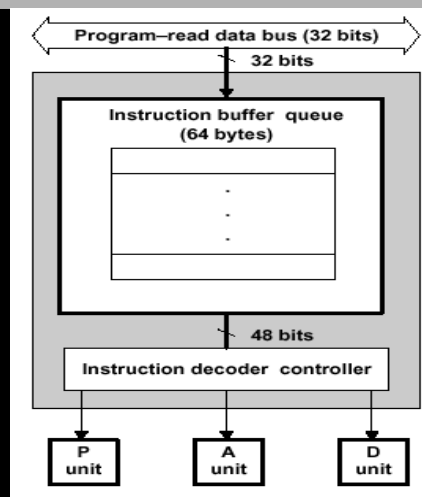


15:45:18

44

指令缓冲单元(I Unit)

在每个机器周期,I单元从程序总线接受**32bit**并与前次接收的代码共同解码位**1-6**字节的指令(8-, 16-, 24-, 32-, 40- and 48-bit),并送到.P、.A、.D单元执行。

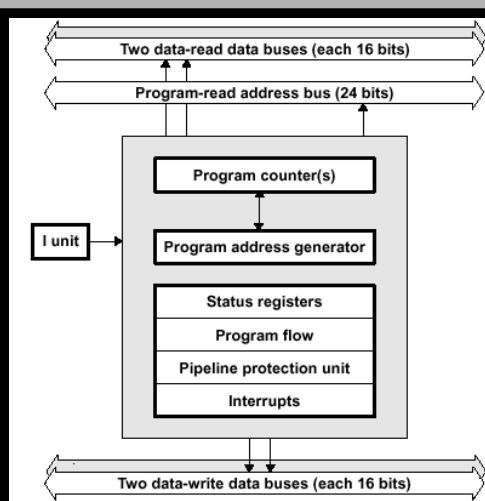


15:45:18

45

流程控制单元(P Unit)

控制程序的执行,产生下面要执行程序的代码地址(连续或不连续,如跳转,调用,返回,循环,条件执行,中断服务等)。

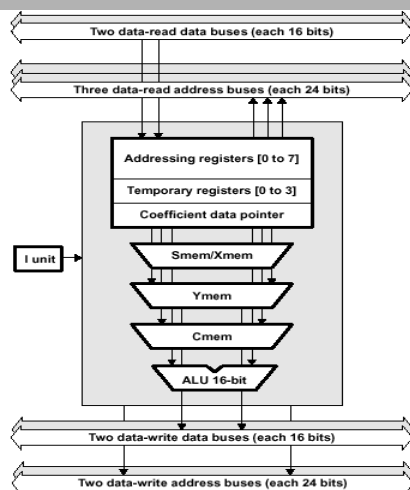


15:45:18

46

数据流程控制单元(A Unit)

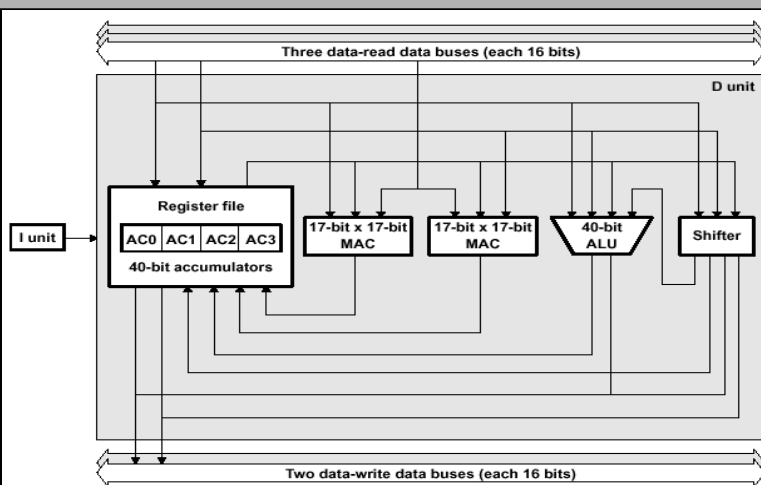
产生需要访问的读写数据空间地址。
(p103 图3.2-5)



15:45:18

47

数据执行单元(D Unit)



15:45:18

48

§ 2-4 TMS320C6201硬件结构

VelociTI结构的C62xx CPU核

- u 高达1600、2000、2400MIPS的运算速度。
- u 八个独立的功能单元：六个ALU和两个乘法器。
- u 采用 VelcoiTI VLIW结构的定点DSP。
- u 先进的支持超长指令（VLIW）CPU。
- u 32个通用目的的32bits字长寄存器。
- u 大容量的片内存储器和方便的EMIF。

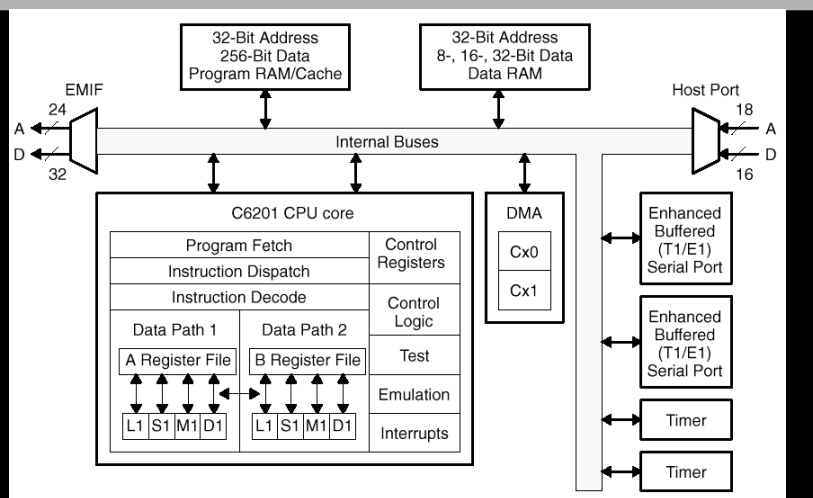
VelociTI结构的C62xx CPU核

- u 更灵活、更丰富、更方便的外设与外设接口。
- u 八个并行功能单元，分成两组
- u 两套寄存器组（各16个32位寄存器）与功能单元相连
- u 编译时完成程序的并行分配
- u 256bit Cache 保证单周期内取八个指令
- u 有4G Bytes的寻址空间

15:45:18

51

‘C62xx的基本结构(p111图3.1-1)



15:45:18

52

功能单元:

u C62xx有八个功能单元，六个ALU和两个Multiply。
u 分成两组（L1, S1, M1, D1, L2, S2, M2, D2）。
u 每个单元有32位写口到相应寄存器组
u 每一组有扩展8位写口以支持40位长操作数

Functional Unit	Description
.L Unit (.L1, .L2)	32/40-bit arithmetic and compare operations Left most 1, 0, bit counting for 32 bits Normalization count for 32 and 40 bits 32-bit logical operations
.S Unit (.S1, .S2)	32-bit arithmetic operations 32/40-bit shifts and 32-bit bit-field operations 32-bit logical operations, Branching Constant generation Register transfers to/from the control register file
.M Unit (.M1, .M2)	16 x 16-bit multiplies
.D Unit (.D1, .D2)	32-bit add, subtract, linear and circular address calculation

15:45:18

53

指令与功能单元的映射(P112 表3.3-1)

.L Unit	.M Unit	.S Unit	.D Unit
ABS	MPY	ADD	ADD
ADD	SMPY	ADDK	ADDA
AND		ADD2	LD mem
CMPEQ		AND	LD mem (15-bit offset)‡
CMPGT		B disp	MV
CMPGTU		B IRP†	NEG
CMPLT		B NRP†	ST mem
CMPLTU		B reg	ST mem (15-bit offset)‡
LMBD		CLR	SUB
MV		EXT	SUBA
NEG		EXTU	ZERO
NORM		MVC†	
NOT		MV	
OR		MVK	

(部分)

15:45:18

54

寻址方式

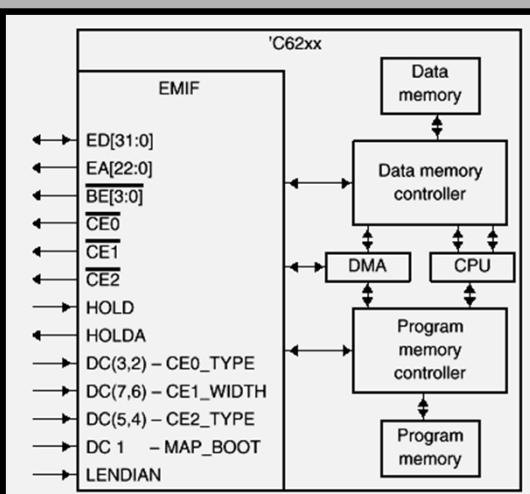
- u C62xx的寻址方式分为基于BK0的线性寻址和循环寻址，以及基于BK1的循环寻址。
- u 仅D1中执行的A4-A7和D2中执行的B4-B7八个寄存器可循环寻址。
- u 寻址方式由寻址方式寄存器（AMR）决定。
- u 受AMR控制寻址方式的指令有：
LDB (U) /LDH (U) /LDW
STB/STH/STW
ADDAB/ADDAH/ADDAW/ADDAD
SUBAB/SUBAH/SUBAW

15:45:18

55

外部存储器接口（EMIF）

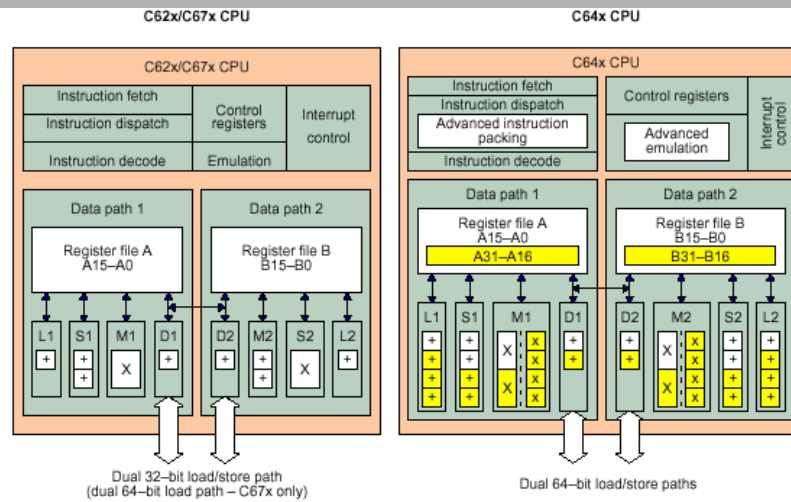
- u 支持8、16、32 bit SRAM
- u 支持8、16、32bit SDRAM
- u 支持SBSRAM



15:45:18

56

C62X/C67X与C64X结构比较



15:45:18

57

C64X的执行单元

Functional Unit	Fixed-Point Operations
.M unit (.M1, .M2)	16 x 16 multiply operations 16 x 32 multiply operations Quad 8 x 8 multiply operations Dual 16 x 16 multiply operations Dual 16 x 16 multiply with add/subtract operations Quad 8 x 8 multiply with add operations Bit expansion Bit interleaving/de-interleaving Galois Field Multiply Rotation Variable shift operations

15:45:18

58

C64X的执行单元

.L unit (.L1, .L2)

32/40-bit arithmetic and compare operations

32-bit logical operations

Leftmost 1 or 0 counting for 32 bits

Normalization count for 32 and 40 bits

Byte shifts

Data packing/unpacking

5-bit constant generation

Dual 16-bit arithmetic operations

Quad 8-bit arithmetic operations

Dual 16-bit min/max operations

Quad 8-bit min/max operations

Quad 8-bit subtract with absolute value

15:45:18

59

C64X的执行单元

Functional Unit

Fixed-Point Operations

.S unit (.S1, .S2)

32-bit arithmetic operations

32/40-bit shifts and 32-bit bit-field operations

32-bit logical operations

Branches

Constant generation

Register transfers to/from control register file (.S2 only)

Byte shifts

Data packing/unpacking

Dual 16-bit compare operations

Quad 8-bit compare operations

Dual 16-bit shift operations

Dual 16-bit saturated arithmetic operations

Quad 8-bit saturated arithmetic operations

15:45:18

60

C64X的执行单元

.D unit (.D1, .D2)

32-bit add, subtract, linear and circular address calculation

Loads and stores with 5-bit constant offset

Loads and stores with 15-bit constant offset (.D2 only)

Load and store double words with 5-bit constant offset

Load and store non-aligned words and double words

5-bit constant offset generation

32-bit logical operations

**** Bold type indicates that these fixed-point operations are new.**

15:45:18

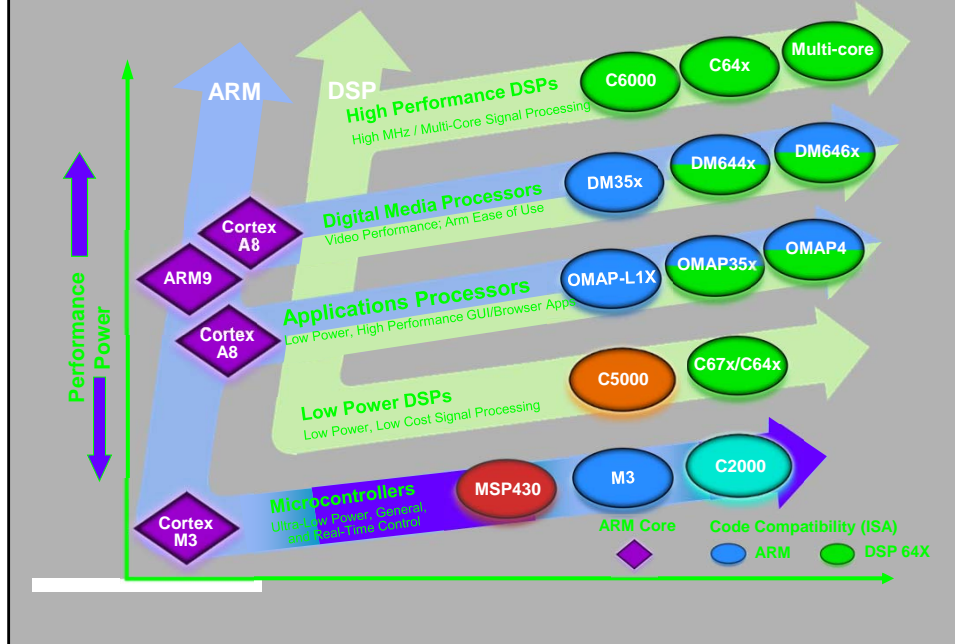
61

TI的嵌入式处理器系列

15:45:18

62

TI Embedded Processors



Embedded processing portfolio

TI Embedded Processors						
Microcontrollers (MCUs)		ARM®-Based Processors		Digital Signal Processors (DSPs)		
16-bit ultra-low power MCUs	32-bit real-time MCUs	32-bit ARM Cortex™-M3 MCUs	ARM Cortex-A8 MPUs	C6000 DSP & DSP+ARM	Multi core DSP	16-bit Ultra Low power DSPs
MSP430™ Up to 25 MHz Flash 1 KB to 256 KB Analog I/O, ADC, LCD, USB, RF Measurement, Sensing, General Purpose \$0.25 to \$9.00	C2000™ Delfino™ Piccolo™ 40MHz to 300 MHz Flash, RAM 16 KB to 512 KB PWM, ADC, CAN, SPI, I²C Motor Control, Digital Power, Lighting, Ren. Enrgy \$1.50 to \$20.00	Stellaris® ARM® Cortex™-M3 Up to 100 MHz Flash 64 KB to 256 KB USB, ENET, MAC+PHY, CAN, ADC, PWM, SPI Connectivity, Security, Motion Control, HMI, Industrial Automation \$1.00 to \$8.00	Sitara™ ARM® Cortex™-A8 & ARM9 300MHz to >1GHz Cache, RAM, ROM USB, CAN, PCIe, EMAC Industrial computing, POS & portable data terminals \$5.00 to \$20.00	C6000™ DaVinci™ OMAP™ 300MHz to >1GHz +Accelerator Cache, RAM, ROM USB, ENET, PCIe, SATA, SPI Video, Audio, Voice, Security, Conferencing \$5.00 to \$200.00	C6000™ 24,000 MMACS Cache SRIO, EMAC, DMA, PCIe Telecom test & meas., media gateways, base stations \$40 to \$200.00	C5000™ Up to 300 MHz +Accelerator Up to 320KB RAM, Up to 128KB ROM USB, ADC, McBSP, SPI, I²C Audio, Voice, Medical, Biometrics \$3.00 to \$10.00
<div> </div>						