

第四章 DSP工程实现

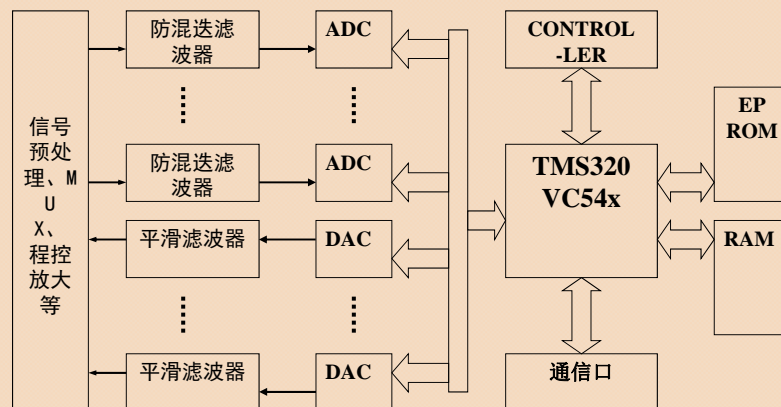
--DSP最小系统

(4.4小节)

本节主要讨论内容

- ◆ 基于DSP的方案设计的设计要素
- ◆ DSP方案设计步骤
- ◆ 数字化设计
- ◆ 模拟混合电路设计
- ◆ DSPs目标系统设计
- ◆ 工程应用注意事项

DSP方案设计要素与设计步骤



设计要素：

- ☆ 算法分析及优化
- ☆ DSP运算量核算及DSP选择
- ☆ 体系结构设计（单DSP结构还是多DSP结构，并行结构还是串行结构，全DSP结构还是DSP/MCU混合结构等）
- ☆ 数字化要求
- ☆ 模拟混合电路（ADC/DAC）设计
- ☆ 吞吐量需求
- ☆ 存储器需求（SRAM、ROOM、FLASH等）
- ☆ 通信口需求
- ☆ 其它控制（电源设计、状态控制、时钟控制、同步控制等）

DSP方案设计的基本步骤

第一步：算法分析与优化

一个大型的DSP应用方案设计时，在目标板设计之前应提交下列报告：

- ☆ 需求分析
- ☆ 算法分析和优化分析
- ☆ 运算量的评估
- ☆ 体系结构设计评估
- ☆ DSP方案比通用CPU和MCU方案的优势分析
- ☆ 开发工具需求
- ☆ 测试与验证方法

DSP方案设计的基本步骤

第二步：DSP的选择

- ◆ DSP应用方案的运算量需求
- ◆ DSP适合处理的领域
- ◆ DSP的片上存储器资源、价格、外设配置
- ◆ DSP与其他元件和部件的配套性
- ◆ 其他一些因素，如购买是否方便、功耗、在线仿真控制、与其他CPU的同步方式等

DSP方案设计的基本步骤

第三步：DSP配置--DSP基本系统设计

选择了DSP后，就可以对DSP的外围电路进行设计。DSP外围电路包括本身的基本引脚连接、总线驱动、时钟控制、引导程序方式控制、存储器配置、通信口配置、I/O口控制、时序设计等，目的是保证DSP的基本工作模式和环境。我们又把对DSP的外围电路进行的设计称为DSP基本系统设计，或者称为DSP最小系统设计。

DSP方案设计的基本步骤

第四步：模拟数字混合电路设计

DSP应用方案是一个数字系统，如果要处理客观世界真实信号，必须有数字化设计。模拟数字混合电路设计一般包括信号调理、模数转换和数模转换、数据缓存等部分。在设计中实现DSP与模拟混合产品的无缝连接、以及保证数据吞吐量是关键。

DSP方案设计的基本步骤

第五步：系统电路设计

为了保证系统功能与指标，需要在系统级进行设计与优化。一个高速处理的数字化系统的主要技术指标包括：

- ☆ 系统通过速率
- ☆ 系统分辨率
- ☆ 系统精度
- ☆ 系统线性误差
- ☆ 系统共模抑制比

DSP方案设计的基本步骤

第六步：系统软件的编写与调试

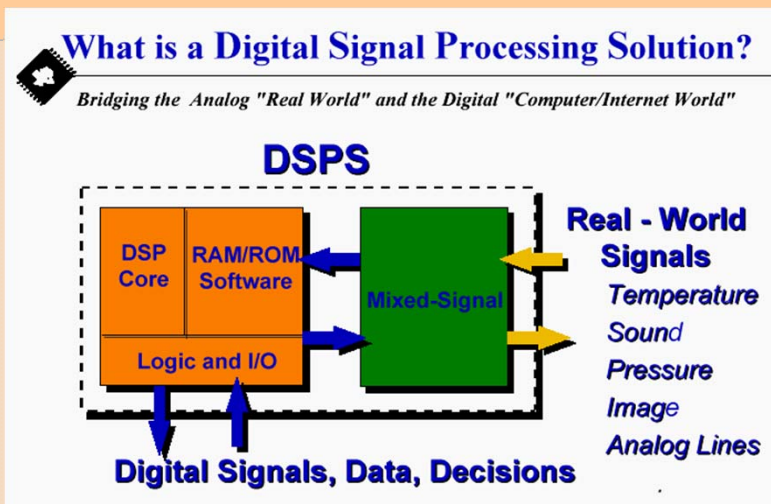
第七步：系统测试与验证

- 1) 硬件部件的原理验证
- 2) 通过DSP的原理验证
- 3) 软件的仿真与算法验证
- 4) 系统硬件功能验证与指标测试
- 5) 系统软件的完善
- 6) 其它测试与验证

(二) 数字化设计 (4.2/4.3小节介绍)

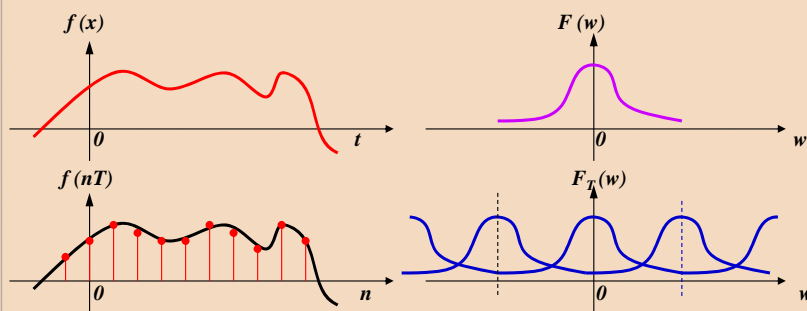
1. 数字化的理论---采样定理
2. 常用的ADC器件以及类型
(逐次比较型, 并行式, Σ - Δ 型)
3. ADC的技术指标和量化噪声分析

(二) 数字化设计

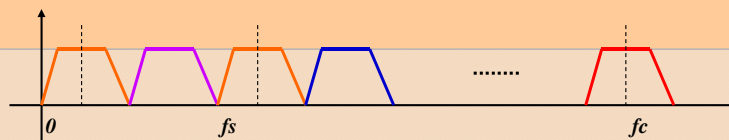


1 基带信号采样定理

要想连续信号抽取后能够不失真地还原出原信号，则抽取频率必须大于或等于两倍原信号频谱的最高频率。（Nyquist定理）



2 带通采样定理



带通采样时采样频率不一定要满足Nyquist准则，带通采样的采样频率选择方法为：

$$(1) \quad \Omega_H = M(\Delta \Omega) = M(\Omega_H - \Omega_L)$$

$$(2) \quad \Omega_S = 2(\Delta \Omega)$$

其中，M整数。

3 量化与量化误差

连续信号经量化处理要产生量化误差，对于均匀量化，量化误差的大小为：

$$\sigma_e^2 = \Delta^2 / 12 = E^2 / 3N^2 = E^2 / (3 * 2^{2n})$$

$$SNR_e(dB) = 4.77 + 6n + 20 \log \frac{u_s}{E}$$

其中， E 为FS电平， u_s 为信号有效电平。对于FS正弦输入，量化误差为：

$$SNR_e(dB) = 1.76 + 6n$$

有效bit数（ENOB）

在实际应用中，由于多种静态和动态特性影响，ADC的信噪比要比理想值低，这等效于ADC的量化bit数的损失，可以通过有效bit数（ENOB）来描述：

$$ENOB = \frac{SNR_{actual} - 4.77 - 20 \log \left(\frac{u_a}{E} \right)}{6.02}$$

式中，代表实际测试得到的ADC的信噪比。ENOB反映了ADC在实际工作时的有效bit数。

可以用无失真动态范围（**SFDR**）

- ◆ 同样，在实际应用中，**ADC**的动态范围也要比理想值低，可以用无失真动态范围（**SFDR**）来描述。
- ◆ 将有效bit数（**ENOB**）代入式N，可以得到无失真动态范围（**SFDR**）
- ◆ 当然也可以直接测试。

$$DR(dB) = 10 \log \frac{E^2}{\sigma_e^2} = 4.77 + 6.02N$$

描述ADC的交流技术指标有

- ◆ 最高采样频率 f_s
- ◆ 无失真动态范围**SFDR**
- ◆ 模拟信号输入带宽**BW**
- ◆ 线性性linearity
- ◆ 信噪比**SNR**
- ◆ 互调失真（Intermod Distortion）
- ◆ Bit数N与有效bit数**ENOB**

4 ADC/DAC的选择

(1) ADC的种类:

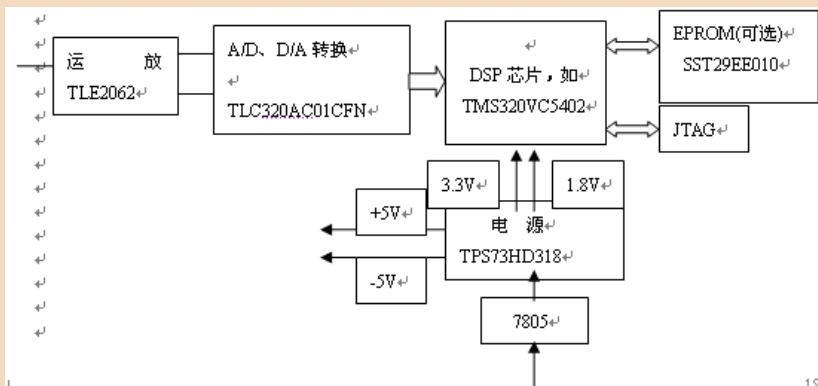
- 逐次比较ADC
- 双线性ADC
- FLASH ADC
- Σ - δ ADC

(2) ADC选择的标准: 分辨率、速度、输入动态范围、POWER等

(三) DSP最小系统设计 (4.4小节)

- ◆ 与模数电路接口
- ◆ BOOTLOADER设计
- ◆ 扩展存储器设计
- ◆ 时钟设计
- ◆ 中断设计
- ◆ 外设的使用
- ◆ 电源管理
- ◆ 其他

DSP最小系统框图



认识DSP芯片

- ◆ D0-D15 (16条数据线), A0-A22 (16+7条地址线)
- ◆ 存储器、I/O口的控制线 (/PS、/DS、/IS、/MSTRB、/IOSTRB、R/W、/MSC、READY)
- ◆ 模式、DSP状态、多处理器信号控制线 (MP/MC、/BIO、XF、HOLD、/HOLD)
- ◆ INT0-3、NMI、RS (6条中断线)、/IACK

认识DSP芯片

- ◆ 多个BSP串口、TDM串口
- ◆ 时钟控制线（X1、X2/CLKIN、CLKOUT、CLKMD1-3、TOUT）
- ◆ HPI接口
- ◆ JTAG测试线
- ◆ 电源与地线（I/O电源DVDD、核电压CVDD以及地VSS）

引导方式（BOOTLOADER）选择

- ◆ 设计硬件产品和系统时，用户程序通常保存在非遗失的存储器中。
- ◆ 这些非遗失存储器的访问速度较慢，一般不能直接作为程序存储器来使用，需要在上电时引导到CPU的高速程序存储器中，这个过程称为**BOOTLOADER**。
- ◆ 各个系列DSP的片上ROM里，存有引导程序，可以在DSP上电复位时，很方便地将用户的应用程序从外部存储设备，装入到DSP片内存储器，以及高速片外程序存储器中。

外部存储器接口

- ◆ 作DSP扩展存储器设计之前，必须了解DSP的片上资源，即了解DSP的MEMORY MAP，并根据应用需求，来扩展存储器。例如，VC5402有16K字的片上存储器在使用时必须注意合理分配。
- ◆ 注意，程序空间和数据空间的不同。
- ◆ VC5402的数据空间总共为64K。程序空间为1M，其寻址通过额外的4根地址线（A16-A19）实现，由XPC寄存器控制。

外部存储器接口

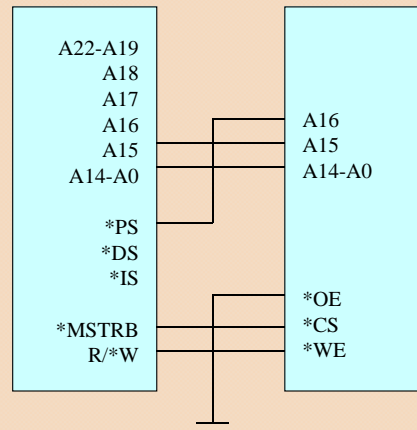
Signal Name	'541 '542, '543, '545, '546	'548, '549 '5410	'5402	'5420	Description
A0-A15	15-0	22-0	19-0	17-0	Address bus
D0-D15	15-0	15-0	15-0	15-0	Data bus
$\overline{\text{MSTRB}}$	↗	↗	↗	↗	External memory access strobe
$\overline{\text{PS}}$	↗	↗	↗	↗	Program space select
$\overline{\text{DS}}$	↗	↗	↗	↗	Data space select
$\overline{\text{IOSTRB}}$	↗	↗	↗	↗	I/O access strobe
$\overline{\text{IS}}$	↗	↗	↗	↗	I/O space select
$\text{R}/\overline{\text{W}}$	↗	↗	↗	↗	Read/write signal
READY	↗	↗	↗	↗	Data ready to complete cycle

下面给出一个扩展外部存储器的例子，重点注意：

a、只使用一片128Kx16的RAM

b、与内部有效的RAM相同的地址，外部RAM无效

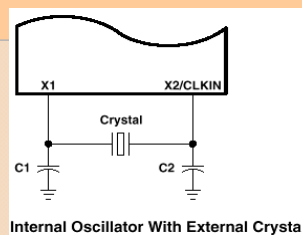
c、外部 RAM的存取速度不能全速运行时，需要根据速度插入等待状态



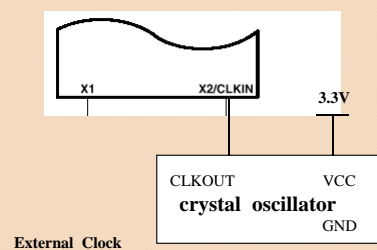
系统时钟设计与控制

电路的两种接法：

内部振荡器



外部晶振



两种时钟控制方式

a、Hardware-programmable PLL (C541、C542、C543

C545 & C546)

Mode Select Pins			Clock Mode†	
CLKMD1	CLKMD2	CLKMD3	Option 1	Option 2
0	0	0	PLL = 3 with external source	PLL = 5 with external source
1	1	0	PLL = 2 with external source	PLL = 4 with external source
1	0	0	PLL = 3 with oscillator enabled	PLL = 5 with oscillator enabled
0	1	0	PLL = 1.5 with external source	PLL = 4.5 with external source
0	0	1	Divide-by-2 with external source	Divide-by-2 with external source
1	1	1	Divide-by 2 with oscillator enabled	Divide-by-2 with oscillator enabled
1	0	1	PLL = 1 with external source	PLL = 1 with external source
0	1	1	Stop mode‡	Stop mode‡

b、Software-programmable PLL (C541B/C545A/C546A /C548/C549/C5402/C5410/C5420)

由时钟模式寄存器控制 (CLKMD) :

15-12	11	10-3	2	1	0
PLLMUL	PLLDIV	PLLCOUNT	PLLON/OFF	PLLNDIV	PLLSTATUS
R/W†	R/W†	R/W†	R/W†	R/W	R

PLL Multiplier Ratio as a Function of PLLNDIV, PLLDIV, and PLLMUL

PLLNDIV	PLLDIV	PLLMUL	Multiplier†
0	x	0 – 14	0.5
0	x	15	0.25
1	0	0 – 14	PLLMUL + 1
1	0	15	1 (bypass)‡
1	1	0 or even	(PLLMUL + 1) — 2
1	1	odd	PLLMUL = 4

软件编程控制时钟举例：

(设置 CLKOUT = CLKIN x 3)

```
STM #0h, CLKMD           ;switch to DIV mode
TstStatu: LDM CLKMD, A
AND #01b, A              ;poll STATUS bit
BC TstStatu, ANEQ
STM #0214fh, CLKMD       ;Set PLLON/OFF when
                          ;STATUS is DIV mode
                          ;PLLMUL=0010, PLLDIV=0
                          ;PLLCOUNT=00101000(41)
```

DSP的电源设计

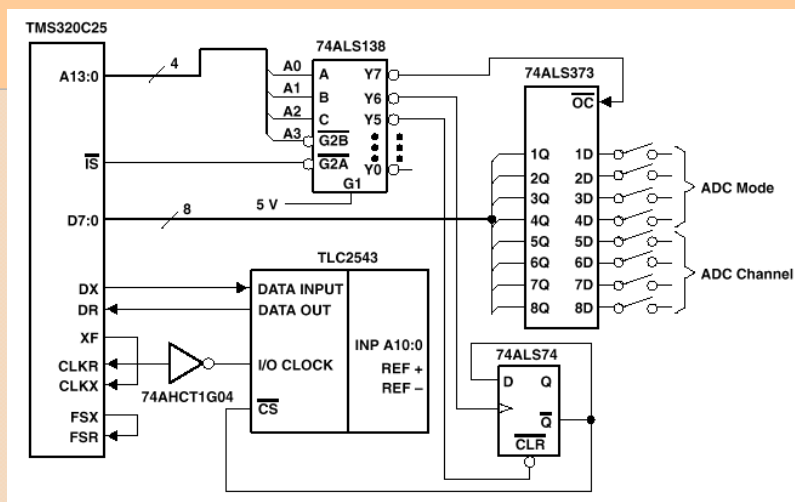
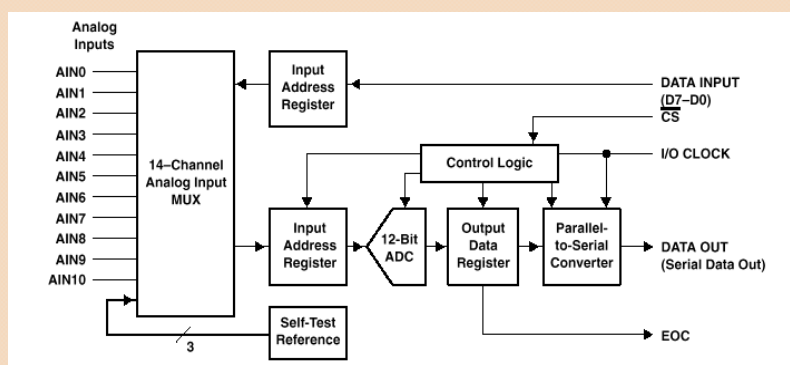
- ◆ **TI系列DSP**大部分采用低电压供电方式，可以大大降低**DSP**芯片的功耗。
- ◆ **DSP**芯片的电源分两种，即内核电源（**CVdd**）和**I/O**电源（**DVdd**）。其中，**I/O**电源一般采用**3.3V**电压，而内核电源分为**2.5V**或**1.2V**或更低。降低内核电压的主要目的是降低功耗。

- ◆两个电源加电次序就是需要考虑的一个问题。
- ◆理想情况下，**DSP**芯片上的两个电源同时加电。
- ◆如果不能做到同时加电，应先对核电压**CVdd**加电，然后对I/O电压**DVdd**加电，并且**DVdd**应不超过**CVdd 2V**。
- ◆另外，需要注意电源芯片提供的电流。



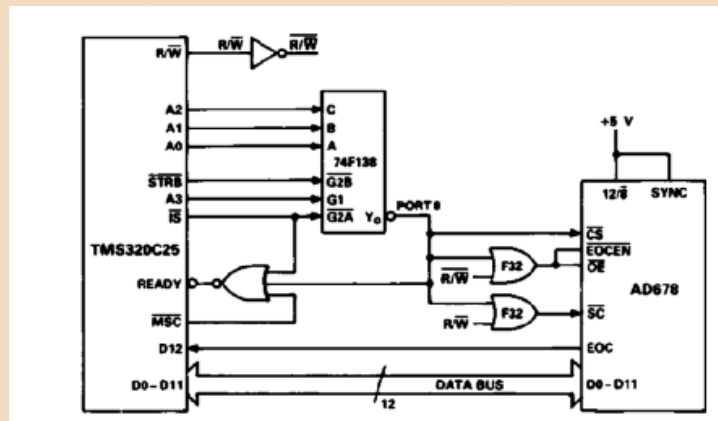
DSP与ADC/DAC的接口

(1) 对于串型ADC/DAC接口一般使用DSP的串口进行数据通信。如C25与11通道的12位ADC TLC2543的接口设计如下:



(2) 对于并型ADC/DAC接口一般使用DSP的I/O空间或数据空间进行数据通信。如DSP与12位ADC AD678的接口设计如下：

计如下：



DSP与ADC/DAC的接口

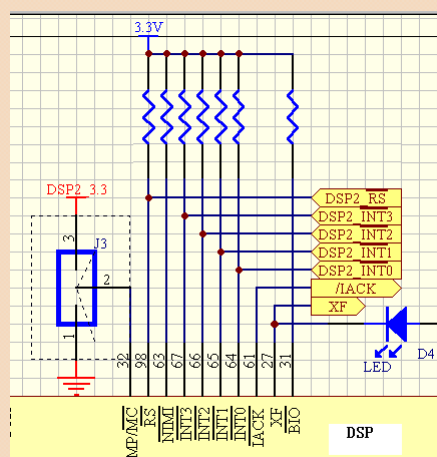
- ◆ 总的来讲，一般音频范围的AIC（模拟接口电路，如‘AC01等）可以使用McBSP串口实现无缝连接。
- ◆ 而几百KSa/s的并行A/D和D/A可以通过数据空间或IO空间连接。
- ◆ 再高速度的AD/DA，如几兆Sa/s的并行A/D和D/A一般需要使用FIFO连接。使用FIFO可以降低DSP响应中断的开销。

工程应用注意事项

- 1、电源设计与电平转换
- 2、引脚的状态
- 3、外设的使用
- 4、省电模式
- 5、系统对误差的要求

中断处理

- a、外部中断引脚连接
- b、修改中断向量表
- c、中断服务程序



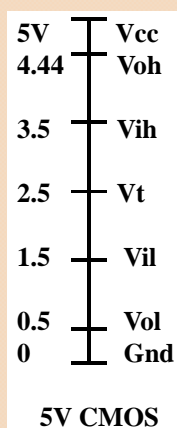
外设的使用

- ◆ 计数器的使用
- ◆ 标准SP的使用
- ◆ 缓冲SP的使用
- ◆ McBSP的使用
- ◆ TDM的使用
- ◆ HPI的使用与设计
- ◆ DMA的使用与设计
- ◆ 其它I/O接口信号线(如XF、BIO等)的使用

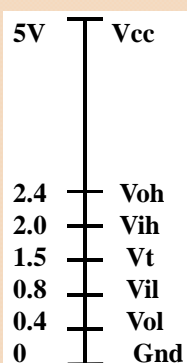
2) 如果DVCC=3.3V, 则DSP不能承受5V电平, 不能驱动5VCMOS, 但可以驱动5VTTL, 3.3VTTL, LVT, ALVC

3) 电平转换可以使用SN74ALVC164245等

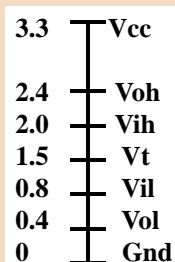
各种电平的转换



5V CMOS



5V TTL
Standard TTL



3.3V TTL
LVT, LVC,
LV

4) 使用省电模式：

省电模式可以使CPU暂时处于休眠状态，这时的功耗比正常模式要低，但能保持CPU的内容。

操作/特征	IDLE1	IDLE2	IDLE3	/HOLD
CPU停止工作	Y	Y	Y	Y ^[注]
CPU时钟停止	Y	Y	Y	N
外设时钟停止	N	Y	Y	N
锁相环（PLL）停止工作	N	N	Y	N
外部地址线处于高阻状态	N	N	N	Y
外部数据线处于高阻状态	N	N	N	Y
外部控制信号线处于高阻状态	N	N	N	Y
退出省电模式的方式：置/HOLD为高	N	N	N	Y
不可屏蔽硬件中断	Y	N	N	N
不可屏蔽软件中断	Y	Y	Y	N
/NMI	Y	Y	Y	N
/RS	Y	Y	Y	N

考虑系统的整个精度要求

这个系统的误差可以看作是信号通路上每个电路元素所贡献的误差项的总和。因此总的误差的均方根值可由下面给出：

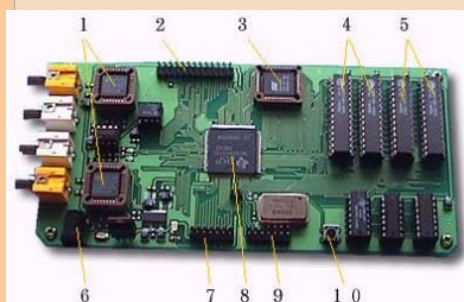
$$\sqrt{(E_1^2 + E_2^2 + E_3^2 + \dots + E_N^2)}$$

例如，我们需要0.1%精度或10位精度的系统，这时若ADC的误差0.075%（11位），那么留给其他电路的误差余量只有0.025%！传感器，调理电路，DAC，PWM等等。

DSP最小系统应用板实例-DES5402

- ◆ DES5402应用板主要包含一片100MHz的VC5402（片内含16K DARAM）、两块AIC接口芯片AC01（总共有两路独立的A/D和D/A通道）、32K字的外部程序存储器、16K字的外部数据存储器、以及32K字节的BOOTLOADER EPROM。

最小系统应用板实例-DES5402



- ◆ 1. 两路独立的A/D和D/A通道
- ◆ 2. HPI接口引脚
- ◆ 3. 32KB 启动 FLASH RAM（占用地址0x8000-0x0FFFF）
- ◆ 4. 16K外部数据存储器（占用地址0x4000-0x7FFF）
- ◆ 5. 32K外部程序存储器（占用地址0x38000-0x3FFFF）
- ◆ 6. 方便灵活的外部电源输入（+6v - +18v）
- ◆ 7. McBSPs串口引脚
- ◆ 8. TMS320VC5402-PGE100
- ◆ 9. JTAG引脚
- ◆ 10. 复位按钮