

Urządzenia Cyfrowe i Systemy Wbudowane

Sprawozdanie z realizacji układu kombinacyjnego

$$Y = (X - 5) \bmod 16$$

I. Tabela Prawdy

Tabela 1: tabela prawdy dla równania $Y = (X - 5) \bmod 16$

X3	X2	X1	X0	Y3	Y2	Y1	Y0
0	0	0	0	1	0	1	1
0	0	0	1	1	1	0	0
0	0	1	0	1	1	0	1
0	0	1	1	1	1	1	0
0	1	0	0	1	1	1	1
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	1
1	1	1	1	0	0	1	0
1	0	0	0	0	0	1	1
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	1	0
1	1	0	0	0	1	1	1
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	0

2. Minimalizacja siatkami karnaugh

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	1	1	1
01	1	0	0	0
11	0	1	1	1
10	0	0	0	0

$$Y_3 = \bar{x}_3\bar{x}_1\bar{x}_0 + \bar{x}_3\bar{x}_2 + x_3x_2x_0 + x_3x_2x_1$$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	1	0	0	0
10	0	1	1	1

$$Y_2 = \bar{x}_2x_0 + \bar{x}_2x_1 + x_2\bar{x}_1\bar{x}_0$$

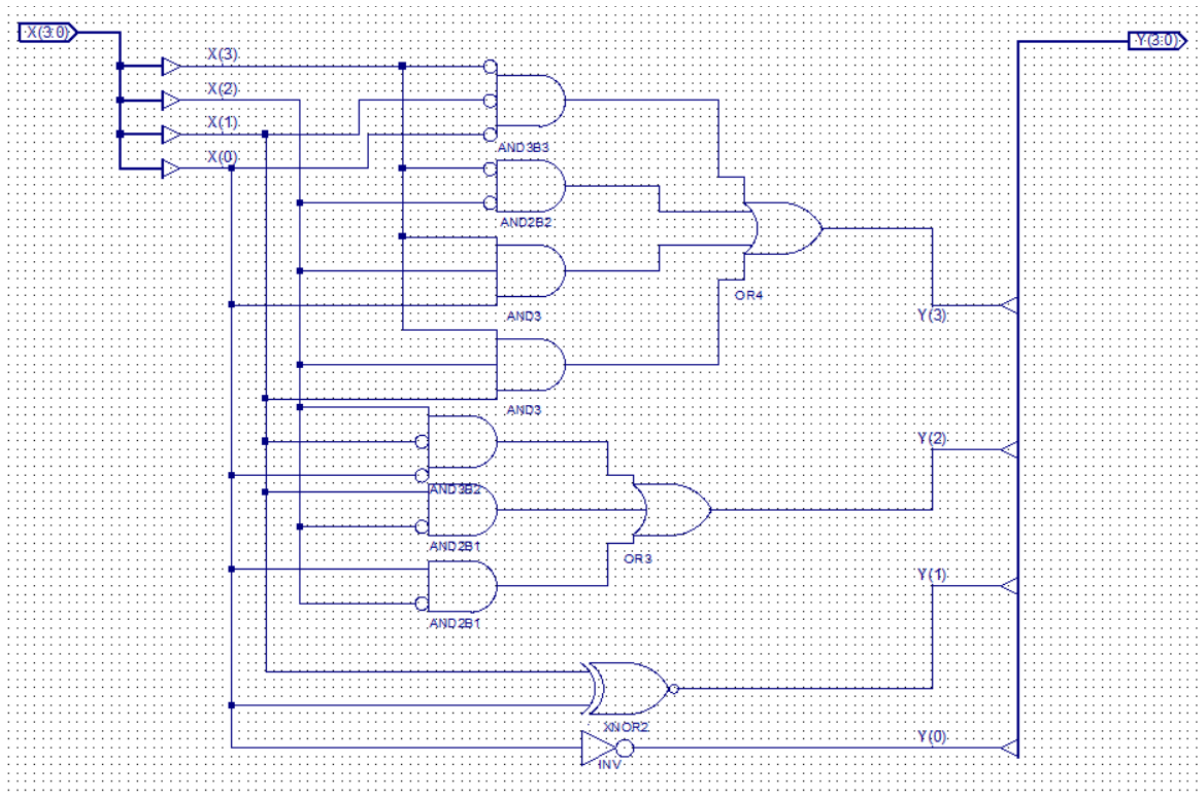
$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	0	1	0
01	1	0	1	0
11	1	0	1	0
10	1	0	1	0

$$Y_1 = \bar{x}_1\bar{x}_0 + x_1x_0 = x_1 \otimes x_0$$

$x_3x_2 \backslash x_1x_0$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

$$Y_0 = \bar{x}_0$$

3. Schemat połączenia bramek logicznych



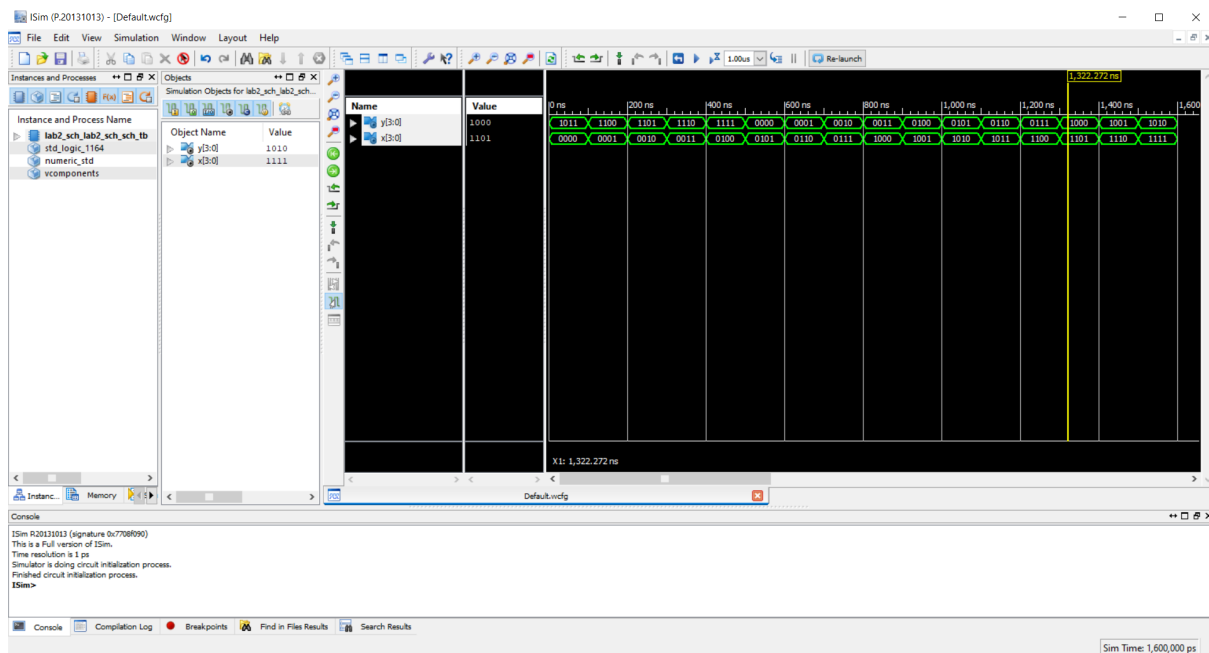
4. Symulacja behawioralna

```
BEGIN

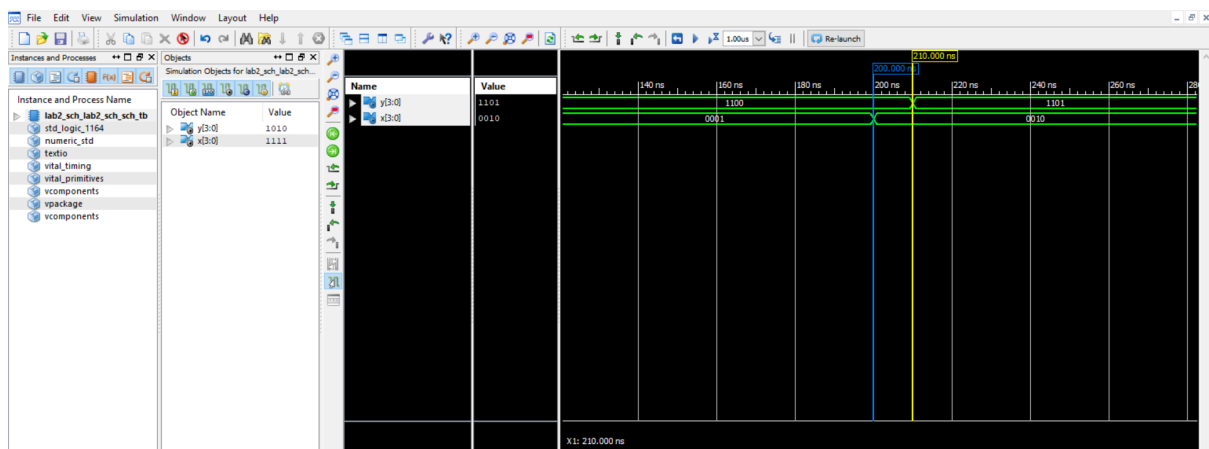
UUT: lab2_sch PORT MAP(
    Y => Y,
    X => X
);

X <= "0000", "0001" after 100 ns, "0010" after 200 ns, "0011" after 300 ns, "0100" after 400 ns,
    "0101" after 500 ns, "0110" after 600 ns, "0111" after 700 ns, "1000" after 800 ns,
    "1001" after 900 ns, "1010" after 1000 ns, "1011" after 1100 ns, "1100" after 1200 ns,
    "1101" after 1300 ns, "1110" after 1400 ns, "1111" after 1500 ns;

END;
```



5. Pomiar czasu propagacji - symulacja Post-Fit



Czas propagacji wynosi 10 mikrosekund [μ s]

6. Plik .ucf - przypisanie wejść i wyjść

```
# Keys
NET "X<0>" LOC = "P42";
NET "X<1>" LOC = "P40";
NET "X<2>" LOC = "P43";
NET "X<3>" LOC = "P38";
#NET "Key<4>" LOC = "P37";
#NET "Key<5>" LOC = "P36"; # shared with ROT_A
#NET "Key<6>" LOC = "P24"; # shared with ROT_B
#NET "Key<7>" LOC = "P39"; # GSR

# LEDs
NET "Y<0>" LOC = "P35";
NET "Y<1>" LOC = "P29";
NET "Y<2>" LOC = "P33";
NET "Y<3>" LOC = "P34";
```

7. Wnioski

Układ został poprawnie zaprojektowany, wyniki symulacji pokrywały się z tym co zaobserwowaliśmy po zaprogramowaniu płytki ZL-9752.