

Die Aufgabenblätter

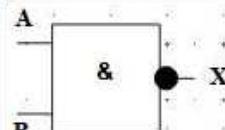
Teil 1 Schaltnetze und -werke Einführung



Aufgabe 1a: Ein NAND- mit AND- und NOT- Gattern realisieren (06)

Bauen Sie ein NAND- mit Hilfe von AND- und NOT- Gattern auf. Testen Sie alle möglichen Eingangskombinationen „A“, „B“ der Schaltung mit Hilfe zweier Dip-Schalter! Kontrollieren Sie die zugehörige Ausgabe über die Reaktion der LED! Welche Nachteile hat diese Lösung gegenüber dem Einsatz eines NAND-Gatters?

Ansätze / Beschreibungen / Grafiken / Tabellen:



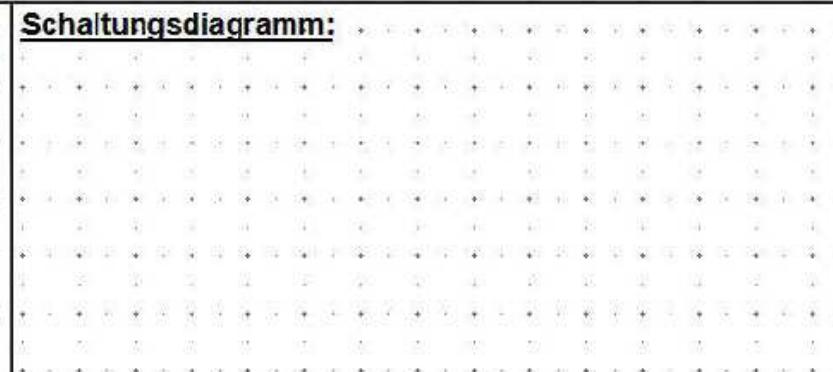
A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

Ansatz mittels boole'scher Algebra:

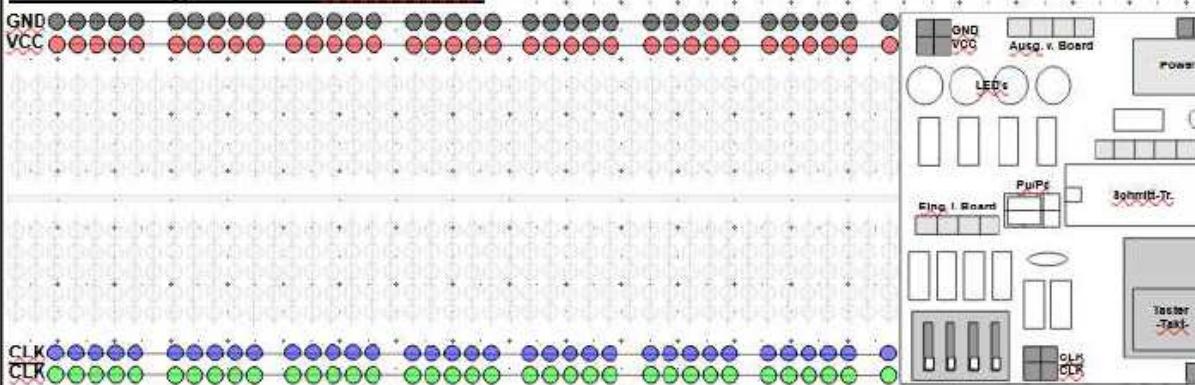
$$\overline{AB} = \overline{A} + \overline{B}$$

Nachteile dieser Lösung:

Schaltungsdiagramm:



Realisierung auf dem ANF-Board:



Zusatzfragen:

Welche IC-Typen sind zur Realisation dieser Schaltung notwendig?

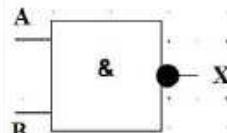
Welche Anschlüsse (Pins) besitzen diese ICs und wozu dienen sie?

Aufgabe 1a

Aufgabe 06: Ein NAND- mit AND- und NOT- Gattern realisieren

Bauen Sie ein **NAND**- mit Hilfe von **AND**- und **NOT**- Gattern auf. Testen Sie alle möglichen Eingangskombinationen „A“, „B“ der Schaltung mit Hilfe zweier Dip-Schalter! Kontrollieren Sie die zugehörige **Ausgabe** über die Reaktion der **LED**! Welche Nachteile hat diese Lösung gegenüber dem Einsatz eines **NAND**- Gatters?

Ansätze / Beschreibungen / Grafiken / Tabellen:



A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Ansatz mittels boole'scher Algebra:

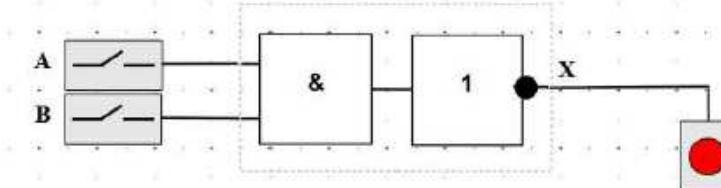
$$X = \overline{A \wedge B} = \overline{(\overline{A} \vee \overline{B})}$$

Die Eingangssignale („A“, „B“) werden zuerst mit logisch UND verknüpft und das Ergebnis dann logisch vereinigt:
 $(0 \wedge 0 = 0 = 1, 0 \wedge 1 = 0 = 1, 1 \wedge 0 = 0 = 1, 1 \wedge 1 = 1 = 0)$

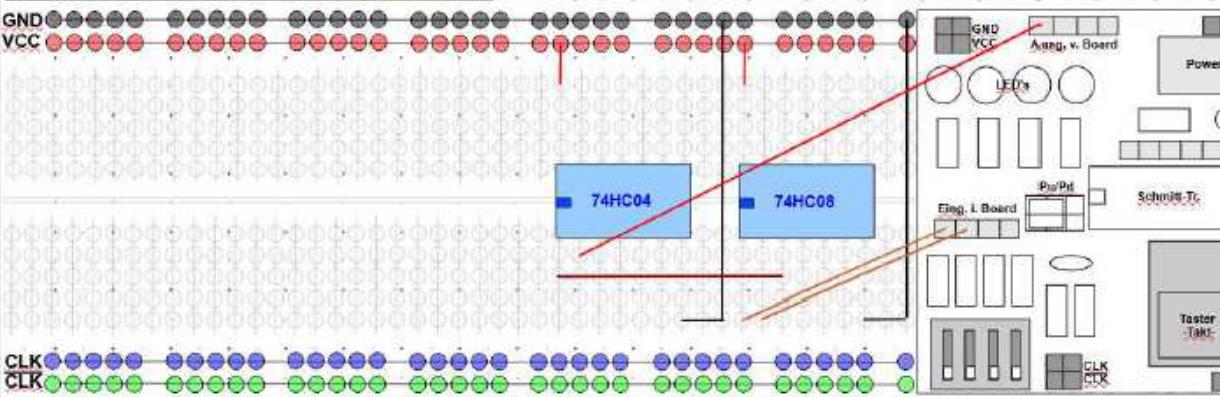
Nachteile dieser Lösung:

Es sind doppelt so viele Gatter notwendig → Verteuerung der Produktion

Schaltungsdiagramm:



Realisierung auf dem ANF-Board:



Zusatzfragen:

Welche IC-Typen sind zur Realisation dieser Schaltung notwendig?

74HC04, 74HC08

Welche Anschlüsse (Pins) besitzen diese ICs und wozu dienen sie?

Beide: Pin 07: GND, Pin 14: VCC

NOT: Pin 01: Eing.1A, Pin 02: Ausg.1Y usw.

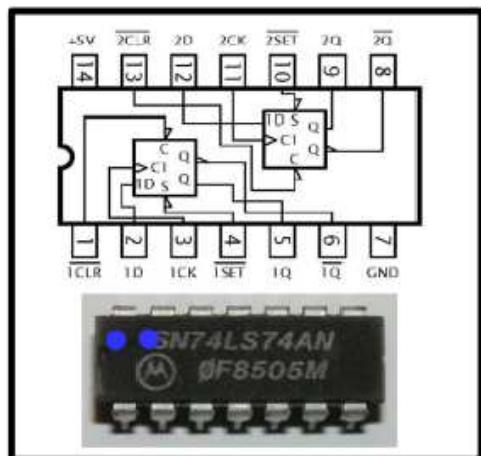
AND: Pin 01: Eing.1A, Pin 02: Eing.1B, Pin 03: Ausg.1Y usw.

Die Gatter

Farbcodierung
und
Datenblätter

IC-Festlegung:

IC-Typ	Codierung	Kennung
...
NOR	Rot Grün	74HC02
XOR	Grün Grün	74HC86
XNOR	Grün Gelb	74HC266
D-FlipFlop	Blau Blau	74HC74
JK-Flipflop	Blau Gelb	74HC107
Comparator	Weiß Grün	74HC85
...



IC-Auswahl: IC-Beschreibung:

Philips Semiconductors			Product specification
Dual D-type flip-flop with set and reset; positive-edge trigger			74HC74; 74HCT74
PINNING			
PIN	SYMBOL	DESCRIPTION	
1	1RD	asynchronous reset-direct input (active LOW)	
2	1D	data input	
3	1CP	clock input (LOW-to-HIGH, edge-triggered)	
4	1SD	asynchronous set-direct input (active LOW)	
5	1Q	true flip-flop output	
6	1Q-bar	complement flip-flop output	
7	GND	ground (0 V)	
8	2Q	complement flip-flop output	
9	2Q-bar	true flip-flop output	
10	2SD	asynchronous set-direct input (active LOW)	
11	2CP	clock input (LOW-to-HIGH, edge-triggered)	
12	2D	data input	
13	2RD	asynchronous reset-direct input (active LOW)	
14	V _{CC}	positive supply voltage	

Fig.1 Pin configuration DIP14, SO14 and (T)SSOP14.

Fig.2 Pin configuration DHVQFN14.

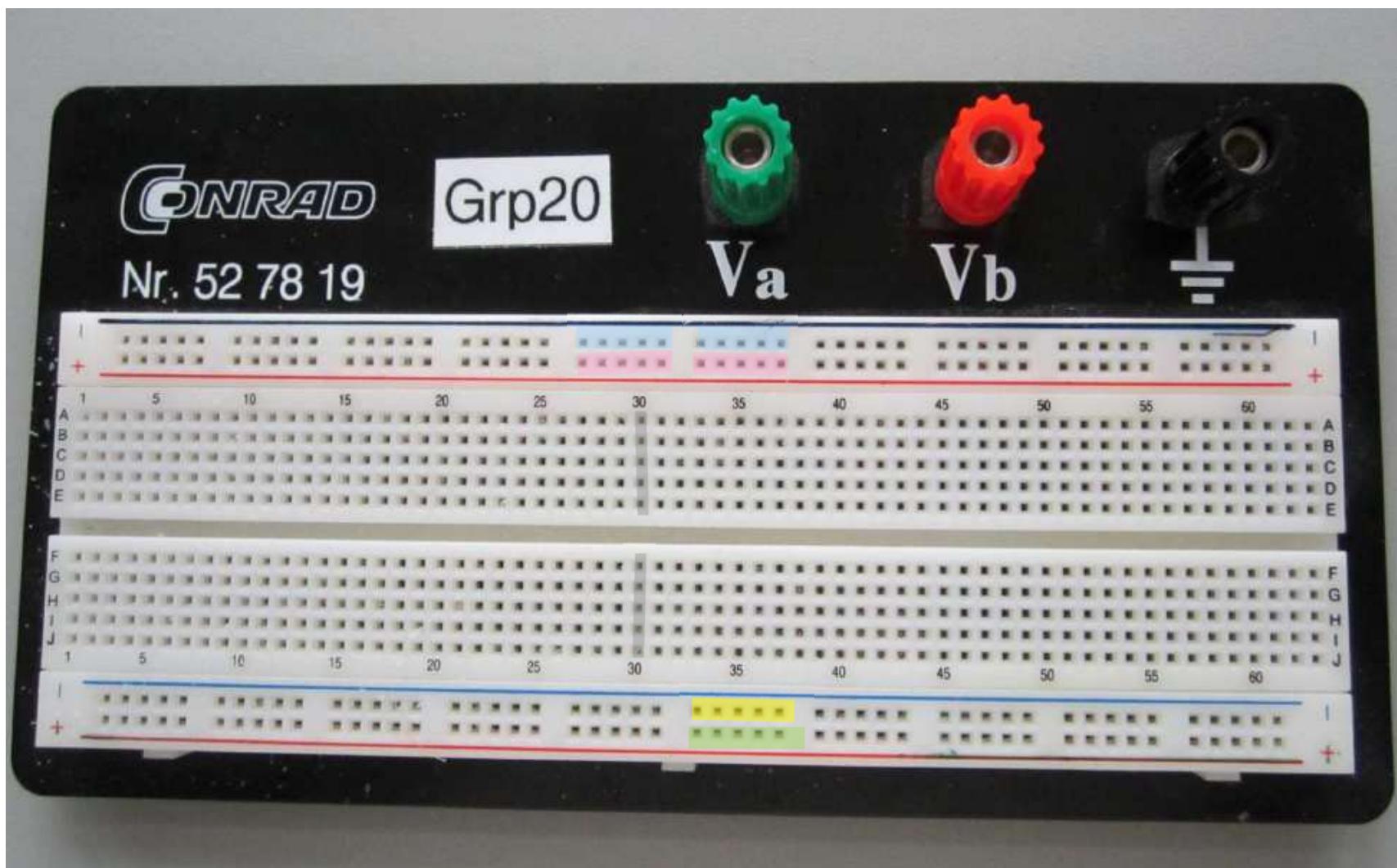
(1) The die substrate is attached to this pad using conductive die attach material. It can not be used as a supply pin or input.

Farb- Codierung der bereitstehenden ICs:

INVERTER (NOT)	ROT	74 HC 04
INVERTER (Schmitt- Trigger)	ROT ROT	74 HC 14
AND	GELB	74 HC 08
OR	GRÜN	74 HC 32
NAND	ROT GELB	74 HC 00
NOR	ROT GRÜN	74 HC 02
XOR	GRÜN GRÜN	74 HC 86
XNOR	GRÜN GELB	74 HC 266
D- FLIPFLOP	BLAU BLAU	74 HC 74
JK- FLIPFLOP	BLAU GELB	74 HC 107
COMPARATOR	WEISS GRÜN	74 HC 85
4- Bit SCHIEBEREGISTER	WEISS ROT	74 HC 194
8- Bit SCHIEBEREGISTER	WEISS GELB	74 HC 164

Das Steckboard

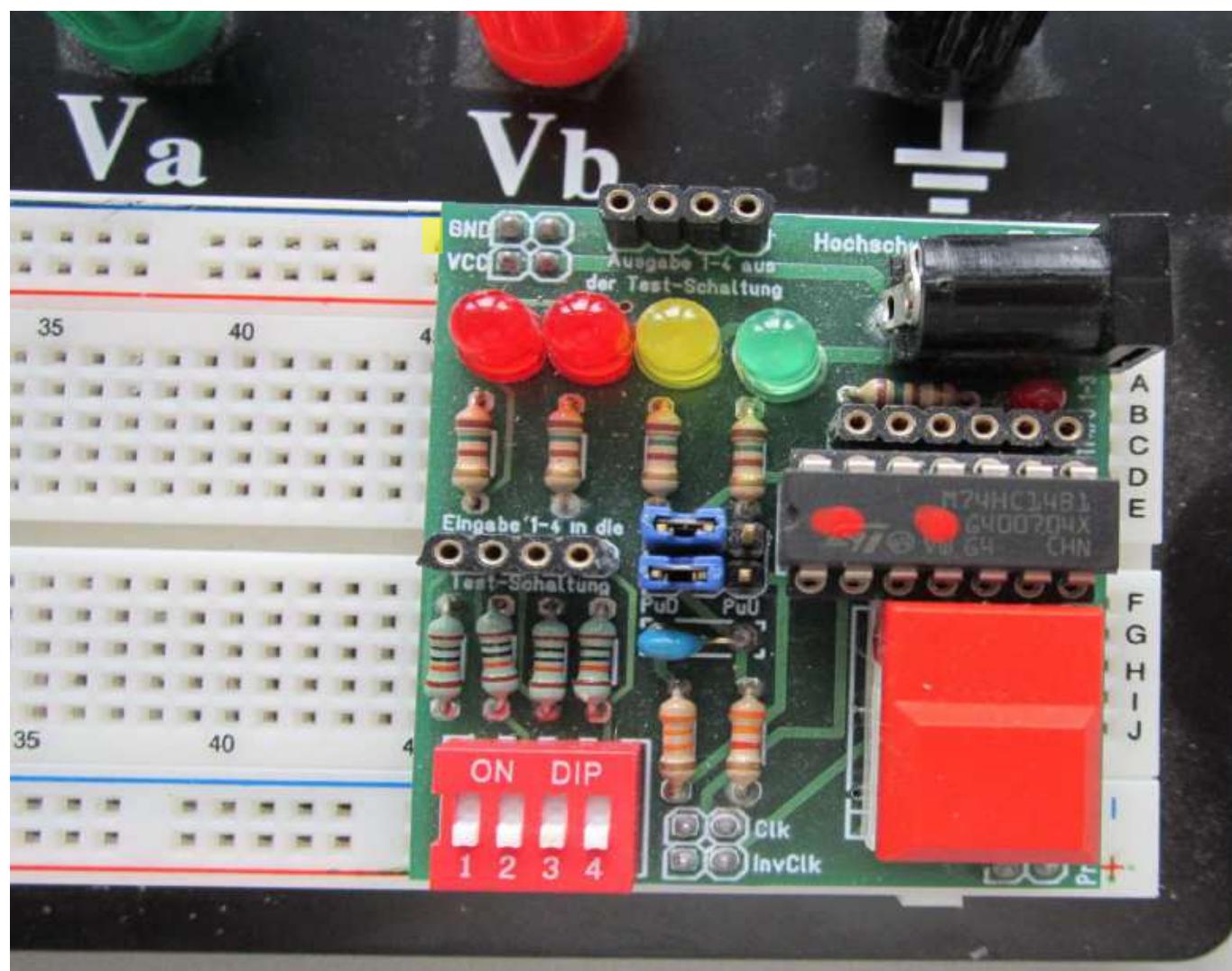
Teil 1 Schaltnetze und -werke Einführung



Teil 1 Schaltnetze und -werke Einführung

Das Aufsatzboard

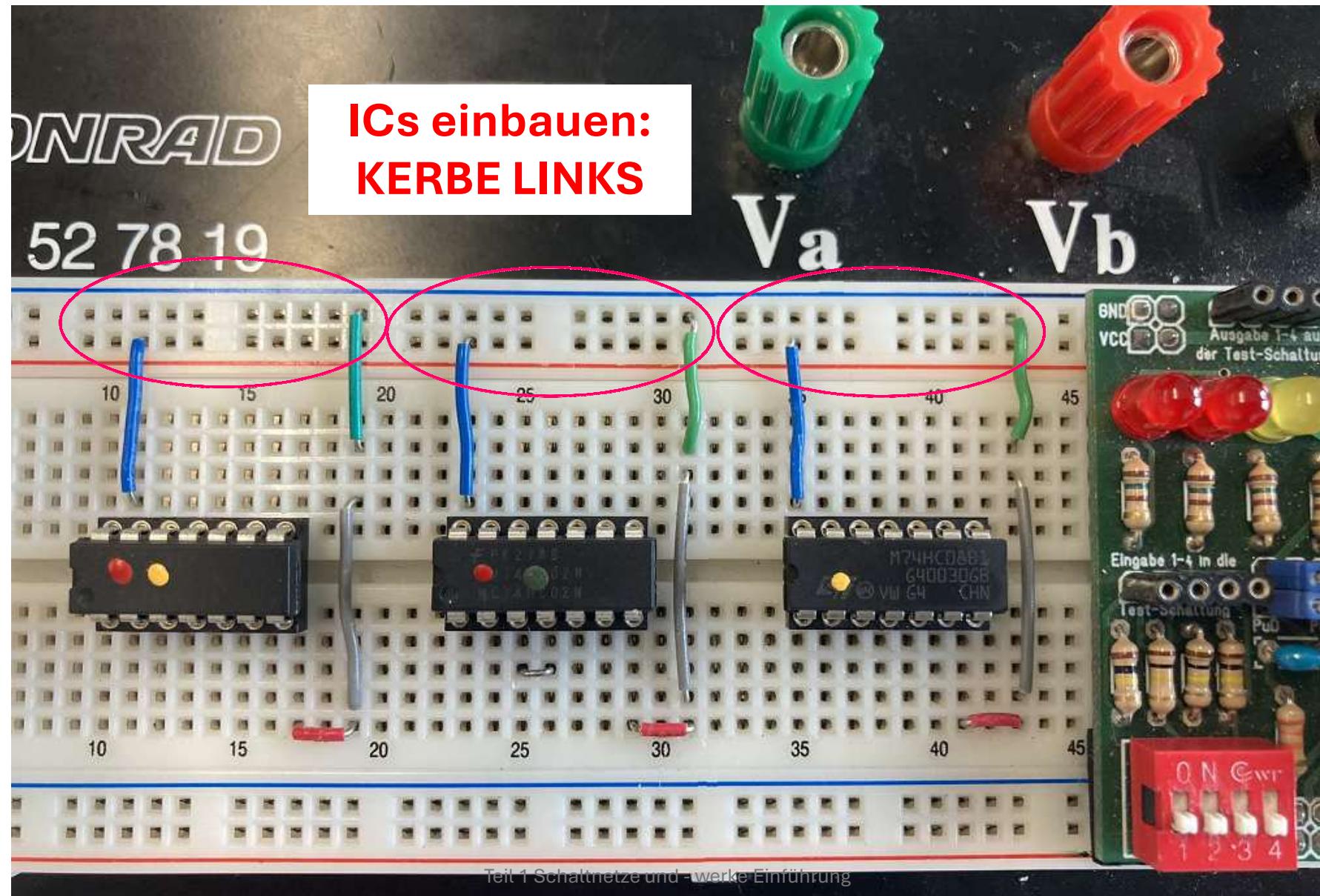
Teil 1 Schaltnetze und -werke Einführung



Teil 1 Schaltnetze und -werke Einführung

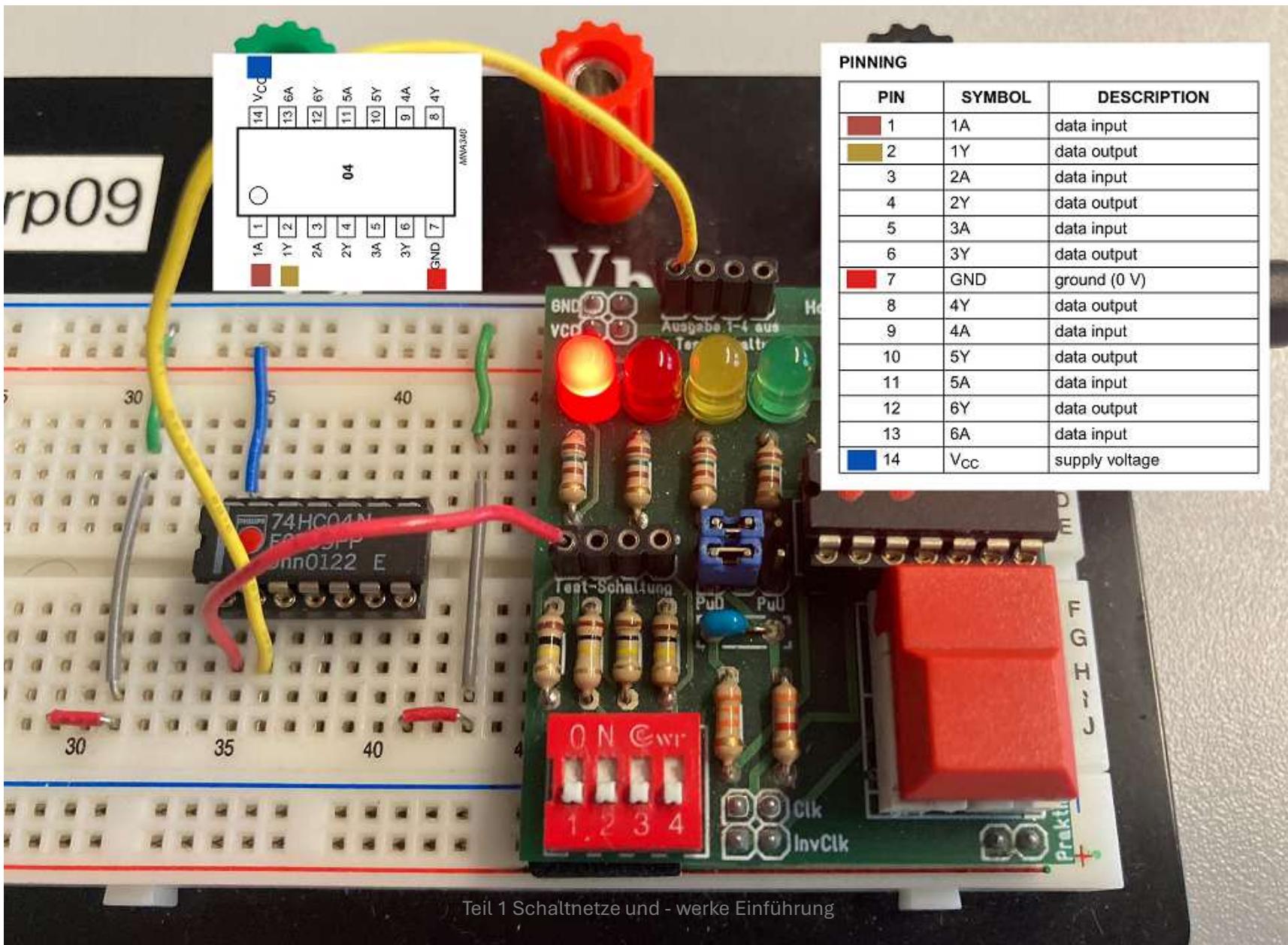
.... für die Schaltungen

Bereiten Sie die Anschlüsse
für 3 ICs vor



.... und jetzt

ein NOT testen



Vorbereitung Aufgabenblätter bearbeiten

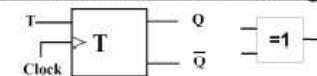
vor dem Termin: Aufgabenblätter ausarbeiten, ausdrucken

zum Termin: Aufgabenblätter mitbringen, Schaltung aufbauen, testen und vorzeigen

Aufgabe 79: Ein synchrones T-Flip-Flop aus einem D-Flip-Flop und einem XOR-Gatter aufbauen

Nur dann, wenn der T- Eingang des T-FFs logisch 1 ist, invertiert dieses mit Hilfe des **Tasters** am Takteingang „C“ bei jedem **Takt** seinen Ausgang „Q“. Steuern Sie „T“ über einen **DIP-Schalter**! Machen Sie den Ausgang über eine **LED** sichtbar! Der FF- Eingang „D“ ist geeignet zu beschalten!

Ansätze / Beschreibungen / Grafiken / Tabellen:



Q _t	T _t	Q _{t+1}	D _t
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

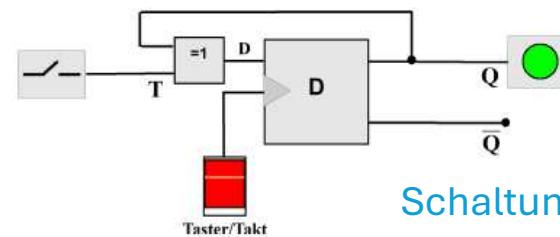
Eingangsgleichung für D_t:

$$D_t = (\bar{Q}_t \wedge T) \vee (Q_t \wedge \bar{T}) = (Q_t \equiv T) = Q_t \oplus T \rightarrow \text{XOR}$$

Erklären Sie die Begriffe Rückkopplung, Synchron und Toggeln:

Herleitung und Antworten

Schaltungsdiagramm:

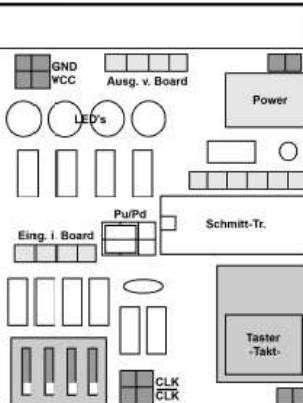


Schaltungsdiagramm

Realisierung auf dem ANF-Board:



Verkabelung



Zusatzfragen:

Welche IC- Typen sind zur Realisation dieser Schaltung nötig?

Welche allgemeinen Pins haben diese ICs und wozu dienen sie?

PIN Belegung, ev. Besonderheiten

Welche speziellen Pins sind für die IC- Steuerung zu beachten?