

Національний технічний університет України  
«Київський політехнічний інститут імені Ігоря Сікорського»  
Кафедра конструювання електронно-обчислювальної апаратури

**Курс: «Функціонально-логічне проектування»**  
**Лабораторна робота №1**  
**«Моделювання найпростіших логічних схем»**

Виконав студент  
Дем'янчук Тарас Миколайович  
гр. ДК-12  
Викладач:  
Омелян А.В.

Київ – 2023

**Тема роботи:** моделювання найпростіших логічних схем.

**Мета роботи:** ознайомитись з особливостями побудови та моделювання логічних схем в графічному редакторі Quartus II, навчитись виконувати моделювання логічних схем за допомогою вбудованого симулятора та із застосуванням плати налагодження.

## **Основні теоретичні відомості**

### **Логічні елементи та базові логічні функції**

**Логічний елемент І (AND).** Логічний елемент І реалізує логічну операцію кон'юнкції. Словесний опис: на виході логічного елементу І формуватиметься одиниця тоді і тільки тоді, коли на всі його входи подано одиниці. Аналітичний запис операції кон'юнкції:

$$y = x_2 \cdot x_1 \text{ або } y = x_2 \wedge x_1 \text{ або } y = x_2 \& x_1$$

**Логічний елемент АБО (OR).** Логічний елемент АБО реалізує логічну операцію диз'юнкції. Словесний опис: на виході логічного елементу АБО формуватиметься одиниця тоді і тільки тоді, коли хоча б на один його вхід буде подано одиницю. Аналітичний запис операції диз'юнкції:

$$y = x_2 \vee x_1$$

**Логічний елемент «Виключне АБО» (XOR).** Логічний елемент «Виключне АБО» реалізує логічну операцію сума по модулю 2. Словесний опис функціонування: якщо елемент «Виключне АБО» має два вхідні сигнали, то на його виході формуватиметься одиниця тоді і тільки тоді, коли на обох його входах сигнали відрізняються. Аналітичний запис операції Виключне АБО:

$$y = x_2 \oplus x_1 = \bar{x}_2 \cdot x_1 \vee x_2 \cdot \bar{x}_1.$$

Теореми та тотожності алгебри логіки:

- 1) Ідемпотентні закони
- 2) Комутативні закони
- 3) Асоціативні закони
- 4) Дистрибутивні закони
- 5) Закони заперечення
- 6) Закони двоїстості (закони Де Моргана)
- 7) Закони подвійного заперечення
- 8) Закони поглинання (абсорбції)
- 9) Операції склеювання
- 10) Закони узагального склеювання

### **Приоритетність операцій:**

У алгебрі логіки, а отже і при записі логічних рівнянь прийнято наступну пріоритетність операцій: якщо в логічний вираз входять операції диз'юнкції та кон'юнкції, то кон'юнкція має вищий пріоритет виконання (виконується першою), а диз'юнкція – нижчий пріоритет. Порядок операцій можна довільно змінювати за допомогою дужок.

Якщо додатково в розгляд ввести операцію суми по модулю 2, то можна показати, що для того, щоб зберегти правильність результату виконання обчислень, її пріоритет має бути вищим за пріоритет диз'юнкції і нижчим за пріоритет кон'юнкції, тобто:

Пріоритет кон'юнкції > Пріоритет суми по модулю 2 > Пріоритет диз'юнкції

Операція заперечення є одномісною, тому застосовується до аргументу в першу чергу.

## **Порядок виконання роботи**

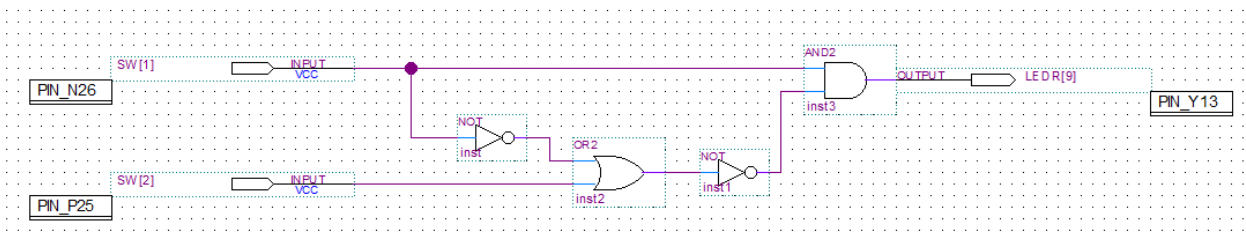
1. Побудувати в графічному редакторі системи Quartus II логічну схему відповідно до заданого варіанту (спрощення схеми не виконувати).
2. Створити файл з сигналами для моделювання, який би покривав всі можливі комбінації вхідних сигналів для схеми.
3. Провести моделювання у вбудованому симуляторі Quartus II та отримати часові діаграми. Впевнитись, що схема функціонує відповідно до заданого логічного рівняння.
4. Створити програму на зручній для Вас мові програмування, яка б реалізовувала роботу логічної схеми. Введення сигналів має бути реалізоване з клавіатури. Порівняти результати роботи програми з результатами моделювання в симуляторі Quartus II.
5. Обравши на платі налагодження необхідні засоби введення-виведення (кнопки та світлодіоди) модифікуйте схему та налаштуйте відповідні виводи ПЛІС. Створіть та завантажте прошивку на плату налагодження. Вводячи через кнопки чи перемикачі сигнали переконайтесь, що апаратна реалізація схеми функціонує згідно заданого логічного рівняння.

## ХІД РОБОТИ

1. Побудувати в графічному редакторі системи Quartus II логічну схему відповідно до заданого варіанту (варіант 4) (спрощення схеми не виконувати).

9.	$x_1 \cdot \overline{x_1} \vee x_2$
----	-------------------------------------

Побудовано логічну схему



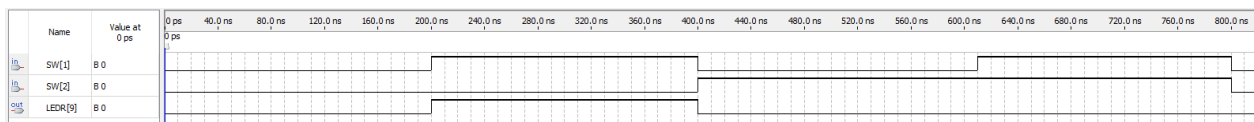
2. Створити файл з сигналами для моделювання, який би покривав всі можливі комбінації вхідних сигналів для схеми.

Створено файл з сигналами для моделювання

Simulation Waveform Editor - [LW1\_R2\_sim.vwf (Read-Only)]

3. Провести моделювання у вбудованому симуляторі Quartus II та отримати часові діаграми. Впевнитись, що схема функціонує відповідно до заданого логічного рівняння.

Проведено моделювання у вбудованому симуляторі Quartus II та отримано часові діаграми.



Переконалися, що схема функціонує відповідно до заданого логічного рівняння (результати теоретичного розрахунку логічного рівняння нижче).

9.  $x_1 \cdot \overline{x_1} \vee x_2$

$x_2$	$x_1$	$R$
0	0	0
0	1	1
1	0	0
1	1	0

$$x_1 \cdot \overline{x_1} \vee x_2 = x_1 \cdot (\overline{x_1} \cdot \overline{x_2}) = x_1 \cdot (x_1 \cdot \overline{x_2}) =$$

$$= x_1 \cdot \overline{x_2} = R$$

0	0	0
1	0	1
0	1	0
1	1	0

4. Створити програму на зручній для Вас мові програмування, яка б реалізовувала роботу логічної схеми. Введення сигналів має бути реалізоване з клавіатури. Порівняти результати роботи програми з результатами моделювання в симуляторі Quartus II.

Реалізовано програму, яка функціонує у відповідності до роботи логічної схеми та порівняно результати роботи програми з результатами моделювання в симуляторі Quartus II (результати моделювання в симуляторі Quartus II в пункті 3).

```

main.c X
1  #include <stdio.h>
2  #include <stdlib.h>
3
4  int main()
5  {
6      for(int i = 0; i < 4; i++)
7      {
8          int x1 = 0, x2 = 0;
9
10         printf("x1 = "); scanf("%d", &x1);
11         printf("x2 = "); scanf("%d", &x2);
12
13         int not_x1 = 0;
14         if(0 == x1) not_x1 = 1;
15
16         int disjunction = not_x1 + x2;
17
18         int not_disjunction = 0;
19         if(0 == disjunction) not_disjunction = 1;
20
21         int conjunction = x1 * not_disjunction;
22         printf("res = %d\n\n", conjunction);
23     }
24
25     return 0;
26 }
27
28

```

```

C:\Users\TADE23\Desktop\ALL\KPI\FLP\LW1(R2)-Demianchuk\C_PROG\LW1(R2)-Demianchuk\bin\Debug\LW1(R2)-Demianchuk...
x1 = 0
x2 = 0
res = 0

x1 = 1
x2 = 0
res = 1

x1 = 0
x2 = 1
res = 0

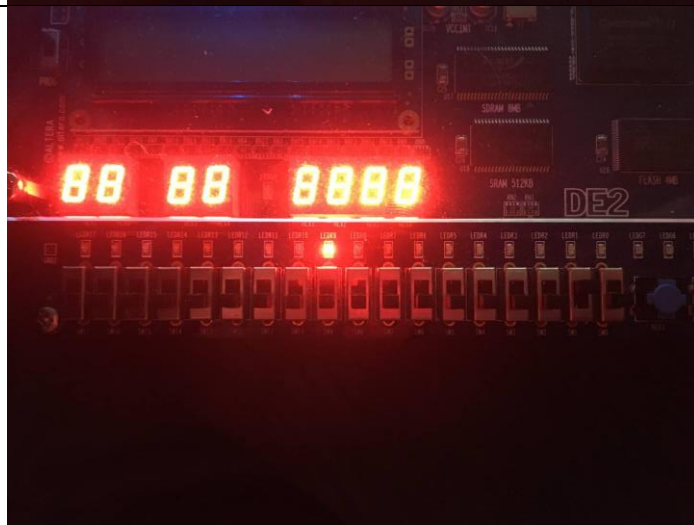
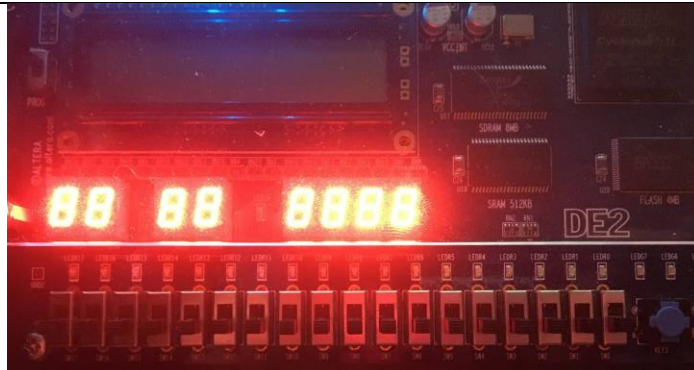
x1 = 1
x2 = 1
res = 0

Process returned 0 (0x0)   execution time : 26.647 s
Press any key to continue.

```

5. Обравши на платі налагодження необхідні засоби введення-виведення (кнопки та світлодіоди) модифікуйте схему та налаштуйте відповідні виводи ПЛІС. Створіть та завантажте прошивку на плату налагодження. Вводячи через кнопки чи перемикачі сигнали переконайтесь, що апаратна реалізація схеми функціонує згідно заданого логічного рівняння.

Переконалися, що апаратна реалізація схеми функціонує згідно заданого логічного рівняння (результати теоретичного розрахунку логічного рівняння в пункті 3).





Де: SW1 та SW2 – X1 та X2 відповідно, LEDR9 – OUT.

#### Висновок

Протягом виконання даної лабораторної роботи було:

- у першому пункті побудовано логічну схему у відповідності до заданого варіанту.
- у другому пункті створено файл з сигналами для моделювання.
- у третьому пункті проведено модулювання у вбудованому симуляторі та отримано часові діаграми, а також переконалися, що схема функціонує відповідно до заданого логічного рівняння.
- у четвертому пункті написано програму на мові <C>, що реалізовувала роботу логічної схеми. Також переконалися, що вона дійсно працює у відповідності до заданого рівняння.
- у п'ятому пункті переконалися, що апаратна реалізація працює і відповідності до заданого рівняння.