

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/823

H01L 21/768 H01L 21/283

[12] 发明专利申请公开说明书

[21] 申请号 99109414.X

[43]公开日 2000年1月12日

[11]公开号 CN 1241031A

[22]申请日 1999.6.29 [21]申请号 99109414.X

[30]优先权

[32]1998.7.2 [33]KR [31]26585/98

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 梁元硕

[74]专利代理机构 中原信达知识产权代理有限责任公司

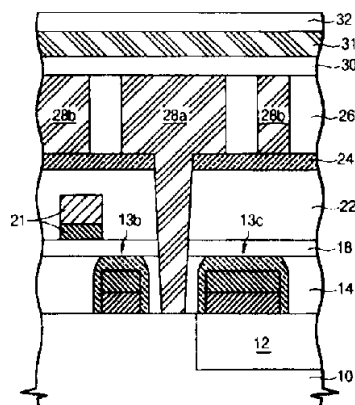
代理人 谢丽娜 余 蒙

权利要求书 4 页 说明书 7 页 附图页数 9 页

[54]发明名称 半导体存储器件的制造方法及其结构

[57]摘要

一种制造半导体器件的方法。在绝缘层上形成材料层图形。在材料层图形上淀积另一个绝缘层。在另一个绝缘层上形成沟槽掩模图形。利用该掩模,在另一个绝缘层处进行腐蚀并中止在材料层,从而形成第一开口。利用材料层图形,腐蚀绝缘层的露出部分,形成与第一开口对准的第二开口,并由此形成用于金属线的双镶嵌开口。在第一和第二开口中淀积金属,形成双镶嵌金属线。



ISSN 1008-4274



权 利 要 求 书

1. 一种制造半导体器件的方法，所述方法包括下列步骤：

在半导体衬底上形成器件隔离区以限定有源区，所述半导体衬底有
5 单元阵列区域和周边区域；

在所述衬底上形成第一绝缘层；

在所述第一绝缘层上形成材料层图形，所述材料层图形有第一开口
部分，第一开口部分分别在所述单元阵列区域限定用于存储节点的接触
孔，在所述周边区域限定用于金属互连的接触孔；

10 在所述材料层图形上形成第二绝缘层；

在所述第二绝缘层上形成沟槽掩模图形，所述沟槽图形在所述周边
区域有至少在所述材料层图形的所述第一开口部分上对准的第二开口
部分，所述第二开口部分大于所述第一开口部分；

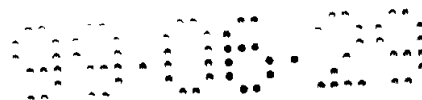
15 用所述沟槽掩模作腐蚀掩模，腐蚀所述第二绝缘层并在所述材料层
图形处中止，形成第一触点开口，并利用至少一个所述第一触点开口腐
蚀第一绝缘层的露出部分，在所述周边区域形成与所述第一触点开口的
所述至少一个自对准的至少一个第二触点开口；和

20 用导电材料填充所述第一和第二触点开口，分别形成形成于第一和
第二触点开口中的第一金属互连，和形成于第一开口中的第二金属互
连。

2. 根据权利要求 1 的方法，其特征在于，所述材料层图形相对于所
述第一和第二绝缘层有腐蚀选择性。

25 3. 根据权利要求 2 的方法，其特征在于，所述材料层图形相对于
所述第一和第二绝缘层有至少 1：5 的腐蚀选择比。

4. 根据权利要求 1 的方法，其特征在于，所述材料层图形由选自
由未掺杂的多晶硅、氮化物材料、SiON 和 Al₂O₃ 构成的组中之一组成。



5. 根据权利要求 1 的方法，其特征在于，所述第二绝缘层的厚度至少为 0.4 微米。

5 6. 根据权利要求 1 的方法，其特征在于，所述导电材料由选自由钨、氮化钛、铝、氮化钨和铜构成的组中之一组成。

7. 根据权利要求 1 的方法，其特征在于，还包括下列步骤：

在所述第一和第二金属互连和第二绝缘层上形成第三绝缘层；

10 在所述第三绝缘层上形成存储节点掩模图形，所述存储节点掩模图形在所述单元阵列区域有与所述第一开口部分对准的第三开口部分，所述第三开口部分大于所述第一开口部分；

15 利用所述存储节点掩模图形，腐蚀所述第三和第二绝缘层并在所述材料层处中止，于是形成第三触点开口，并通过所述第三触点开口腐蚀所述第一绝缘层的露出部分，形成与所述第三触点开口对准的第四开口。

8. 一种制造半导体的方法，所述方法包括下列步骤：

在半导体衬底上形成器件隔离区以限定有源区，所述半导体衬底有单元阵列区域和周边区域；

20 在所述衬底上形成第一绝缘层；

在所述第一绝缘层上形成材料层图形，所述材料层图形有第一开口部分，第一开口部分分别在所述单元阵列区域限定用于存储节点的接触孔，在所述周边区域限定用于金属互连的接触孔；

在所述材料层图形上形成第二绝缘层；

25 在所述材料层图形上形成存储节点掩模图形，所述存储节点掩模图形在所述单元阵列区域有在所述第一开口部分上对准的第二开口部分；

30 利用所述存储节点掩模图形，腐蚀所述第二绝缘层并在所述材料层图形处中止，于是形成第一触点开口，并且通过所述第一触点开口腐蚀所述第一绝缘层的露出部分，形成与所述第一触点开口自对准的第二触

点开口；

在所述第一和第二触点开口中形成用作存储节点的第一导电层，电介质层和用作板极节点的第二导电层，构成电容器；

在所述半导体衬底的整个表面上形成第三绝缘层；

5 在所述第三绝缘层上形成沟槽掩模图形，所述沟槽图形在所述周边区域有至少在所述第一开口部分上对准的第三开口部分；

用所述沟槽掩模作腐蚀掩模，腐蚀所述第三绝缘层并在所述材料层图形处中止，形成第三触点开口，并利用至少一个所述第三触点开口腐蚀第一绝缘层的露出部分，在所述周边区域形成与所述第三触点开口的所述至少一个自对准的至少一个第四触点开口；和

用导电材料填充所述第三和第四触点开口，分别形成形成于第三和第四触点开口中的第一金属互连，和形成于第三开口中的第二金属互连。

15 9. 根据权利要求 8 的方法，其特征在于，所述材料层图形相对于所述第一、第二和第三绝缘层有腐蚀选择性。

10. 根据权利要求 9 的方法，其特征在于，所述材料层图形相对于所述第一、第二和第三绝缘层有至少 1：5 的腐蚀选择比。

20 11. 根据权利要求 8 的方法，其特征在于，所述材料层图形由选自自由未掺杂的多晶硅、氮化物材料、SiON 和 Al₂O₃ 构成的组中之一组成。

25 12. 根据权利要求 8 的方法，其特征在于，所述第三绝缘层的厚度至少为 0.4 微米。

13. 根据权利要求 8 的方法，其特征在于，所述导电材料由选自由钨、氮化钛、铝、氮化钨和铜构成的组中之一组成。

30 14. 一种半导体器件，包括：



形成在有单元阵列区域和周边区域的半导体衬底上的第一绝缘层；

形成在所述第一绝缘层上的材料层图形，所述材料层图形有开口部分；

5 形成在所述材料层图形上的第二绝缘层；

分别在所述单元阵列区域和所述周边区域处，形成在所述第二绝缘层中且通过由所述材料层图形露出的所述第一绝缘层与所述半导体衬底电连接的电容器和金属互连。

10 15. 根据权利要求 14 的半导体器件，其特征在于，所述材料层图形相对于所述第一和第二绝缘层有腐蚀选择性。

15 16. 根据权利要求 14 的半导体器件，其特征在于，所述材料层图形由选自由未掺杂的多晶硅、氮化物材料、SiON 和 Al_2O_3 构成的组中之一组成。

17. 根据权利要求 14 的半导体器件，其特征在于，所述导电材料由选自由钨、氮化钛、铝、氮化钨和铜构成的组中之一组成。



说明书

半导体存储器件的制造方法及其结构

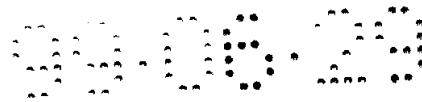
5 该申请以 1998 年 7 月 2 日申请的韩国专利申请 No. 98-26585 为优先权，其内容全部在此引证。

10 本发明涉及半导体制造，特别涉及半导体存储器件及其制造方法，该制造方法可允许超过分辨率限度的图形和使用镶嵌(damascene)技术的多级互连。

15 随着集成电路器件的集成度增加，焦点集中在曝光技术上，以随着高集成度化而获得精细的图形。近来的趋势是曝光波长变得越来越短，例如从 g 线(波长：436nm)，i 线(波长：365nm)到 KrF 准分子激光器(波长：248nm)。最近，有希望的选择对象是 ArF 准分子激光器(波长：193nm)。精细图形器件的形成可改进集成电路的性能并且还可通过提高生产率来降低制造成本。

20 可是，用于精细图形形成的光刻分辨率与曝光的波长和常数(K1)成正比，与数值孔径(NA)成反比。常数 K1 与抗蚀剂质量和分辨率技术有关。考虑近来的 NA、抗蚀剂质量和分辨率技术，认为用 i 线时分辨率限度是 0.3 微米，用 KrF 时分辨率限度是 0.15 微米。在 ArF 的情况下，通常期望分辨率限度是 0.10 微米。

25 可是，上述计算的分辨率限度是在最佳条件下得到的。但在实际工艺中难以维持这样的最佳条件。分辨率限度受工艺条件影响很大。例如，可变的衬底拓扑、因拓扑和构图材料的反射率引起的光刻胶层的变化。并且，在实际制造工艺中，还存在影响分辨率限度的一些事实。例如，对准裕度，宽的工艺窗口(诸如极好的平面化和低的纵横比等)。



5 为了克服上述在实际制造工艺中影响分辨率限度的事实，已使用例如镶嵌技术。在金属互连中广泛地采用镶嵌技术。这是由于金属有高反射率，并且在绝缘层上淀积金属、形成光刻胶层、构图光刻胶层和利用构图的光刻胶层腐蚀金属层的常规金属互连工艺中，难以进行厚金属层的腐蚀。

10 常规镶嵌技术如下。首先，在绝缘层上形成用于互连的沟槽。用CVD(化学汽相淀积)技术或溅射 / 回流技术掩埋铜。进行平面化以去除沟槽外的铜，从而形成镶嵌互连。

15 可是，常规镶嵌技术在对 0.5 微米或以下的金属图形或接触孔的应用中存在一些问题。特别是，在用镶嵌技术形成沟槽期间会扩大已经形成的接触孔。克服该问题的一种选择方案是形成小尺寸的接触孔。可是，随着集成度的增加，形成小尺寸的接触孔正变得越来越困难。另一种选择方案是在形成接触孔前形成沟槽。它要求在已经形成的沟槽中形成用于接触孔的光刻胶图形。可是，难以在深的并且小尺寸的沟槽中形成光刻胶图形。

20 因此，需要一种镶嵌技术来克服与镶嵌工艺有关的问题。

25 鉴于以上的问题作出本发明，因此，本发明的目的是提供一种利用镶嵌技术来制造半导体的方法。

30 按照本发明，通过在周边区域中利用有低反射率的材料层图形形成双镶嵌金属互连和在单元阵列区域中利用相同的材料层图形形成电容器，来提供这些和其它目的。

35 更具体地说，在有单元阵列区域和周边区域的半导体衬底上形成第一绝缘层。然后在第一绝缘层上形成材料层图形。材料层图形有开口部分，在单元阵列区域该开口部分限定用于存储节点的接触孔，在周边区



域该开口部分限定用于金属互连的接触孔。材料层图形由相对于第一绝缘层和后来形成的第二绝缘层有腐蚀选择性的材料构成。例如，可由选自未掺杂的多晶硅、氮化物材料、SiON 和 Al_2O_3 构成的组中的材料组成。

5

在材料层图形上形成第二绝缘层。然后在第二绝缘层上形成沟槽光刻胶图形并且它有在由材料层图形限定的开口部分上对准的开口部分。利用光刻胶图形，将第二绝缘层腐蚀到材料层图形处，形成第一开口。接着，选择腐蚀由材料层图形的开口部分的露出的第一绝缘层的部分，形成与第一开口自对准的第二开口，由此在周边区域中形成双镶嵌开口。

10

然后用金属填充双镶嵌开口并使其平面化，形成到半导体衬底的镶嵌金属互连。

15

在单元阵列区域中材料层图形还被用于形成存储节点。在周边区域中形成镶嵌金属线之后，在半导体衬底的整个表面上形成第三绝缘层。在第三绝缘层上形成另一个光刻胶图形在材料层图形的开口部分上对准，该光刻胶图形有限定存储器节点的开口部分。利用该另一个光刻胶图形，腐蚀第三和第二绝缘层至材料层图形，形成第三开口。然后腐蚀由材料层图形露出的第一绝缘层，形成露出半导体衬底的预定部分的第四开口。在第三和第四开口中淀积导电材料，从而在单元阵列区域中形成与半导体衬底的预定部分电连接的存储器节点。

20

另外，可颠倒工艺顺序。即，在单元阵列区域中形成存储器节点之后，可在周边区域中形成双镶嵌金属线。

25

参照下述附图，本技术领域的技术人员可理解本发明并且其目的也将变得显而易见。

30

图 1A—1E 是按照本发明的沿字线方向截取的制造半导体存储器件的所选工艺步骤的半导体衬底的剖面图；

图 2A—2E 是按照本发明的沿位线方向截取的制造半导体存储器件的所选工艺步骤的半导体衬底的剖面图；

5 图 3A—3E 是按照本发明的沿字线方向截取的制造半导体存储器件的所选工艺步骤的半导体衬底周边区域的剖面图。

下面将参照表示本发明最佳实施例的附图更详细地说明本发明。当然，本发明可以不同的方式实施，并且不受所提出的实施例的限制。更确切地说，提供这些实施例，以彻底和完全地进行公开，并充分地对所
10 属技术领域的技术人员公开本发明的范围。附图中，为清楚起见放大表示了层的厚度和区域。还应理解，当层被认为是“在另一层或衬底上”时，可以是直接在另一层或衬底上或者也可以有中间层存在。相反，当元件被认为是“直接在另一元件上”时，就不存在其中间的元件。并且，
15 所描述和所展示的各实施例还包括其互补导电型的实施例。

本发明涉及半导体存储器件的制造方法。图 1A—1E 表示在制造半导体存储器件的所选工艺步骤中沿单元阵列区域中的字线方向截取的
20 半导体衬底的剖面图，图 2A—2E 表示沿单元阵列区域中的位线方向截取的半导体衬底的剖面图，图 3A—3E 表示沿字线方向截取的半导体衬底周边区域的剖面图。在图 2A—2E 和图 3A—3E 中，功能与图 1A—1E 中所示部件相同的部分被标以相同的参考数字。因此，为了更好地理解本发明，图 1、图 2 和图 3 同时被引证。

25 参照图 1A、图 2A 和图 3A，制备半导体衬底 10。图 1A 和 2A 中的衬底示意地表示单元阵列区域，图 3A 中的衬底示意地表示周边区域。在半导体衬底 10 的预定位置上形成器件隔离层 12，以限定有源和无源区。有源区是在衬底中要进行电连接的区域。器件隔离层 12 包围有源区并使各个有源区与相邻的有源区电绝缘。用浅沟槽隔离技术或硅
30 的局部氧化技术可形成器件隔离层 12。在有源区上形成包括栅电极层

13a、13b 和 13c，和源 / 漏区的晶体管。尽管未示出，在衬底的有源区与栅极层之间形成栅绝缘层，以在它们之间电绝缘。栅极层由导电层和其上覆盖的保护层构成。用于栅极的导电层由多晶硅和金属硅化物层构成。栅保护层可由氮化硅层构成。

5

为了改善对准裕度，形成触点基层 16a 和 16b。更具体地说，在形成晶体管之后，在所获得的结构上形成绝缘层 14。腐蚀绝缘层 14 的所选部分，形成露出栅极之间的有源区的开口。用导电材料填充开口并进行平面化，形成触点基层 16a 和 16b。更具体地说，触点基层 16a 与后来形成的存储节点电连接，触点基层 16b 与后来形成的位线电连接。

10

现在参照图 1B、2B 和 3B，在包括触点基层 16a 和 16b 的绝缘层 14 上常规形成另一绝缘层 18、位线 20，21 和第一层间绝缘层 22。尽管未示出，位线 20 和 21 通过形成在另一绝缘层 18 中的接触栓塞与触点基层 16b 电连接。第一层间绝缘层 22 被平面化以使其具有平的表面。

15

参照图 1C、2C 和 3C，在第一层间绝缘层 22 上形成材料层图形 24。更具体地说，在第一层间绝缘层 22 上淀积材料层之后，实施光掩模和腐蚀工艺，形成有开口部分 25a 和 25b 的材料层图形 24，开口部分 25a 和 25b 在单元阵列区域中限定用于存储节点的接触孔区域(见 25a)和在周边区域中限定用于互连的接触孔区域(见 25b)。

20

材料层图形 24 可由相对于绝缘层 14 和 18，第一层间绝缘层 22 和后来形成的第二层间绝缘层 26 具有好的腐蚀选择性，例如至少为 1 : 5 或以上的材料构成，并且与金属相比有非常低的反射率。绝缘层 14 和 18 以及层间绝缘层 22 和 26 由氧化物层构成，材料层图形 24 由选自由未掺杂的多晶硅、氮化物材料、SiON 和 Al₂O₃ 构成的组中之一组成。

25

现在参照图 1D、2D 和 3D，在第一层间绝缘层 22 上形成厚的第二层间绝缘层 26。第二层间绝缘层 26 的厚度至少约为 0.4 微米，例如约

30



为 0.5 微米至 0.6 微米。第二层间绝缘层 26 的厚度可由后来形成的金属线 28b(见图 3E)的预定厚度来确定。

5 接下来的工艺是在周边区域中形成金属线。再次参照图 3D, 利用形成在第二层间绝缘层 26 上且有比材料层图形大的开口部分的沟槽掩模(未示出), 腐蚀第二层间绝缘层 26, 形成露出材料层图形 24 的第一开口, 其中材料层图形 24 有开口部分 25b。用露出的材料层图形 24 作腐蚀掩模, 腐蚀露出的第一层间绝缘层 22 和绝缘层 18 和 14, 在周边区域中形成露出半导体衬底 10 的有源区的第二开口, 并由此形成双镶嵌开口 27a。同时, 还可使腐蚀停止在材料层图形处, 并由此形成另一个第一开口 27b。

15 最后, 在开口 27a 和 27b 中淀积金属并使其平面化, 形成掩埋在绝缘层 26 中的金属线 28a 和 28b。通过利用材料层图形 24 的双镶嵌工艺可同时形成金属线和用于金属线与衬底之间的互连的接触栓塞(见 28a)。金属可以由选自自由钨、氮化钛、铝、氮化钨和铜构成的组中之一形成。接着顺序形成另一个金属线 31 和绝缘层 32。

20 然后, 在所获得的结构上淀积第三层间绝缘层 30。这样形成第三层间绝缘层 30, 使得第二和第三层间绝缘层的总厚度约为 1.0 微米至 1.2 微米。在单元阵列区域中该总厚度决定存储节点的高度。

25 接着, 在单元阵列区域中形成电容器并淀积绝缘层 44。用相同的技术即镶嵌技术形成电容器。更具体地说, 利用有比材料层图形大的开口部分并在材料层图形 24 的开口部分 25a 上对准的存储形成掩模, 腐蚀第三和第二层间绝缘层, 形成第三开口, 第三开口露出带有其开口部分 25a 的材料层图形。利用材料层图形, 腐蚀露出的绝缘层 22 和 18, 形成与第三开口自对准的第四开口, 并由此形成用于存储节点的双镶嵌开口。在开口中淀积导电材料并使其平面化, 形成与触点基层 16a 连接的存储节点 40。去除存储器节点 40 外侧的层间绝缘层 30 和 26, 并淀



积电介质层 41 和板极节点 42，从而完成柱形电容器，如图 1E 和 2E 所示。通过完全填充用于存储节点的开口，还可构成盒型电容器。

5 另外，可颠倒金属互连的形成和电容器的形成。亦即，首先在单元阵列区域中形成电容器，然后在周边区域中形成金属互连。在用镶嵌技术将电容器形成在单元阵列区域中之后，在其上淀积绝缘层 44。然后，在周边区域中，腐蚀层间绝缘层(见参考标号 26 和 22)和绝缘层(见参考标号 18 和 14)，形成双镶嵌开口(见参考标号 27a)和开口(见参考标号 27b)。用金属填充开口(见参考标号 27a 和 27b)，形成双镶嵌金属线(见参考标号 28a)和金属线(见参考标号 28b)。金属线(见参考标号 28b)可被用作哑元图形。随后，形成绝缘层(见参考标号 30)、另一个金属线(见参考标号 31)和绝缘层(见参考标号 32)。

10

在镶嵌工艺中金属层图形被用于电容器和金属互连的形成。

15

说明书附图

图 1A

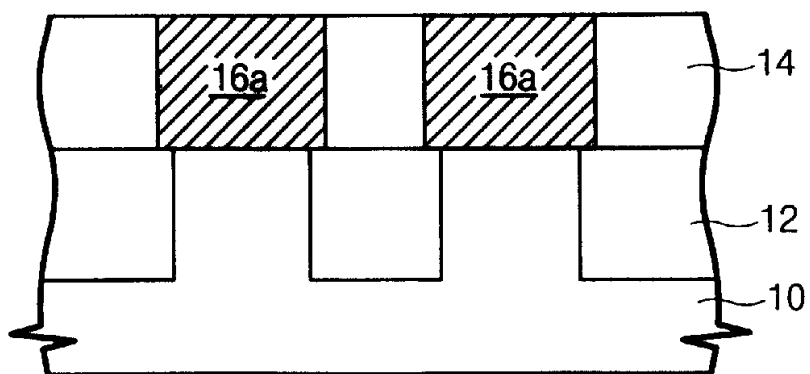


图 1B

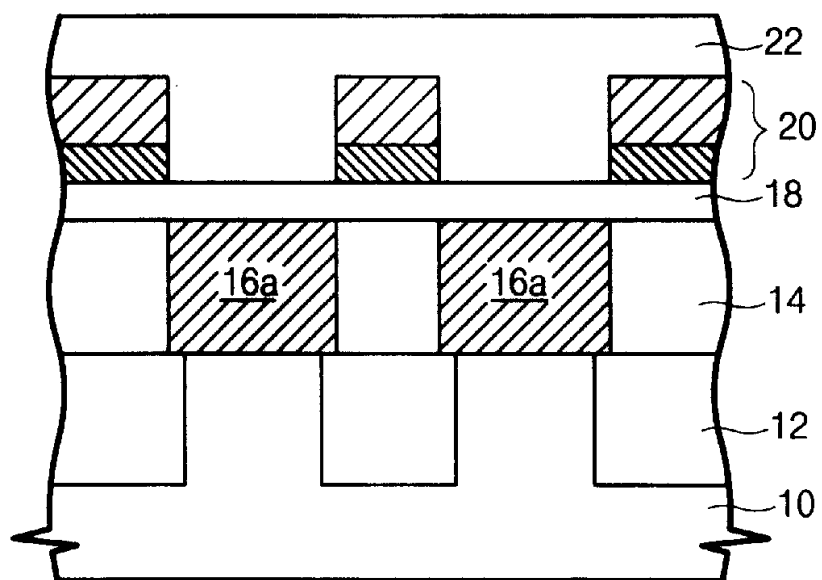


图 1C

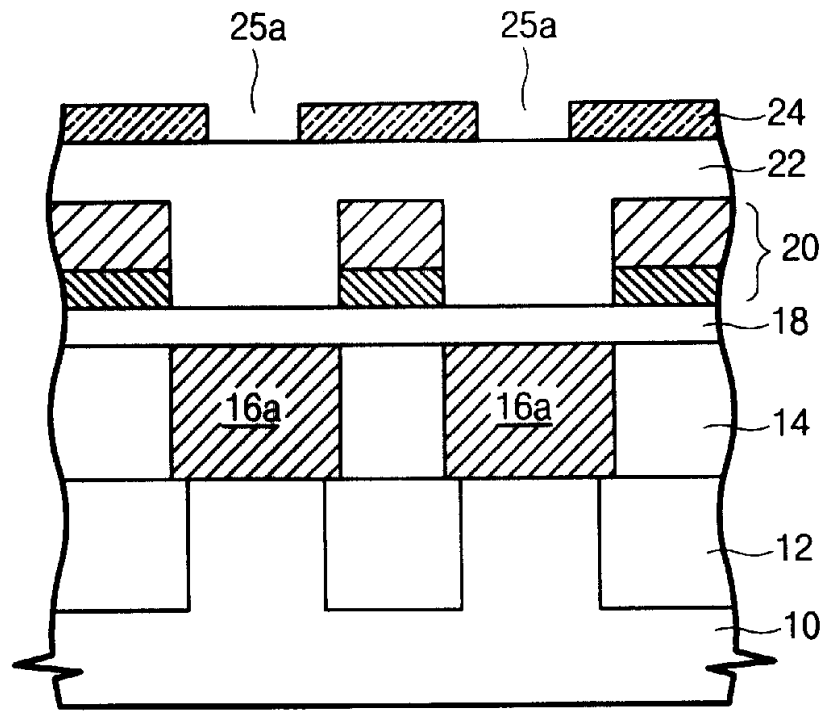


图 1D

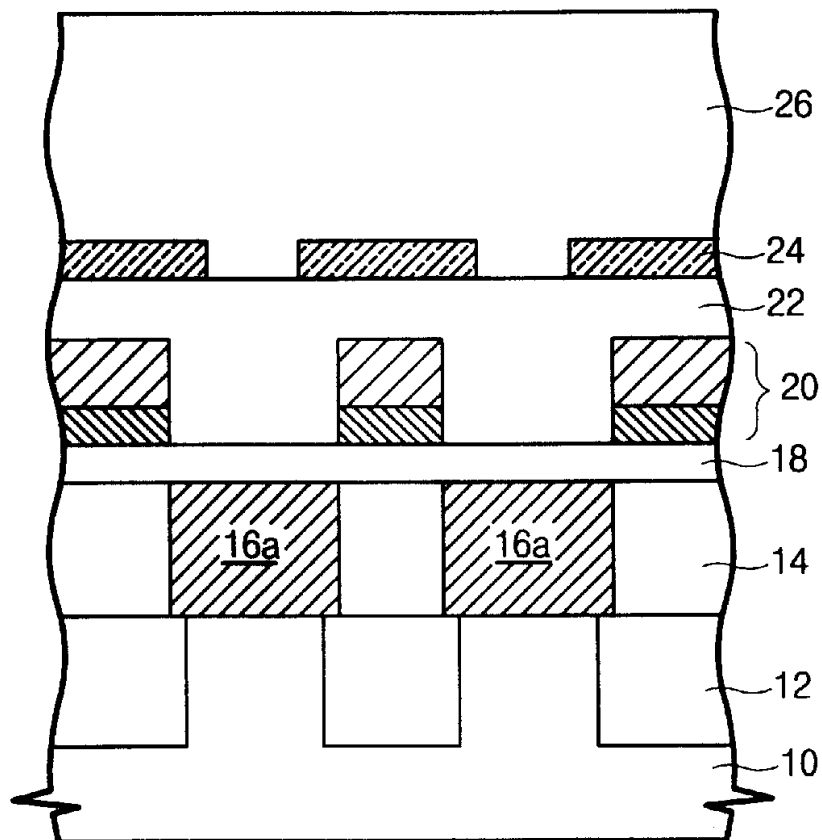


图 1E

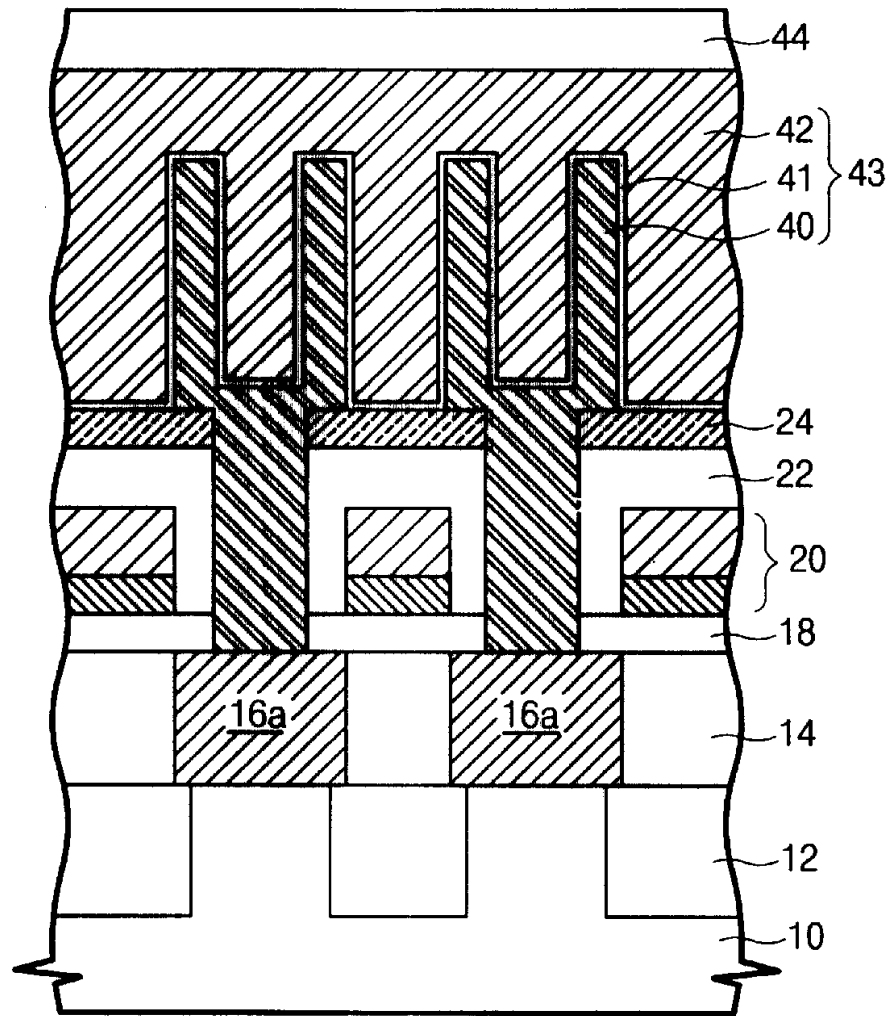


图 2A

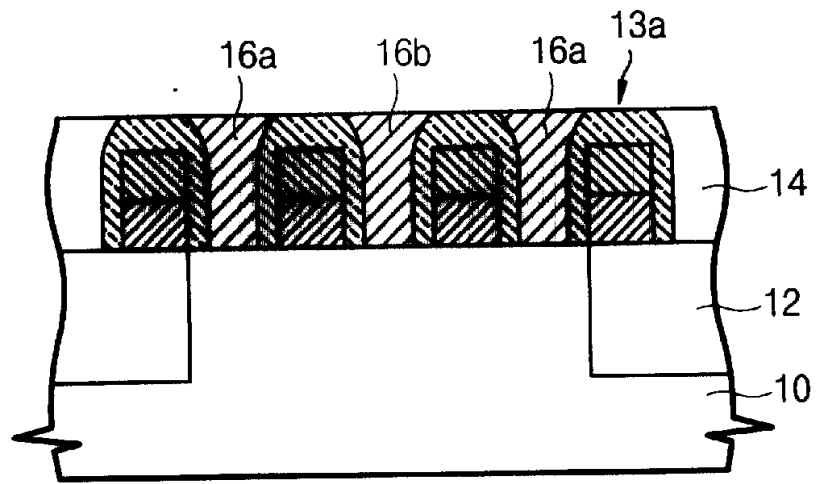


图 2B

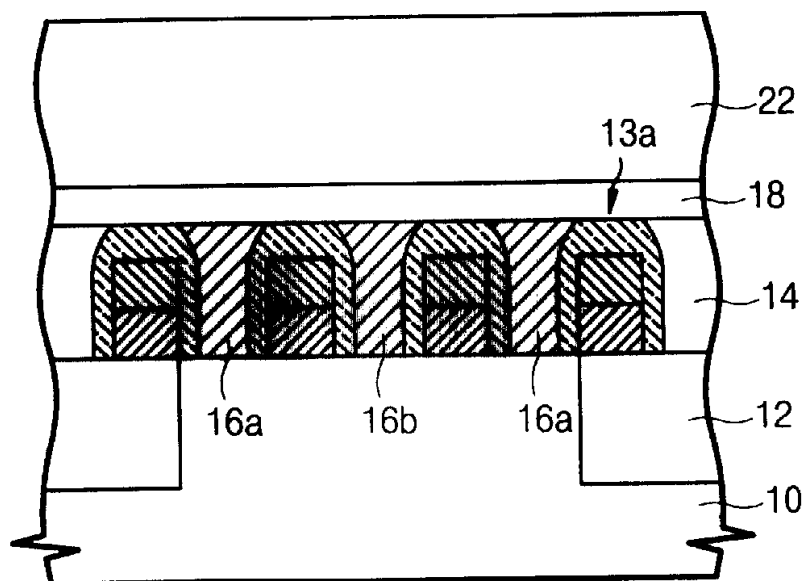


图 2C

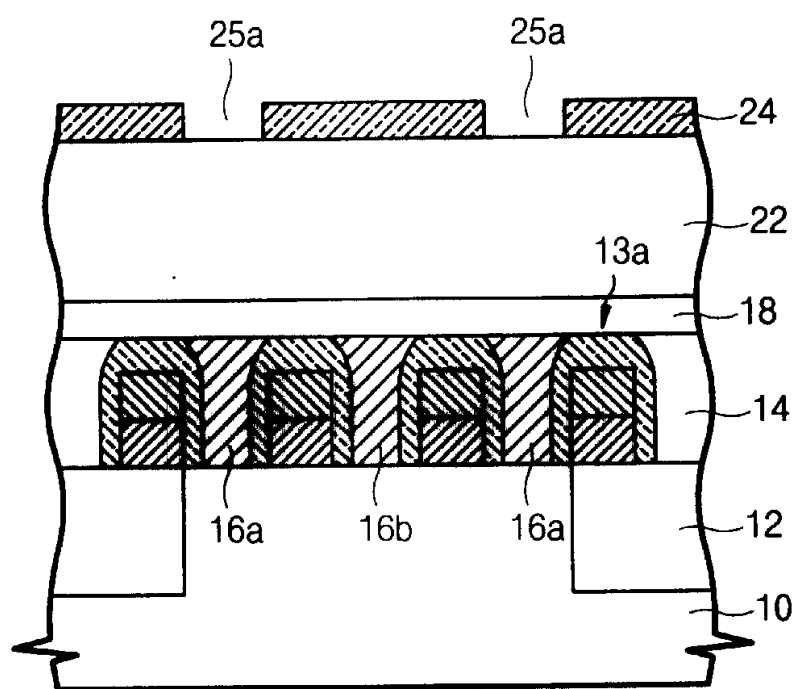


图 2D

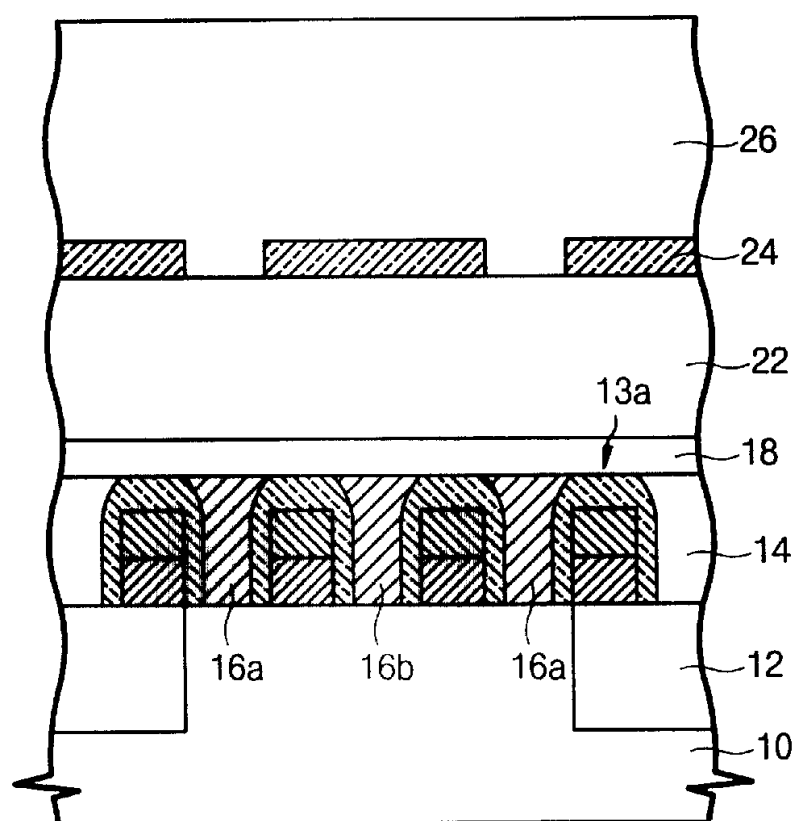


图 2E

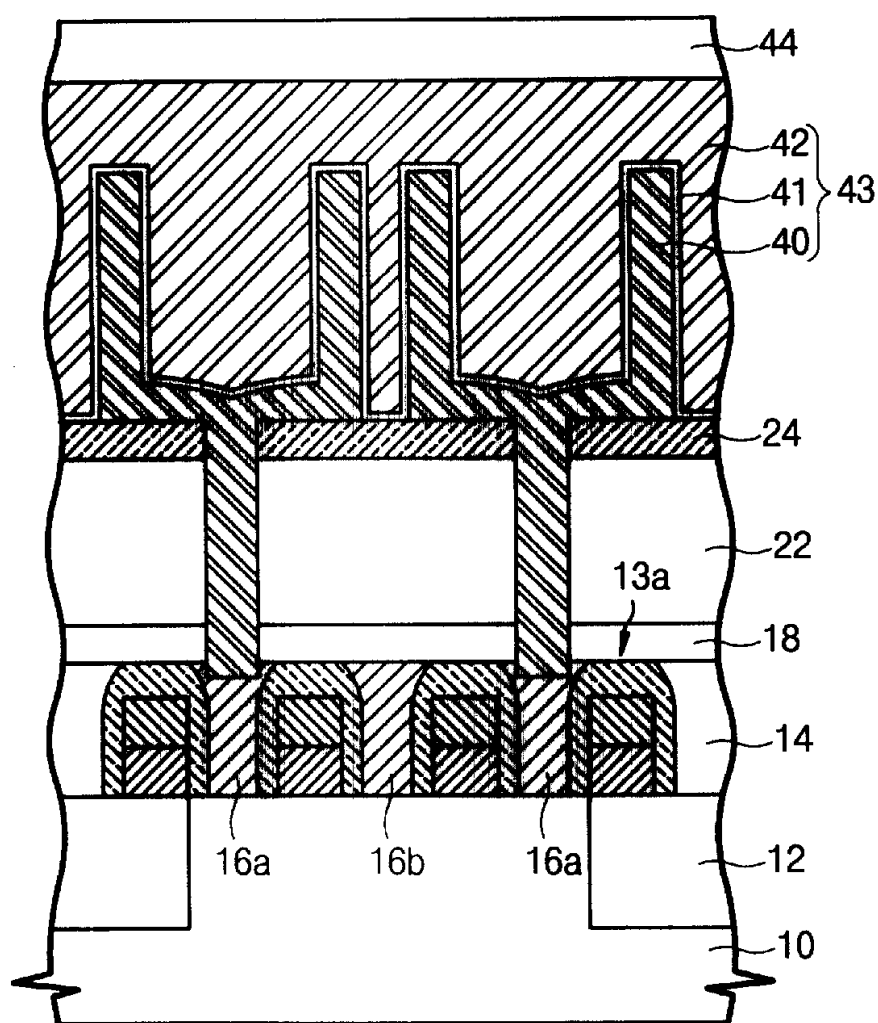


图 3A

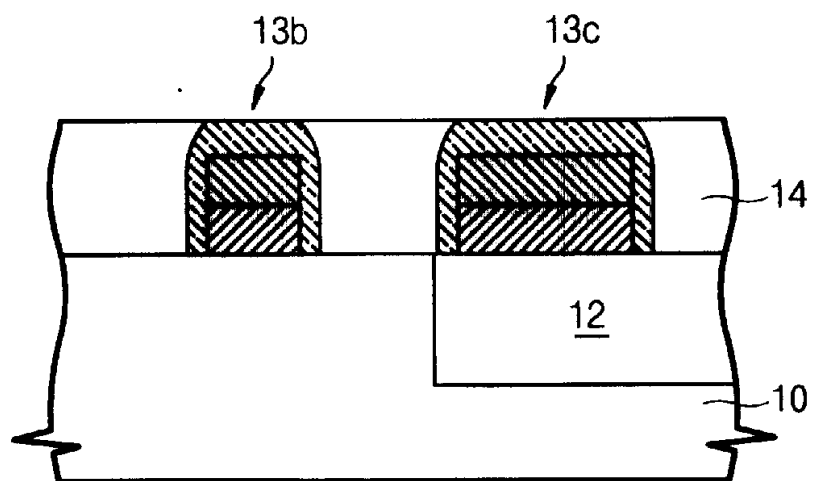


图 3B

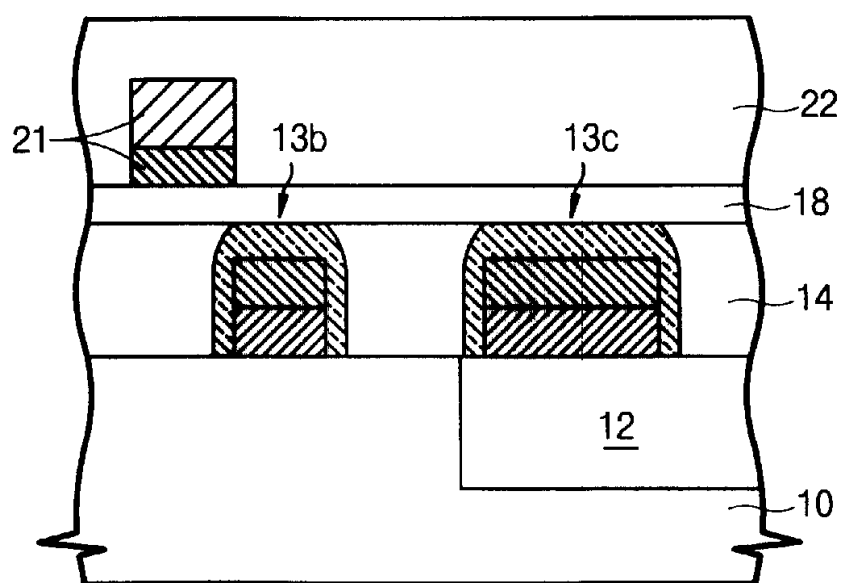


图 3E

