## Soluzioni DryRun verifiche AE 2020 (2 ottobre 2020)

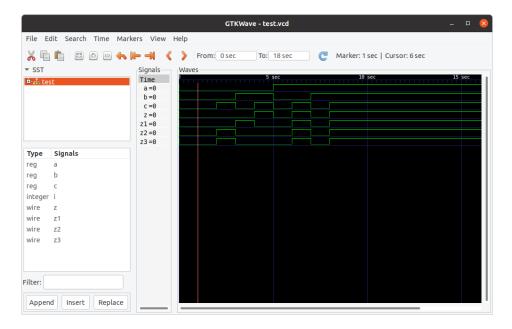
Le schermate sottostanti riportano le risposte che mi aspettavo di ottenere. Notare che l'ultima domanda aveva il problema che abbiamo discusso a lezione. Così com'è nessuna delle forme era equivalente, dal momento che l'espressione di confronto non era quella giusta (che aveva come ultimo termine ~a & ~b & c invece che (come indicato nel quiz) ~a & b & c

Così com'era formulata nessuna delle espressioni era equivalente. La cosa può essere controllata in molti modi. Quello canonico consiste nello scrivere le tabelle di verità dell'espressione e nel confrontarle.

Avremmo comunque anche potuto scrivere un modulo Verilog che calcola tutte le espressioni:

```
module f(output z, z1, z2, z3, input a,b,c);
    // testo della domanda
    assign
    z = (a&b&c) | (a&(~b)&c) | ((~a)&b&c);
    // prima opzione
    assign
    z1 = (a&b&c) | (a&(~b)&c) | (a&(~b)&c) | ((~a)&b&(~c));
    // seconda opzione
    assign
    z2 = (a&c) | ((~b) & c);
    // terza opzione
    assign
    z3 = (a | (~b)) & c;
endmodule // f
```

E successivamente provare a vedere che succedeva per tutti I possibili ingressi (z rappresenta la formula nel testo, z1, z2 e z3 sono le righe relative alle tre opzioni):



Come si vede, la riga z (formula di riferimento) non è uguale a nessuna delle altre tre (z1, z2 e z3). Se tuttavia mettessimo l'espressione che avevo pensato di scrivere:

```
assign
z = (a&b&c) | (a&(~b)&c) | ((~a)&~b&c);
```

E con questa formulazione, la seconda e e la terza espressione sarebbero state equivalenti:

