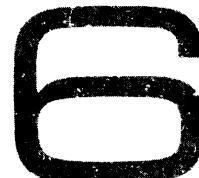

Lógica secuencial síncrona



6-1 INTRODUCCION

Los circuitos digitales que hasta ahora se han considerado han sido combinacionales, esto es, las salidas en cualquier momento dependen por completo de las entradas presentes en ese tiempo. Aunque cualquier sistema digital es susceptible de tener circuitos combinacionales, la mayoría de los sistemas que se encuentran en la práctica también incluyen elementos de memoria, los cuales requieren que el sistema se describa en términos de *lógica secuencial*.

Un diagrama de bloques de un circuito secuencial se muestra en la Fig. 6-1. Consta de un circuito combinacional al que se conectan elementos de memoria para formar una trayectoria de retroalimentación. Los elementos de memoria son dispositivos capaces de almacenar dentro de ellos información binaria. La información binaria almacenada en los elementos de memoria en cualquier momento dado define el *estado* del circuito secuencial. El circuito secuencial recibe información binaria de entradas externas. Estas entradas, junto con el estado presente de los elementos de memoria, determinan el valor binario en las terminales de salida. También determinan las condiciones para cambiar el estado en los elementos de memoria. El diagrama de bloque demuestra que las salidas externas en un circuito secuencial son funciones no sólo de las entradas externas sino también del estado presente de los elementos de memoria. El siguiente estado de los elementos de memoria también es una función de las entradas externas y del estado presente. Por tanto, un circuito secuencial está especificado por una secuencia de tiempo de entradas, salidas y estados internos.

Hay dos tipos principales de circuitos secuenciales. Su clasificación depende del temporizado de sus señales. Un circuito secuencial *síncrono* es un sistema cuyo comportamiento puede definirse por el conocimiento de sus señales en instantes discretos de tiempo. El comportamiento de un circuito secuencial *asíncrono* depende del orden en el cual cambian sus señales de entrada y puede afectarse en cualquier instante de tiempo. Los elementos de memoria que por lo común se utilizan en los circuitos secuenciales asíncronos son dispositivos de retardo de tiempo. La capacidad de memoria de un dispositivo de retardo de tiempo se debe al hecho de que toma un tiempo finito para que la señal se propague a través del dispositivo. En la práctica, el

retardo de propagación interno en las compuertas lógicas es de suficiente duración para producir el retardo necesario, de modo que pueden ser innecesarias unidades físicas de retardo de tiempo. En los sistemas asíncronos de tipo de compuerta, los elementos de memoria en la Fig. 6-1 constan de compuertas lógicas cuyos retardos de propagación constituyen la memoria requerida. Por consiguiente, un circuito secuencial asíncrono puede considerarse como un circuito combinacional con retroalimentación. Debido a la retroalimentación entre compuertas lógicas, un circuito secuencial asíncrono a veces puede llegar a ser inestable. El problema de la inestabilidad le impone muchas dificultades al diseñador. Los circuitos secuenciales asíncronos se presentan en el Capítulo 9.

Un sistema lógico secuencial asíncrono, por definición, debe emplear señales que afecten los elementos de memoria sólo en instantes discretos de tiempo. Una forma de lograr este objetivo es usar pulsos de duración limitada a través del sistema, de modo que una amplitud de pulso represente la lógica 1 y otra amplitud del pulso (o la ausencia de un pulso) represente la lógica 0. La dificultad con un sistema de pulsos es que cualesquiera dos pulsos que lleguen de fuentes independientes separadas a las entradas de la misma compuerta exhibirán retardos impredecibles, que separarán los pulsos ligeramente y resultarán en operación poco confiable.

Los sistemas lógicos secuenciales síncronos usan amplitudes fijas, como niveles de voltaje para las señales binarias. La sincronización se logra por un dispositivo temporizador llamado *reloj maestro generador*, el cual genera un tren periódico de pulsos de reloj. Los pulsos de reloj se distribuyen a través del sistema en tal forma que los elementos de memoria están afectados sólo por la llegada del pulso de sincronización. En la práctica los pulsos de reloj se aplican a compuertas AND junto con las señales que especifican el cambio requerido en los elementos de memoria. Las salidas de la compuerta AND pueden transmitir señales sólo a los instantes que coinciden con la llegada de los pulsos de reloj. Los circuitos secuenciales síncronos que usan pulsos de reloj en las entradas de los elementos de memoria se denominan *circuitos secuenciales de reloj*. Los circuitos secuenciales de reloj son el tipo que se encuentra con más frecuencia. No manifiestan problemas de inestabilidad y su temporizado se desglosa fácilmente en pasos discretos independientes, cada uno de los cuales se considera por separado. Los circuitos secuenciales que se exponen en este capítulo son exclusivamente del tipo de reloj.

Los elementos de memoria que se usan en los circuitos secuenciales de reloj se llaman *flip-flops*. Estos circuitos son celdas binarias capaces de almacenar un bit de información. Un circuito flip-flop tiene dos salidas, una para el valor normal y otra

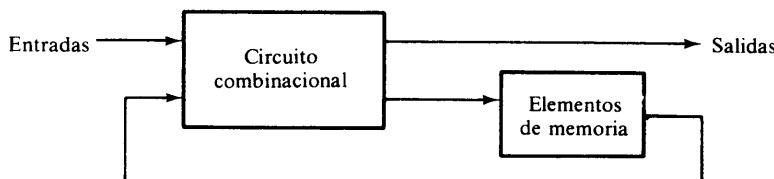


Figura 1-1 Diagrama de bloques de un circuito secuencial.

para el valor complementario del bit almacenado en él. La información binaria puede entrar a un flip-flop en una gran variedad de formas, hecho que da lugar a diferentes tipos de flip-flops. En la siguiente sección se examinarán los diversos tipos de flip-flops y se definirán sus propiedades lógicas.

6-2 FLIP-FLOPS

Un circuito flip-flop puede mantener un estado binario en forma indefinida (en tanto se suministre potencia al circuito) hasta que recibe la dirección de una señal de entrada para cambiar estado. La diferencia principal entre los diversos tipos de flip-flops está en el número de entradas que poseen y en la manera en la cual las entradas afectan el estado binario. Los tipos más comunes de flip-flop se exponen a continuación.

Circuito básico flip-flop

En las secciones 4-7 y 4-8 se mencionó que un circuito flip-flop puede construirse mediante dos compuertas NAND o dos compuertas NOR. Estas construcciones se muestran en los diagramas lógicos de las Figs. 6-2 y 6-3. Cada circuito forma un flip-flop básico bajo el cual pueden construirse otros tipos más complicados. La conexión y acoplamiento cruzado mediante la salida de una compuerta a la entrada de otra constituye una trayectoria de retroalimentación. Por esta razón, los circuitos se clasifican como circuitos secuenciales asíncronos. Cada flip-flop tiene dos salidas, Q y Q' , y dos entradas, *ajustar (set)* y *restaurar (reset)*. Este tipo de flip-flop algunas veces se denomina flip-flop RS *directamente acoplado o seguro (latch) SR*. La R y S son las iniciales de los dos nombres de la entrada (set y reset en inglés).

Para analizar la operación del circuito en la Fig. 6-2, debe recordarse que la salida de una compuerta NOR es 0 si cualquier entrada es 1, y que la salida es 1 sólo cuando todas las entradas son 0. Como punto de inicio, se supone que la entrada ajuste (set) es 1, y la entrada restaurar (reset) es 0. Ya que la compuerta 2 tiene una entrada de 1, su salida Q' debe ser 0, la cual pone ambas entradas de la compuerta 1 en 0, de modo que la salida Q es 1. Cuando la entrada ajuste se regresa a 0, la salida permanece igual, debido a que la salida Q permanece en 1, dejando una entrada de la compuerta 2 en 1.

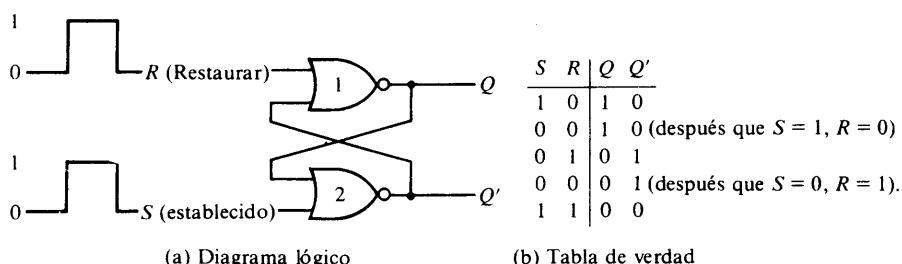
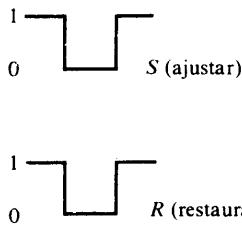
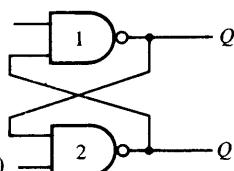


Figura 6-2 Circuito flip-flop básico con compuertas NOR.



(a) Diagrama lógico



S	R	Q	Q'	
1	0	0	1	
1	1	0	1	(después que $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(después que $S = 0, R = 1$)
0	0	1	1	

(b) Tabla de verdad

Figura 6-3 Circuito flip-flop básico con compuertas NAND.

Esto causa que la salida Q' permanezca en 0, lo cual deja ambas entradas de compuerta 1 en 0, de modo que la salida Q está en 1. En la misma forma es posible mostrar que un 1 en la entrada de restaurar cambia la salida Q a 0 y Q' a 1. Cuando la entrada de restaurar vuelve a 0, las salidas no cambian.

Cuando se aplica un 1 a ambas entradas de ajuste (set) y restaurar (reset), tanto la salida Q como la Q' van a 0. Esta condición viola el hecho de que las salidas Q y Q' son los complementos uno de otra. En la operación normal esta condición debe evitarse al tener la seguridad de que los 1 no son aplicables en forma simultánea a ambas entradas.

Un flip-flop tiene dos estados útiles, cuando $Q = 1$ y $Q' = 0$, está en el *estado ajuste* (o estado 1). Cuando $Q = 0$ y $Q' = 1$, está en el *estado despejado* (o estado 0). Las salidas Q y Q' son complementarias una de otra y se refieren como las salidas normal y complementaria, respectivamente. El estado binario del flip-flop se toma para que sea el valor de la salida normal.

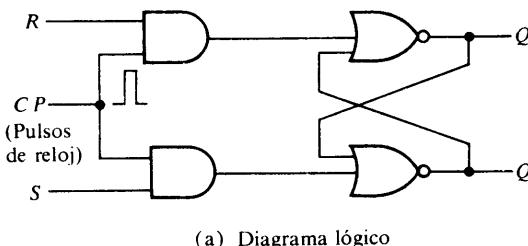
Bajo operación normal, ambas entradas permanecen en 0 a menos que tenga que cambiarse el estado del flip-flop. La aplicación de un 1 momentáneo a la entrada de ajuste provoca que el flip-flop pase al estado ajuste. La entrada ajuste debe volver a 0 antes de que un 1 se aplique a la entrada de restaurar. Un 1 momentáneo aplicado a la entrada de restaurar causa que el flip-flop vaya al estado despejado. Cuando ambas entradas son inicialmente 0, un 1 aplicado a la entrada de puesto mientras el flip-flop está en el estado ajuste o un 1 aplicado a la entrada de restaurar mientras el flip-flop está en el estado despejado deja las salidas sin cambio. Cuando se aplica un 1 a ambas entradas de ajuste y restaurar, ambas salidas pasan a 0. Este estado es indefinido y por lo común se evita. Si ambas entradas ahora van a 0, el estado del flip-flop es indeterminado y depende de cuál entrada permanezca en 1 más tiempo antes de la transición a 0.

El circuito flip-flop NAND básico en la Fig. 6-3 opera con ambas entradas normalmente en 1, a menos que el estado del flip-flop tenga que cambiarse. La aplicación de un 0 momentáneo a la entrada de ajuste causa que la salida Q vaya a 1 y Q' a 0, poniendo por tanto el flip-flop en el estado de ajuste. Despues de que la entrada de ajuste regresa a 1, un 0 momentáneo en la entrada de restaurar provoca una transición al estado despejado. Cuando ambas entradas van a 0, ambas salidas irán a 1, una condición que se evita en la operación normal del flip-flop.

Flip-flop RS con reloj

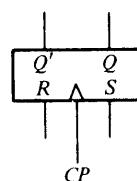
El flip-flop básico, tal como está, es un circuito secuencial asíncrono. Por la adición de compuertas a las entradas del circuito básico, puede hacerse que el flip-flop responda a niveles de entrada durante la ocurrencia de un pulso de reloj. El flip-flop *RS* con reloj que se muestra en la Fig. 6-4(a) consta de un flip-flop básico NOR y dos compuertas AND. Las salidas de las dos compuertas AND permanecen en 0 en tanto que el pulso de reloj (abreviado *CP*, de las iniciales en inglés de *clock pulse*) sea 0, sin importar los valores de entrada *S* y *R*. Cuando el pulso de reloj va a 1, se permite que la información de las entradas *S* y *R* alcancen al flip-flop básico. El estado de ajuste se alcanza con *S* = 1, *R* = 0 y *CP* = 1. Para cambiar al estado despejado, las entradas deben ser *S* = 0, *R* = 1 y *CP* = 1. Tanto con *S* = 1 y *R* = 1, la ocurrencia de un pulso de reloj provoca que ambas salidas momentáneamente a 0. Cuando se elimina el pulso, el estado del flip-flop es indeterminado, esto es, puede resultar cualquier estado, dependiendo de si la entrada de ajuste o la de restaurar del circuito flip-flop básico permanezca en 1 durante un tiempo más prolongado antes de la transición a 0 al fin del pulso.

El símbolo gráfico para el flip-flop *RS* con reloj se muestra en la Fig. 6-4(b). Tiene tres entradas: *S*, *R* y *CP*. La entrada *CP* no está indicada dentro de la caja, debido a que se reconoce por el triángulo pequeño marcado. El triángulo es un símbolo para un *indicador dinámico* y denota el hecho de que el flip-flop responde a



<i>Q</i>	<i>S</i>	<i>R</i>	<i>Q(t + 1)</i>
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	indeterminado
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	indeterminado

(c) tabla característica



<i>Q</i>	<i>SR</i>				<i>S</i>
	00	01	11	10	
0			X	1	
	1		X	1	

R

$Q(t + 1) = S + R'Q$

$SR = 0$

(d) ecuación característica

Figura 6-4 Flip-flop *RS* con pulsos de reloj.

una *transición* de reloj en una señal de bajo nivel (binario 0) a un alto nivel (binario 1). Las salidas del flip-flop están marcadas con Q y Q' dentro de la caja. Puede asignarse al flip-flop una variable con nombre diferente aunque Q esté escrita dentro de la caja. En ese caso, la letra que se elige para la variable del flip-flop se marca *frente* de la caja junto a la línea de salida. El estado del flip-flop está determinado por el valor de su salida normal Q . Si se desea obtener el complemento de la salida normal, no es necesario insertar un invertidor, ya que el valor complementado está disponible directamente mediante la salida Q' .

La tabla característica para el flip-flop se muestra en la Fig. 6-4(c). En esta tabla se resume la operación del flip-flop en una forma tabular. Q es el estado binario del flip-flop en un momento dado (referido como *estado presente*), las columnas S y R dan los valores posibles de las entradas y $Q(t+1)$ es el estado del flip-flop después de la ocurrencia de un pulso de reloj (referida como *estado siguiente*).

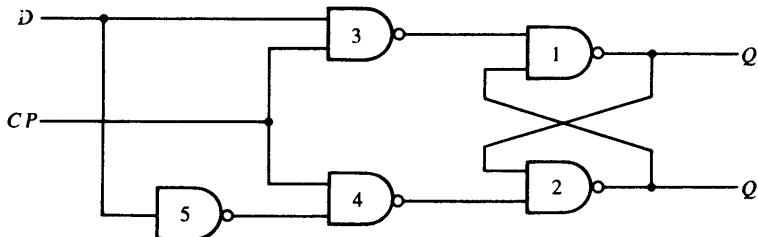
La ecuación característica del flip-flop se deriva en el mapa en la Fig. 6-4(d). Esta ecuación especifica el valor del estado siguiente como una función del estado presente y las entradas. La ecuación característica es una expresión algebraica para la información binaria de la tabla característica. Los dos estados indeterminados están marcados con X en el mapa, ya que pueden resultar en 1 o bien en 0. Sin embargo, la relación $SR = 0$ debe incluirse como parte de la ecuación característica para especificar que tanto S como R no pueden ser iguales a 1 en forma simultánea.

Flip-flop D

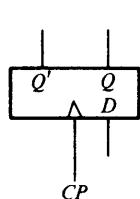
El flip-flop D que se muestra en la Fig. 6-5 es una modificación del flip-flop RS con reloj. Las compuertas NAND 1 y 2 forman un flip-flop básico y las compuertas 3 y 4 modifican para formar un flip-flop RS con reloj. La entrada D va en forma directa a la entrada S , y su complemento, a través de la compuerta 5, se aplica a la entrada R . En tanto que el pulso de reloj en la entrada esté en 0, las compuertas 3 y 4 tienen un 1 en sus salidas, sin importar el valor de las otras entradas. Esto se apegó al requisito de que las dos entradas de un flip-flop básico NAND (Fig. 6-3) permanezcan inicialmente en el nivel 1. La salida D se muestrea durante la ocurrencia de un pulso de reloj. Si es 1, la salida de la compuerta 3 pasa a 0, cambiando el flip-flop al estado de ajuste (a menos que ya esté puesto), si es 0, la salida de la compuerta 4 va a 0, cambiando el flip-flop al estado despejado.

El flip-flop D recibe su denominación debido a su capacidad de transferir “datos” en el flip-flop. En forma básica es un flip-flop RS con un inversor en la salida R . El inversor agregado reduce el número de entradas de dos a una. Este tipo de flip-flop algunas veces se denomina un *seguro-D con compuertas*. La entrada CP con frecuencia recibe la designación variable G (de la inicial en inglés de compuerta, es decir *gate*) para indicar que esta entrada habilita el seguro con compuertas para hacer posible la entrada de información dentro del flip-flop.

El símbolo para un flip-flop D temporizado se muestra en la Fig. 6-5(b). La tabla característica se lista en la parte (c) y se deriva la ecuación característica en la parte (d). La ecuación característica muestra que el estado siguiente del flip-flop es el mismo de la entrada D y es independiente del valor del estado presente.



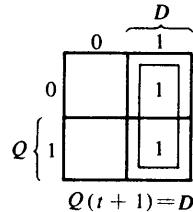
(a) Diagrama lógico con compuertas NAND



(b) Símbolo gráfico

Q	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

(c) Tabla característica



(d) Ecuación característica

Figura 6-5 Flip-flop D con pulsos de reloj.

Flip-flop JK

Un flip-flop JK es un refinamiento del flip-flop RS ya que el estado indeterminado del tipo RS se define en el tipo JK. Las entradas J y K se comportan como las entradas S y R para ajustar y despejar el flip-flop (obsérvese que en un flip-flop JK, la letra J es para ajustar y la letra K es para el *despeje*). Cuando se aplican señales de entrada en forma simultánea a J como a K , el flip-flop cambia a su estado complementario, esto es, si $Q = 1$, cambia a $Q = 0$ y viceversa.

Un flip-flop JK temporizado se muestra en la Fig. 6-6(a). La salida Q opera AND con las entradas K y CP , de modo que el flip-flop se despeja durante un pulso de reloj sólo si Q era previamente 1. En forma similar, la salida Q' opera AND con las entradas J y CP de modo que el flip-flop se ajusta con un pulso de reloj sólo si Q' era previamente 1.

Como se muestra en la tabla característica en la Fig. 6-6(c), el flip-flop JK se comporta como un flip-flop RS excepto cuando tanto J como K son iguales a 1. Cuando J y K son 1, el pulso de reloj se transmite sólo a través de una compuerta AND (la que tenga conectada su entrada a la salida del flip-flop que al presente sea igual a 1). Por tanto, si $Q = 1$, la salida de la compuerta superior AND llega a ser 1 bajo la aplicación de un pulso de reloj, y el flip-flop se despeja. Si $Q' = 1$, la salida de la compuerta AND inferior llega a ser un 1 y el flip-flop se ajusta. En cualquier caso, el estado de la salida del flip-flop se complementa.

Las entradas en el símbolo gráfico para el flip-flop JK deben marcarse con una J (bajo Q) y K (bajo Q'). La ecuación característica se da en la Fig. 6-4(d) y se deriva mediante el mapa de la tabla característica.

Obsérvese que debido a la conexión de retroalimentación en el flip-flop *JK*, una señal *CP* que permanece en 1 (en tanto $J = K = 1$) una vez que las salidas se han complementado provocará transiciones repetidas y continuas de las salidas. Para evitar esta operación indeseable, los pulsos de reloj deben tener una duración más corta que el retardo de propagación a través del flip-flop. Este es un requisito de restricción, ya que la operación del circuito depende del ancho de los pulsos. Por esta razón, los flip-flop *JK* nunca se construyen como se muestra en la Fig. 6-6(a). La restricción en el ancho del pulso puede eliminarse con una construcción de maestro-esclavo o de disparo en borde, como se expone en la siguiente sección. El mismo razonamiento se aplica al flip-flop *T* que se presenta a continuación.

Flip-flop *T*

El flip-flop *T* es una versión de una sola entrada del flip-flop *JK*. Como se muestra en la Fig. 6-7(a), el flip-flop *T* se obtiene mediante un tipo *JK* si ambas entradas se ligan. La denominación *T* proviene de la capacidad del flip-flop para “conmutar” (de la inicial del término en inglés: *toggle*), o cambiar de estado. Sin importar el estado presente del flip-flop, asume el estado complementario cuando ocurre el pulso de reloj mientras la entrada *T* es lógica 1. El símbolo, la tabla característica y la ecuación característica del flip-flop *T* se muestran en la Fig. 6-7, partes (b), (c) y (d), respectivamente.

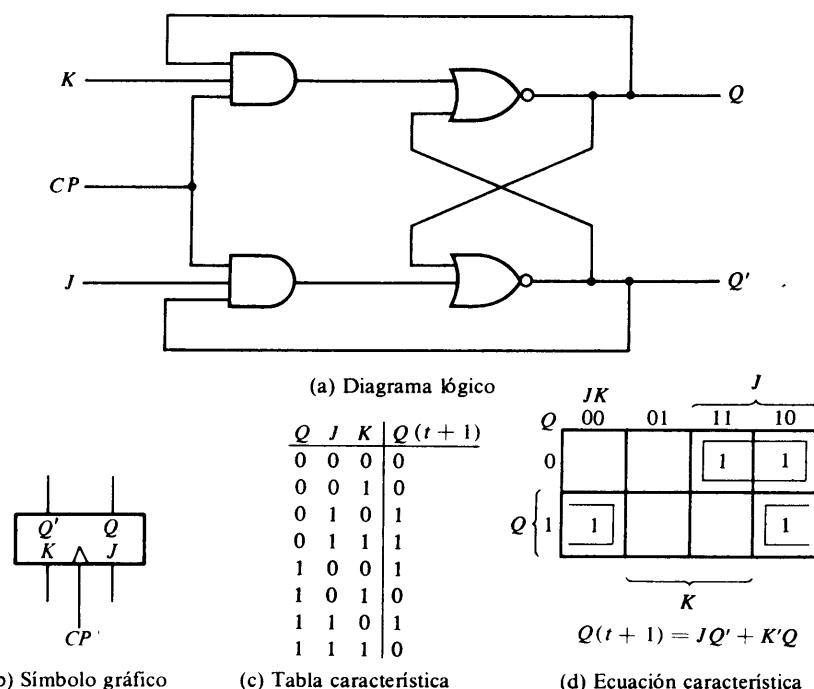
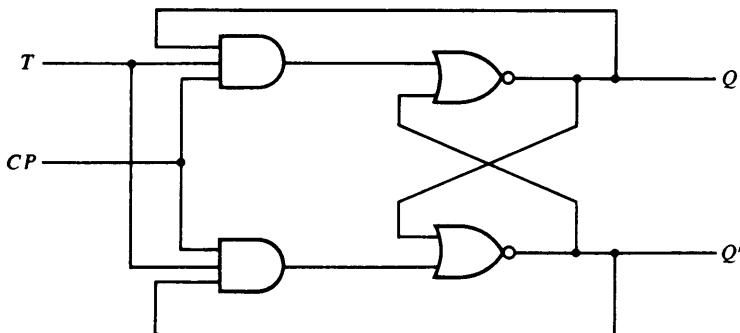
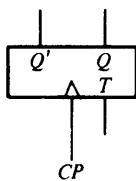


Figura 6-6 Flip-flop *JK* con pulsos de reloj.



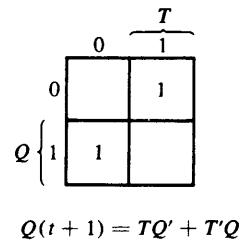
(a) Diagrama lógico



(b) Símbolo gráfico

Q	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

(c) Tabla característica



(d) Ecuación característica

Figura 6-7 Flip-flop T con pulsos de reloj.

Los flip-flop que se introducen en esta sección son los tipos disponibles más comunes en el comercio. Los procedimientos de análisis y diseño que se desarrollan en este capítulo son aplicables para cualquier flip-flop temporizado una vez que se define su tabla característica.

6-3 DISPARO DEL FLIP-FLOP

El estado de un flip-flop se cambia por una modificación momentánea en la señal de entrada. Este cambio momentáneo se denomina *gatillo* y la transición que provoca se dice que dispara al flip-flop. Los flip-flop asíncronos, como los circuitos básicos en la Fig. 6-2 y 6-3, requieren una entrada de gatillo definida por un cambio de *nivel* de señal. Este nivel debe volver a su valor inicial (0 en el flip-flop NOR y 1 en el NAND) antes de que aplique un segundo gatillo. Los flip-flops temporizados se disparan por pulsos. Un pulso comienza desde un valor inicial de 0, pasa en forma momentánea a 1 y después de un corto tiempo, regresa a su valor 0 inicial. El intervalo de tiempo desde la aplicación del pulso hasta que ocurre la transición de la salida es un factor crítico que requiere más investigación.

Como se observó en el diagrama de bloques en la Fig. 6-1, un circuito secuencial tiene una trayectoria de retroalimentación entre el circuito combinacional y los

elementos de memoria. Esta trayectoria puede producir inestabilidad y las salidas de los elementos de memoria (flip-flops) se cambian, mientras las salidas del circuito combinacional que van a las entradas de los flip-flops se muestrean por el pulso de reloj. Este problema de temporizado puede evitarse si las salidas de los flip-flops no inician el cambio sino hasta que el pulso de entrada ha regresado a 0. Para asegurar tal operación, un flip-flop debe tener un retardo de propagación de señal desde la entrada a la salida que exceda la duración del pulso. Este retardo por lo común es muy difícil de controlar si el diseñador depende por completo del retardo de propagación de las compuertas lógicas. Una forma de asegurar el retardo apropiado es incluir dentro del circuito flip-flop una unidad de retardo física que tenga un retardo igual o mayor que la duración del pulso. Una manera adecuada de resolver el problema del temporizado de la retroalimentación es hacer sensitivo al flip-flop a la *transición* del pulso más que a la duración del pulso.

Un pulso de reloj puede ser positivo o bien negativo. Una fuente positiva de reloj permanece en 0 durante el intervalo entre pulsos y pasa a 1 al ocurrir un pulso. El pulso pasa a través de dos transiciones de señal: desde 0 a 1 y el regreso de 1 a 0. Como se muestra en la Fig. 6-8, la transición positiva se define como el *borde positivo* y la transición negativa como el *borde negativo*. Esta definición también se aplica a los pulsos negativos.

Los flip-flops temporizados que se introdujeron en la Sección 6-2 se disparan durante el borde positivo del pulso, y la transición de estado principia tan pronto el pulso alcanza el nivel lógico 1. El nuevo estado del flip-flop puede aparecer en las terminales de salida mientras el pulso de entrada todavía esté en 1. Si las otras entradas del flip-flop cambian mientras el reloj todavía está en 1, el flip-flop iniciará la respuesta a esos nuevos valores y puede ocurrir un nuevo estado de salida. Cuando esto sucede, la salida de un flip-flop no puede aplicarse a las entradas de otro flip-flop cuando el mismo pulso de reloj los dispara a ambos. Sin embargo, si puede hacerse que el flip-flop responda a la transición de borde positiva (o negativa) *sólo*, en lugar de la duración completa del pulso, entonces puede eliminarse el problema de transición múltiple.

Una forma de hacer que el flip-flop responda sólo a una transición de pulso es utilizar un acoplamiento capacitor. En esta configuración, un circuito *RC* (resistor-capacitor) se inserta en la salida de reloj del flip-flop. Este circuito genera un pico

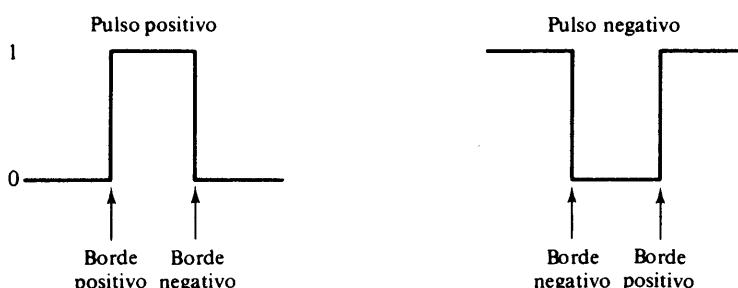


Figura 6-8 Definición de la transición del pulso de reloj.

como respuesta a un cambio momentáneo de la señal de entrada. Un borde positivo emerge de dicho circuito con un pico positivo, y un borde negativo emerge con un pico negativo. El disparo por bordes se logra diseñando el flip-flop de modo que desprecie un pico y dispare una ocurrencia de otro pico. Una forma para lograr el disparo por borde es utilizar un flip-flop maestro-esclavo o disparado por borde como se expone a continuación.

Flip-flop maestro-esclavo

Un flip-flop maestro-esclavo se construye mediante dos flip-flops separados. Un circuito sirve como un maestro y el otro como un esclavo, y el circuito global se conoce como un *flip-flop maestro-esclavo*. El diagrama lógico de un flip-flop maestro-esclavo RS se muestra en la Fig. 6-9. Consta de un flip-flop maestro, un flip-flop esclavo y un inversor. Cuando el pulso de reloj CP es 0, la salida del inversor es 1. Ya que la entrada de reloj del esclavo es 1, el flip-flop está habilitado si la salida Q es igual a Y , en tanto que Q' es igual a Y' . El flip-flop maestro se habilita porque $CP = 0$. Cuando el pulso llega a 1, entonces la información en las entradas externas R y S se transmite al flip-flop maestro. Sin embargo, el flip-flop esclavo está aislado mientras el pulso esté en su nivel 1, ya que la salida del inversor es 0. Cuando el pulso regresa a 0, el flip-flop maestro está aislado, lo cual evita que lo afecten las entradas externas. El flip-flop esclavo pasa entonces al mismo estado que el del flip-flop maestro.

Las relaciones de temporizados que se muestran en la Fig. 6-10 ilustran la secuencia de eventos que ocurren en un flip-flop maestro esclavo. Se supone que el flip-flop está en el estado despejado antes de la ocurrencia de un pulso, de modo que $Y = 0$ y $Q = 0$. Las condiciones de entrada son $S = 1$, $R = 0$, y el siguiente pulso de reloj cambiará el flip-flop al estado ajustar con $Q = 1$. Mediante la transición de un pulso de 0 a 1, el flip-flop maestro está restaurado y cambia Y a 1. El flip-flop esclavo no es aceptado porque su entrada CP es 0. Ya que el flip-flop maestro es un circuito interno, su cambio de estado no es obvio en las salidas Q y Q' . Cuando el pulsor regresa a 0, se permite que la información del maestro pase al esclavo, haciendo que la salida externa

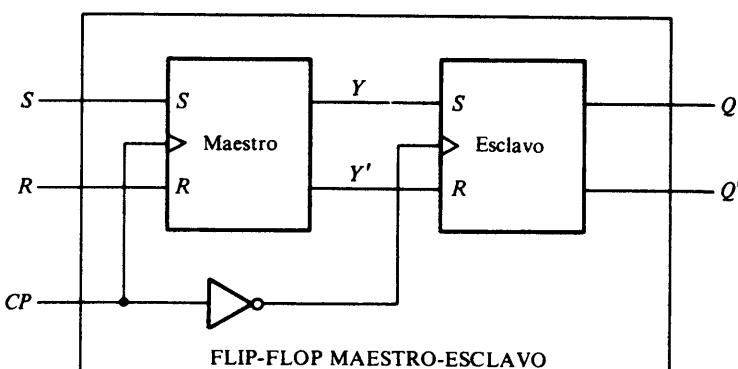


Figura 6-9 Diagrama lógico del flip-flop maestro-esclavo.

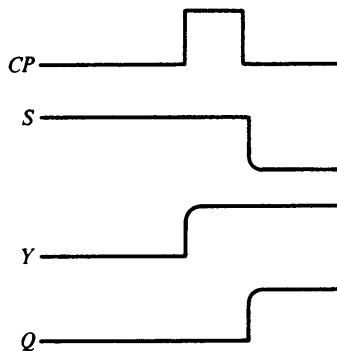


Figura 6-10 Relaciones de tiempos en un flip-flop maestro-esclavo.

sea $Q = 1$. Obsérvese que la entrada externa S debe cambiarse al mismo tiempo que el pulso pasa a través de su transición de borde negativo. Esto se debe a que una vez que la entrada CP alcanza 0, el maestro está inhabilitado y sus entradas R y S no tienen influencia hasta que ocurre el siguiente pulso de reloj. Por eso, en un flip-flop maestro-esclavo es posible cambiar la salida del flip-flop y su información de entrada con el mismo pulso de reloj. Debe tomarse en cuenta que la entrada S puede llegar mediante la salida de otro flip-flop maestro-esclavo que se cambió con el mismo pulso de reloj.

El comportamiento del flip-flop maestro-esclavo que acaba de describirse dicta que los cambios de estado en todos los flip-flops coincidan con la transición de borde negativo del pulso. No obstante, algunos flip-flops maestro-esclavo IC cambian los estados de salida en la transición de borde positivo de los pulsos de reloj. Esto sucede en flip-flops que tienen un inversor adicional entre la CP terminal y la entrada del maestro. Tales flip-flops se disparan con pulsos negativos (véase la Fig. 6-8), de modo que el borde negativo del pulso afecte al maestro y el borde positivo afecte al esclavo y las terminales de salida.

La combinación maestro-esclavo puede construirse para cualquier tipo de flip-flop por la adición de un flip-flop RS temporizado con un reloj invertido para formar el esclavo. Un ejemplo de un flip-flop JK maestro-esclavo construido con compuertas NAND se muestra en la Fig. 6-11. Consta de dos flip-flops; las compuertas 1 a la 4 forman el flip-flop maestro, y las compuertas 5 a la 8 forman el flip-flop esclavo. La información presente en las entradas J y K se transmite al flip-flop maestro en el borde positivo de un pulso de reloj y se sostiene hasta que ocurre el borde negativo del pulso de reloj, después del cual se permite que pase a través del flip-flop esclavo. La entrada de reloj normalmente es 0, lo cual mantiene las salidas de las compuertas 1 y 2 en el nivel. Esto evita que las entradas J y K afecten el flip-flop maestro. El flip-flop esclavo es un tipo RS temporizado, con el flip-flop suministrando las entradas y con la entrada de reloj invertida por la compuerta 9. Cuando el reloj es 0, la salida de la compuerta 9 es 1, de modo que la salida Q es igual a Y y Q' es igual a Y' . Cuando ocurre el borde positivo de un pulso de reloj, el flip-flop maestro se afecta y puede cambiar estados. El flip-flop esclavo está aislado mientras que el reloj esté en el

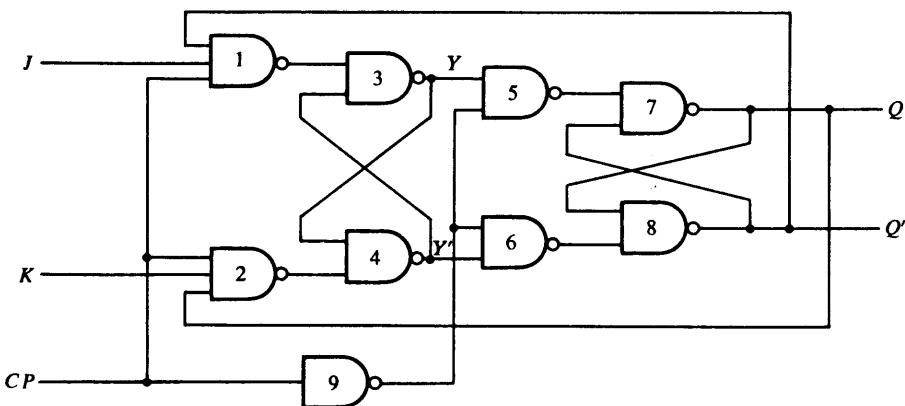


Figura 6-11 Fli-flop maestro-esclavo *JK* con pulsos de reloj.

nivel 1, ya que la salida de la compuerta 9 proporciona un 1 a ambas entradas de las compuertas 7 y 8 NAND flip-flop básico. Cuando la entrada de reloj regresa a 0, el flip-flop maestro está aislado mediante las entradas *J* y *K* y el flip-flop esclavo pasa al mismo estado del flip-flop maestro.

Se considera ahora un sistema digital que contiene muchos flip-flops maestro-esclavo, con las salidas de algunos flip-flops que van a las entradas de otros flip-flops. Se supone que las entradas de pulso de reloj a todos los flip-flops están sincronizadas (ocurren al mismo tiempo). Al principio de cada pulso de reloj, algunos de los elementos maestro cambian estado, pero todas las salidas flip-flop permanecen en sus valores previos. Después de que el pulso de reloj regresa a 0, algunas de las salidas cambian de estado, pero ninguno de los nuevos estados tiene efecto en cualquiera de los elementos maestro hasta el siguiente pulso de reloj. Así que, los estados de flip-flops en el sistema pueden cambiarse en forma simultánea durante el mismo pulso de reloj, aun cuando las salidas de los flip-flops estén conectadas a entradas de flip-flop. Esto es posible ya que el nuevo estado aparece en las terminales de salida sólo después de que el pulso de reloj ha regresado a 0. En consecuencia, el contenido binario de un flip-flop puede transferirse a un segundo flip-flop y el contenido del segundo transferirse al primero, y ambas transferencias pueden ocurrir durante el mismo pulso de reloj.

Flip-flop disparado por borde

Otro tipo de flip-flop que sincroniza los cambios de estado durante la transición de pulsos de reloj es el flip-flop *disparado por borde*. En este tipo de flip-flop, las transiciones de salida ocurren en un nivel específico del pulso de reloj. Cuando el nivel del pulso de entrada excede el nivel umbral, las entradas están bloqueadas y, de este modo, el flip-flop no responde a cambios adicionales en las entradas hasta que el pulso de reloj regresa a 0 y ocurre otro pulso. Algunos flip-flops disparados por borde provocan una transición en el borde positivo del pulso, y otros causan una transición en el borde negativo del pulso.

El diagrama lógico de un flip-flop tipo *D* disparado por borde positivo se muestra en la Fig. 6-12. Consta de tres flip-flops básicos del tipo que se muestra en la Fig. 6-3. Las compuertas NAND 1 y 2 conforman un flip-flop básico y las compuertas 3 y 4 conforman otro. El tercer flip-flop básico que comprende las compuertas 5 y 6 proporciona las salidas al circuito. Las entradas *S* y *R* del tercer flip-flop básico deben mantenerse en lógica 1 para que las salidas permanezcan en sus valores de estado estacionario. Cuando $S = 0$ y $R = 1$, la salida pasa al estado establecido con $Q = 1$. Cuando $S = 1$ y $R = 0$, la salida pasa al estado despejado con $Q = 0$. Las entradas *S* y *R* están determinadas mediante los estados de los otros dos flip-flops básicos. Estos dos flip-flops básicos responden a las entradas externas *D* (datos) y *CP* (pulso de reloj).

La operación del circuito se explica en la Fig. 6-13, donde las compuertas 1-4 vuelven a dibujarse para mostrar todas sus transiciones posibles. Las salidas *S* y *R* de las compuertas 2 y 3 van a las compuertas 5 y 6, como se muestra en la Fig. 6-12, para proporcionar las salidas reales del flip-flop. En la Fig. 6-13(a) se muestran los valores binarios en las salidas de las cuatro compuertas cuando *CP* = 0. La entrada *D* puede ser igual a 0 o 1. En cualquier caso, un *CP* de 0 provoca que las salidas de las compuertas 2 y 3 pasen a 1, y así hacen que $S = R = 1$, que es la condición para una salida de estado estacionario. Cuando $D = 0$, la compuerta 4 tiene una salida 1, la cual causa que la salida de la compuerta 1 vaya a 0. Cuando $D = 1$, la compuerta 4 va a 0, la cual provoca que la salida de la compuerta 1 pase a 1. Estas son las dos condiciones posibles cuando el *CP* terminal, que es 0, inhabilita cualesquiera cambios en las salidas del flip-flop, sin importar cuál es el valor de *D*.

Hay un tiempo definido, llamado tiempo de *disposición*, en el cual la entrada *D* debe mantenerse en un valor constante antes de la aplicación del pulso. El tiempo de disposición es igual al retardo de propagación a través de las compuertas 4 y 1, ya que un cambio en *D* provoca un cambio en las salidas de esas dos compuertas. Ahora se supone que *D* no cambia durante el tiempo de disposición y que la entrada *CP* llega

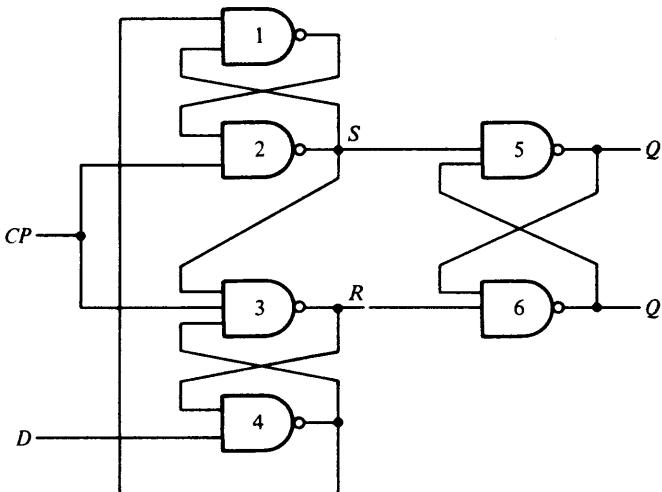
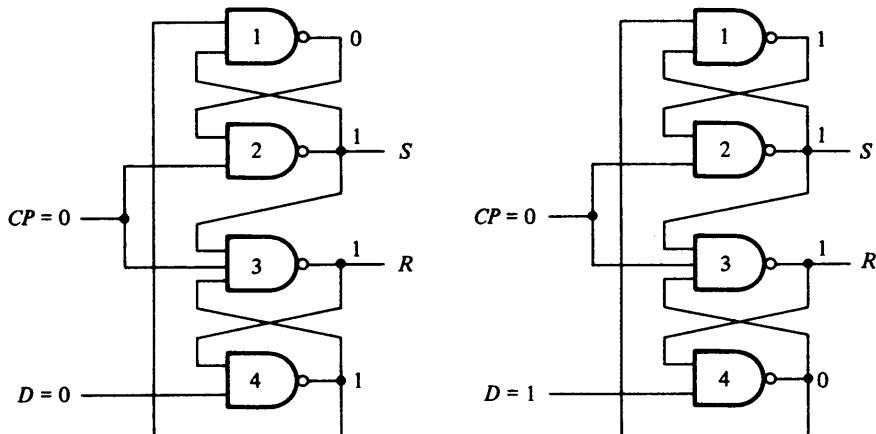
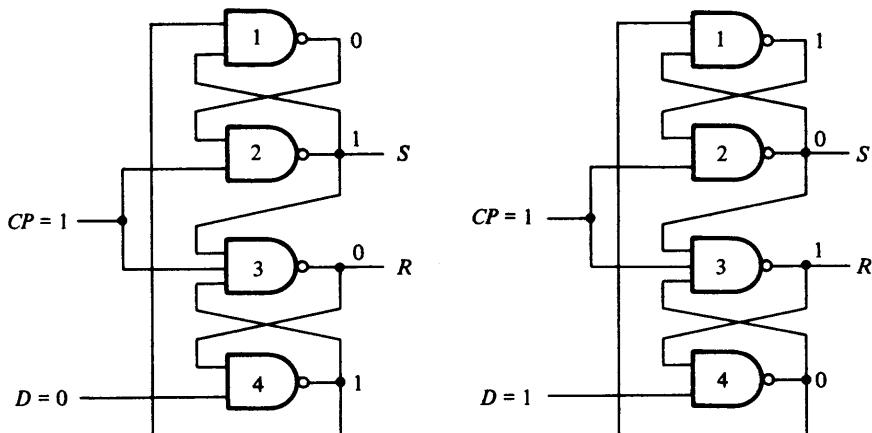


Figura 6-12 Flip-flop tipo *D* con disparo en borde positivo.



(a) Con $CP = 0$



(b) Con $CP = 1$

Figura 6-13 Operación del flip-flop tipo D con disparo en borde.

a ser 1. Esta situación se indica en la Fig. 6-13(b). Si $D=0$ cuando el CP llega a ser 1, entonces S permanece en 1 pero R cambia a 0. Esto causa que la salida del flip-flop Q vaya a 0 (en la Fig. 6-12). Si ahora, mientras $CP = 1$, hay un cambio en la entrada D , la salida de la compuerta 4 permanecerá en 1 (incluso si D va a 1), ya que una de las entradas de compuertas viene de R la cual se mantiene en 0. Sólo cuando el CP regresa a 0 puede cambiar la salida de la compuerta 4; pero entonces tanto R como S se vuelven 1, inhabilitando cualquier cambio en la salida de flip-flop. Sin embargo, hay un tiempo definido, llamado el *tiempo de conservación*, en el que la entrada D no debe cambiar después de la aplicación de la transición que va a positivo del pulso. El tiempo de conservación es igual al retardo de propagación de la compuerta 3, ya que debe

asegurarse que R se vuelva 0 con objeto de mantener la salida de la compuerta 4 en 1, con independencia del valor de D .

Si $D = 1$, cuando $CP = 1$, entonces S cambia a 0, pero R permanece en 1, lo cual provoca que las salidas del flip-flop Q vaya a 1. Un cambio en D mientras $CP = 1$ no altera S y R porque la compuerta 1 se mantiene en 1 por la señal 0 de S . Cuando el CP va a 0, tanto S como R van a 1 para evitar que la salida tenga cambios.

En resumen, cuando el pulso de reloj de entrada realiza una transición que va a positivo, el valor de D se transfiere a Q . Los cambios en D cuando CP se mantiene en un valor sostenido de 1, no afectan Q . Por otra parte, una transición de pulso a negativa no afecta la salida, y tampoco cuando $CP = 0$. Siendo así, el flip-flop disparado por borde elimina cualquier problema de retroalimentación en los circuitos secuenciales precisamente como lo hace un flip-flop maestro-esclavo. El tiempo de disposición y el tiempo de conservación deben tomarse en consideración cuando se usa este tipo de flip-flop.

Cuando se usan tipos diferentes de flip-flop en el mismo circuito secuencial, debe tenerse la seguridad de que todas las salidas de los flip-flops hacen sus transiciones al mismo tiempo, esto es, durante ya sea el borde negativo o el positivo del pulso. Los flip-flops que se comportan en forma opuesta respecto a la transición de polaridad adoptada pueden cambiarse con facilidad por la adición de inversores en sus entradas de reloj. Un procedimiento alterno es proporcionar pulsos positivos y negativos (mediante un inversor), y aplicar entonces los pulsos positivos a los flip-flops que disparan durante el borde negativo y pulsos negativos a los flip-flops que disparan durante el borde positivo, o viceversa.

Entradas directas

Los flip-flops disponibles en paquetes IC algunas veces proporcionan entradas especiales para ajustar o despejar el flip-flop en forma asíncrona. Estas entradas por lo común se llaman *preajuste directo* y despeje directo. Afectan el flip-flop en un valor positivo (o negativo) de la señal de entrada sin la necesidad de un pulso de reloj. Estas entradas son útiles para conducir todos los flip-flops a un estado inicial antes de su operación temporizada. Por ejemplo, después que se conecta la potencia en un sistema digital, los estados de sus flip-flops son indeterminados. Un interruptor de despeje limpia todos los flip-flops a un estado inicial despejado y un interruptor de inicio principia la operación temporizada del sistema. El interruptor de despeje debe limpiar todos los flip-flops en forma asíncrona sin la necesidad de un pulso.

El símbolo gráfico de un flip-flop maestro-esclavo con despeje directo se muestra en la Fig. 6-14. El reloj o la entrada CP tiene un círculo bajo el triángulo pequeño para indicar que las salidas cambian durante la transición negativa del pulso (la ausencia de un círculo pequeño indicaría un flip-flop disparado por borde positivo). La entrada de despeje directo también tiene un pequeño círculo para indicar que, en forma normal, esta entrada debe mantenerse en 1. Si la entrada de despeje se mantiene en 0, el flip-flop permanece limpio, independiente de las otras entradas o del pulso de reloj. La tabla de función especifica la operación del circuito. Las X son condiciones no importa que indican que un 0 en la entrada de despeje directo inhabilita

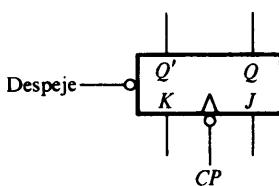


Tabla de función				Salidas	
Entradas				Q	Q'
Despeje	Reloj	J	K	Q	Q'
0	X	X	X	0	1
1	↓	0	0	Sin cambio	
1	↓	0	1	0	1
1	↓	1	0	1	0
1	↓	1	1	Lengüeta	

Figura 6-14 Flip-flop JK con despeje directo.

lita todas las demás entradas. Sólo cuando la entrada de despeje es 1 puede tener efecto una transición negativa del reloj en las salidas. Las salidas no cambian si $J = K = 0$. El flip-flop cambia o complementa cuando $J = K = 1$. Algunos flip-flops es posible que también tengan una entrada de preajuste directo, la cual establece la salida Q en 1 (y Q' en 0) en forma asíncrona.

Cuando están disponibles entradas directas asíncronas en un flip-flop maestro-esclavo, deben conectarse tanto al maestro como al esclavo con objeto de sobreponer las otras entradas y el reloj. Un despeje directo en el flip-flop maestro-esclavo JK en la Fig. 6-10 se conecta a las entradas de las compuertas 1, 4 y 8. Un despeje directo en el flip-flop disparado en borde D en la Fig. 6-12 se conecta a las entradas de las compuertas 2 y 6.

6-4 ANALISIS DE CIRCUITOS SECUENCIALES TEMPORIZADOS

El comportamiento de un circuito secuencial se determina mediante las entradas, las salidas y los estados de sus flip-flops. Tanto las salidas como el estado siguiente son función de las entradas y del estado presente. El análisis de los circuitos secuenciales consiste en obtener una tabla o un diagrama de las secuencias de tiempo de las entradas, salidas y los estados internos. También es posible escribir expresiones booleanas que describen el comportamiento de los circuitos secuenciales. Sin embargo, esas expresiones deben incluir la secuencia de tiempo necesaria ya sea en forma directa o indirecta.

Un diagrama lógico se reconoce como el circuito de un circuito secuencial e incluye los flip-flops. Los flip-flops pueden ser de cualquier tipo y el diagrama lógico puede o no incluir las compuertas combinacionales. En esta sección, se introduce primero un ejemplo específico de un circuito secuencial temporizado y entonces se presentan diversos métodos para describir el comportamiento de los circuitos secuenciales. El ejemplo específico se usará en la exposición para ilustrar diversos métodos.

Ejemplo de un circuito secuencial

En la Fig. 6-15 se muestra un ejemplo de un circuito secuencial temporizado. Tiene una variable de entrada x , una variable de salida y y dos flip-flops RS temporizados

etiquetados A y B . Las conexiones cruzadas de las salidas de los flip-flops a las entradas de las compuertas no se muestran por líneas de dibujo, de modo que se facilite el trazado del circuito. En lugar de esto, se reconocen las conexiones por el símbolo de letra que se marca en cada entrada. Por ejemplo, la entrada marcada x' en la compuerta 1 indica una entrada del complemento de x . La segunda entrada marcada A indica una conexión a la salida normal de flip-flop A .

Se supone un disparo de borde negativo tanto en los flip-flops como en la fuente que produce la entrada externa x . En este caso, las señales para un estado presente dado están disponibles durante el tiempo desde la terminación de un pulso de reloj hasta la terminación del siguiente pulso de reloj, a cuvo tiempo el circuito pasa al estado siguiente.

Tabla de estado

La secuencia en tiempo de las entradas, salidas y estados de flip-flop pueden enumerarse en una *tabla de estado*.* La tabla de estado para el circuito en la Fig. 6-15 se muestra en la Tabla 6-1. Consta de tres secciones etiquetadas *estado presente*, *estado siguiente* y *salida*. El *estado presente* indica los estados de los flip-flops antes de la ocurrencia del pulso de reloj. El *estado siguiente* muestra los estados de los flip-flops después de la aplicación de un pulso de reloj, y la sección de *salida* lista los valores de las variables de salida durante el estado presente. Las secciones de *estado siguiente* al igual que la de *salida* tienen dos columnas, una para $x = 0$ y la otra para $x = 1$.

* En los libros que tratan la teoría de la comutación esta tabla se denomina una *tabla de transición*. Reservan el nombre de *tabla de estados* para una tabla con estados internos representados por símbolos arbitrarios.

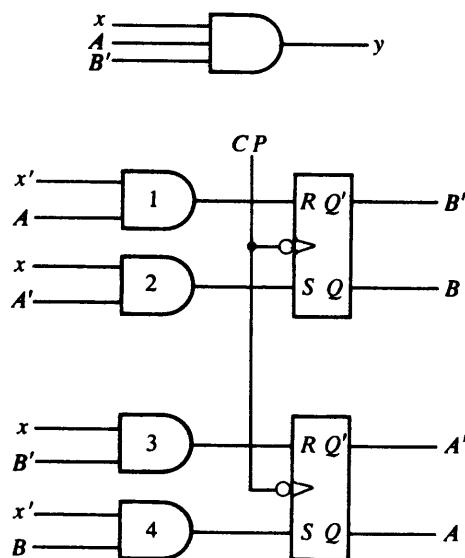


Figura 6-15 Ejemplo de un circuito secuencial con pulsos de reloj.

TABLA 6-1 Tabla de estados para el circuito de la Fig 6-15

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
AB	AB	AB	y	y
00	00	01	0	0
01	11	01	0	0
10	10	00	0	1
11	10	11	0	0

La derivación de la tabla de estado principia desde un estado inicial supuesto. El estado inicial de la mayoría de los circuitos secuenciales prácticos se define como el estado con números 0 en todos los flip-flops. Algunos circuitos secuenciales tienen un estado inicial diferente y otros no tienen ninguno en absoluto. En cualquier caso, los análisis siempre pueden principiar desde cualquier estado arbitrario. En este ejemplo se principia derivando la tabla de estado desde el estado inicial 00.

Cuando el estado presente es 00, $A=0$ y $B=0$. Mediante el diagrama lógico, se ve que ambos flip-flops están despejados y $x = 0$. Ninguna de las compuertas AND produce una señal lógica 1. Por lo tanto, el estado siguiente permanece sin cambio. Con $AB = 00$ y $x = 1$, la compuerta 2 produce una señal lógica 1 y la entrada S del flip-flop B y la compuerta 3 produce una señal lógica 1 a la entrada del flip-flop A . Cuando un pulso de reloj dispara los flip-flops, A se despeja y B está ajustado, haciendo que el estado siguiente sea 01. Esta información se lista en el primer renglón de la tabla de estado.

En forma similar, puede derivarse el siguiente estado principiando desde los otros tres posibles estados presentes. En general, el estado siguiente es una función de las entradas, del estado presente y del tipo de flip-flop que se utilice. Con flip-flops RS , por ejemplo, debe recordarse que un 1 en la entrada S establece el flip-flop y un 1 en la entrada R despeja el flip-flop, sin importar su estado previo. Un 0 en las entradas S y R deja el flip-flop sin cambio, mientras que un tanto en la entrada S como en la R evidencia un mal diseño y una tabla de estado indeterminada.

Las entradas para la sección de salida son fáciles de derivar. En este ejemplo, la salida y es igual a 1 sólo cuando $X=1$, $A=1$ y $B=0$. Por tanto, las columnas de salida se marcan con 0, excepto cuando el estado presente es 10 y la entrada $x=1$, por lo cual y se marca con un 1.

La tabla de estado de cualquier circuito secuencial se obtiene por el mismo procedimiento que se usa en el ejemplo. En general, un circuito secuencial con m flip-flops y n variables de entrada tendrá 2^m renglones, uno para cada estado. Cada una de las secciones de estado siguiente y salida tendrán 2^n columnas, una para cada combinación de entrada.

Las salidas externas de un circuito secuencial pueden tener procedencia de compuertas lógicas o de elementos de memoria. La sección de salida en la tabla

de estado es necesaria sólo si hay salidas de compuertas lógicas. Cualquier salida externa que se toma en forma directa de un flip-flop ya está lista en la columna de estado presente de la tabla de estado. Por lo tanto, la sección de salida de la tabla de estado puede excluirse si no hay salidas externas de compuertas lógicas.

Diagrama de estado

La información disponible en una tabla de estado puede representarse en forma gráfica en un *diagrama de estado*. En este diagrama, un estado se representa con un círculo y la transición entre estados se indica con líneas dirigidas que conectan los círculos. El diagrama de estado de un círculo secuencial en la Fig. 6-15 se muestra en la Fig. 6-16. El número binario dentro de cada círculo identifica el estado que representa el círculo. Las líneas dirigidas están etiquetadas con dos números binarios separados por una /. El valor de entrada que provoca la transición de estado se etiqueta primero; el número después del símbolo / da el valor de la salida durante el estado presente. Por ejemplo, la línea dirigida desde el estado 00 al 01 se etiqueta 1/0, lo cual significa que el circuito secuencial está en un estado presente 00 mientras $x = 1$ y $y = 0$, y que a la terminación del siguiente pulso de reloj, el circuito pasa al siguiente estado 01. Una línea dirigida que conecta un círculo con sí misma indica que ocurre cambio de estado. El diagrama de estado proporciona la misma información que la tabla de estado y se obtiene en forma directa de la Tabla 6-1.

No hay diferencia entre una tabla de estado y un diagrama de estado excepto en la forma de representación. La tabla de estado es más fácil de derivar mediante un diagrama lógico dado y en el diagrama de estado continúa en forma directa de una tabla de estado. El diagrama de estado da una imagen de las transiciones de estado y se encuentra en una forma adecuada para la interpretación humana de la operación del circuito. El diagrama de estado se utiliza con frecuencia como la especificación inicial de diseño de un circuito secuencial.

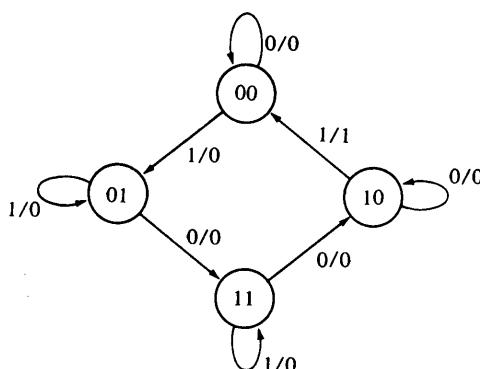


Figura 6-16 Diagrama de estado para el circuito en la Fig. 6-15.

Ecuaciones de estado

Una *ecuación de estado* (también conocida como una *ecuación de aplicación*) es una expresión algebraica que especifica las condiciones para una transición de estado de flip-flop. El primer miembro de la ecuación denota el estado siguiente de un flip-flop en el segundo miembro, una función booleana que especifica las condiciones de estado siguientes que hacen que el siguiente estado sea igual a 1. Una ecuación de estado es similar en forma a una ecuación característica de flip-flop, excepto que especifica las condiciones de estado siguiente en términos de las variables externas de entrada y otros valores del flip-flop. La ecuación de estado se deriva en forma directa mediante una tabla de estado. Por ejemplo, la ecuación de estado para el flip-flop *A* se deriva mediante la inspección de la Tabla 6-1. En las columnas del estado siguiente, se observa que el flip-flop *A* pasa al estado 1 cuatro veces: cuando $x = 0$ y $AB = 01$ o 10 , o 11 o cuando $x = 1$ y $AB = 11$. Esto puede expresarse en forma algebraica en una ecuación de estado como sigue:

$$A(t + 1) = (A'B + AB' + AB)x' + ABx$$

El segundo miembro de la ecuación de estado es una función booleana para un estado presente. Cuando esta función es igual a 1, la ocurrencia de un pulso de reloj provoca que el flip-flop tenga un estado siguiente de 1. Cuando la función es igual a 0, el pulso de reloj causa que *A* tenga un estado siguiente de 0. El primer miembro de la ecuación identifica al flip-flop por su símbolo de letra, seguido por la función de tiempo designada $(t + 1)$, para hacer énfasis en que el flip-flop alcanzará este valor una secuencia de pulso después.

La ecuación de estado es una función booleana con tiempo incluido. Es aplicable sólo en los circuitos secuenciales temporizados, ya que $A(t + 1)$ se define para cambiar valor con la ocurrencia de un pulso de reloj en instantes discretos de tiempo.

La ecuación de estado para el flip-flop *A* se simplifica mediante un mapa como se muestra en la Fig. 6-17(a). Con alguna manipulación algebraica, la función puede expresarse en la siguiente forma:

$$A(t + 1) = Bx' + (B'x)'A$$

Si se hace $Bx' = S$ y $B'x = R$, se obtiene la relación:

$$A(t + 1) = S + R'A$$

que es la ecuación característica de un flip-flop *RS* [Fig. 6-4(d)]. Esta relación entre la ecuación de estado y la ecuación característica del flip-flop puede simplificarse por la inspección del diagrama lógico en la Fig. 6-19. De esta manera puede verse que la entrada *S* del flip-flop es igual a la función booleana Bx' y que la entrada *R* es igual a $B'x$. La sustitución de esas funciones en la ecuación característica del flip-flop produce la ecuación de estado para este circuito secuencial.

La ecuación de estado para un flip-flop en un circuito secuencial puede derivarse de una tabla de estado o de un diagrama lógico. La derivación mediante la tabla de estado consiste en obtener la función booleana especificando las condiciones que hacen que el siguiente estado del flip-flop sea un 1. La derivación mediante un diagrama lógico consiste en obtener las funciones de las entradas del flip-flop y sustituirlas en la ecuación característica de flip-flop.

La derivación de la ecuación de estado para el flip-flop B mediante la tabla de estado se muestra en el mapa de la Fig. 6-17(b). Los 1 marcados en el mapa son el estado presente y las combinaciones de entrada que provocan que el flip-flop pase a un estado siguiente de 1. Estas condiciones se obtienen de manera directa mediante la Tabla 6-1. La forma simplificada que se obtiene en el mapa se manipula algebraicamente, y la ecuación de estado obtenida es:

$$B(t+1) = A'x + (Ax')'B$$

La ecuación de estado puede derivarse en forma directa mediante el diagrama lógico. A partir de la Fig. 6-15, puede verse que la señal para la entrada S del flip-flop B se genera por la función $A'x$ y la señal para la entrada R por la función Ax' . La sustitución de $S = A'x$ y $R = Ax'$ en la ecuación característica de un flip-flop RS dada por:

$$B(t+1) = S + R'B$$

se obtiene la ecuación de estado derivada antes.

Las ecuaciones de estado de todos los flip-flops junto con las funciones de salida, especifican en forma completa un circuito secuencial. Representan, algebraicamente, la misma información que una tabla de estado presenta la forma tabular y un diagrama de estado representa en forma gráfica.

Funciones de entrada de un flip-flop

El diagrama lógico de un circuito secuencial consta de elementos de memoria y compuertas. El tipo de flip-flops y sus tablas características especifican las propiedades

		B			
		00	01	11	10
A	0				1
	1	1		1	1
$\{$		x			

$$(a) \quad A(t+1) = Bx' + (B+x')A \\ \qquad \qquad \qquad = Bx' + (B'x)'A$$

		B			
		00	01	11	10
A	0		1	1	1
	1			1	
$\{$		x			

$$(b) \quad B(t+1) = A'x + (A'+x)B \\ \qquad \qquad \qquad = Ax + (Ax')'B$$

Figura 6-17 Ecuaciones de estado para los flip-flop A y B .

des lógicas de los elementos de memoria. Las interconexiones entre las compuertas forman un circuito combinacional que puede especificarse en forma algebraica con funciones booleanas. Por consiguiente, el conocimiento del tipo flip-flops y una lista de funciones booleanas del circuito combinacional proporcionan toda la información necesaria para dibujar el diagrama lógico de un circuito secuencial. La parte del circuito combinacional que genera las salidas externas se describe en forma algebraica por las *funciones de salida del circuito*. La parte del circuito que genera las entradas a flip-flops se describe de manera algebraica por un conjunto de funciones booleanas llamadas *funciones de entradas de flip-flops* o, algunas veces, *ecuaciones de entrada*.

Se adoptará la convención de usar dos letras para denotar una variable de entrada flip-flop: la primera para designar el nombre de la entrada y la segunda el nombre del flip-flop. Como un ejemplo, considérense las siguientes funciones de entrada flip-flop:

$$\begin{aligned} JA &= BC'x + B'Cx' \\ KA &= B + y \end{aligned}$$

JA y KA denotan dos variables booleanas. La primera letra en cada una denota la entrada J y K , respectivamente, de un flip-flop JK . La segunda letra A es el símbolo del nombre del flip-flop. El segundo miembro de cada ecuación es una función booleana para la variable correspondiente de entrada al flip-flop. La implicación de las dos funciones de entrada se muestra en el diagrama lógico en la Fig. 6-18. El flip-flop JK tiene un símbolo de salida A y las dos entradas etiquetadas J y K . El circuito combinacional dibujado en el diagrama es la implantación de la expresión algebraica dada por las funciones de entrada. Las salidas del circuito combinacional se denotan por JA y KA en las funciones de entrada si van a las entradas J y K , respectivamente, del flip-flop A .

Mediante este ejemplo, puede verse que una función de entrada flip-flop es una expresión algebraica para un circuito combinacional. La designación de dos letras es un nombre de una variable para una *salida* del circuito combinacional. Esta salida siempre está conectada a la *entrada* (denotada por la primera letra) de un flip-flop (designado por la segunda letra).

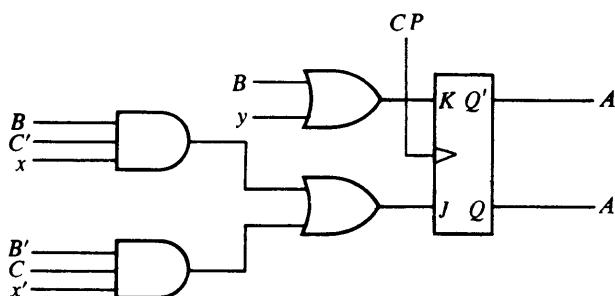


Figura 6-18 Implementación de las funciones de entrada al flip-flop $JA = BC'x + B'Cx'$ y $KA = B + y$.

El circuito secuencial en la Fig. 6-15 tiene una entrada x , una salida y , y dos flip-flops RS denotados por A y B . El diagrama lógico puede expresarse en forma algebraica con cuatro funciones de entrada flip-flop y una función de salida del circuito como sigue:

$$\begin{aligned} SA &= Bx' & RA &= B'x \\ SB &= A'x & RB &= Ax' \\ y &= AB'x \end{aligned}$$

Este conjunto de funciones booleanas especifica por completo el diagrama lógico. Las variables SA y RA especifica un flip-flop RS etiquetado A ; las variables SB y RB especifican un segundo flip-flop RS etiquetado B . La variable y denota la salida. Las expresiones booleanas para las variables especifican el circuito combinacional que es parte del circuito secuencial.

Las funciones de entrada flip-flop constituyen una forma algebraica conveniente para especificar un diagrama lógico de un circuito secuencial. Implican el tipo de flip-flop mediante la primera letra de las variables de entrada y especifican por completo el circuito combinacional que impulsa al flip-flop. El tiempo no se incluye en forma explícita en estas ecuaciones, pero se implica mediante la operación del pulso de reloj. Algunas veces es conveniente especificar en forma algebraica un circuito secuencial con las funciones de salida del circuito y las funciones de entrada del flip-flop, en lugar de dibujar el diagrama lógico.

6-5 REDUCCION Y ASIGNACION DE ESTADO

El análisis de los circuitos secuenciales principia mediante un diagrama de circuito y culmina en una tabla de estado o diagrama. El diseño de un circuito secuencial se inicia mediante un conjunto de especificaciones y termina en un diagrama lógico. Los procedimientos de diseño se presentan comenzando desde la Sección 6-7. En esta sección se exponen ciertas propiedades de los circuitos secuenciales que pueden usarse para reducir el número de compuertas y de flip-flops durante el diseño.

Reducción de estado*

En cualquier proceso de diseño debe considerarse el problema de minimizar el costo del circuito final. Las dos reducciones de costo más obvias son las reducciones en el número de flip-flops y el número de compuertas. Debido a que estos dos detalles parecen los más evidentes, se han estudiado e investigado extensamente. De hecho, una gran parte del tema de la teoría de conmutación se dedica a la búsqueda de algoritmos para minimizar el número de flip-flops y compuertas en los circuitos secuenciales.

* En la Sección 9-5 pueden encontrarse más explicaciones y más ejemplos de reducción de estados.

La reducción del número de flip-flops en un circuito secuencial se conoce como el problema de *reducción de estado*. Los algoritmos de reducción de estado tratan con procedimientos para reducir el número de estados en una tabla de estados mientras se mantienen sin cambio los requisitos de entrada-salida externa. Ya que m flip-flops producen 2^m estados, una reducción en el número de estados puede (o no puede) dar por resultado una reducción en el número de flip-flops. Un efecto no predecible al reducir el número de flip-flops es que algunas veces el circuito equivalente (con menos flip-flops) puede requerir más compuertas combinacionales.

Se ilustrará la necesidad de la reducción de estado con un ejemplo. Se principia con un circuito secuencial cuya especificación está dada en el diagrama de estado en la Fig. 6-19. En este ejemplo, sólo son importantes las secuencias de entrada-salida; los estados internos sólo se usan para proporcionar las secuencias requeridas. Por esta razón, los estados que se marcan dentro de los círculos se denotan por símbolos alfabéticos en lugar de sus valores binarios. Esto es en contraste a un contador binario, donde la secuencia de valores binarios de los estados por sí mismos se toman como las salidas.

Hay un número infinito de secuencias de entrada que pueden aplicarse al circuito, cada una conduce a una secuencia única de salidas. Como ejemplo, considérese la secuencia de entrada 01010110100 principiando desde el estado inicial *A*. Cada entrada de 0 o 1 produce una salida de 0 o 1 y causa que el circuito pase al estado siguiente. Mediante el diagrama de estado, se obtiene la secuencia de salida y estado para la secuencia dada de entrada como sigue: en el circuito en el estado inicial *A*, una entrada de 0 produce una salida de 0 y el circuito permanece en el estado *a*. Con el estado presente *a* y entrada de 1, la salida es 0 y el estado siguiente es *b*. Con el estado presente *b* y la entrada de 0, la salida es 0 y el estado siguiente es *b*. Continuando este proceso se encuentra la secuencia completa como sigue:

estado	<i>a</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>f</i>	<i>g</i>	<i>f</i>	<i>g</i>	<i>a</i>
entrada	0	1	0	1	0	1	1	0	1	0	0	
salida	0	0	0	0	0	1	1	0	1	0	0	

En cada columna, se tiene el estado presente, el valor de entrada y el valor de salida. El estado siguiente se escribe en la parte superior de la siguiente columna. Es importante tomar en cuenta que en este circuito los estados por sí mismos son de importancia secundaria, ya que se tiene interés sólo en las secuencias de salida que provocan las secuencias de entrada.

Ahora se supone que se ha encontrado un circuito secuencial cuyo diagrama de estado tiene menos de siete estados y se desea compararlos con el circuito cuyo diagrama de estado está dado en la Fig. 6-19. Si se aplican secuencias de entrada idénticas a los dos circuitos y ocurren salidas idénticas para todas las secuencias de entrada, entonces se dice que los dos circuitos son equivalentes (en lo que respecta a la entrada-salida) y uno puede reemplazarse por el otro. El problema de reducción de estado es encontrar formas de reducir el número de estados en un circuito secuencial y alterar las relaciones de entrada-salida.

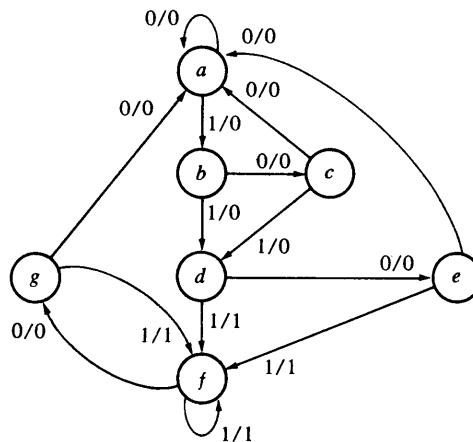


Figura 6-19 Diagrama de estado.

Ahora se procede a reducir el número de estados para este ejemplo. Primero, se necesita la tabla de estado; es más conveniente aplicar los procedimientos para reducción de estados aquí que en los diagramas de estado. La tabla de estado del circuito se lista en la Tabla 6-2 y se obtienen en forma directa mediante el diagrama de estado en la Fig. 6-19.

Aquí se presenta, sin prueba, un algoritmo para la reducción de estado de una tabla de estado por completo especificada: "Se dice que dos estados son equivalentes si, para cada miembro del conjunto de entradas, dan exactamente la misma salida y envían al circuito ya sea al mismo estado o a un estado equivalente. Cuando dos estados son equivalentes, uno de ellos puede eliminarse sin alterar las relaciones de entrada-salida".

Se aplica este algoritmo a la Tabla 6-2. Al pasar a través de la tabla de estado, se buscan dos estados presentes que vayan al mismo estado siguiente que tengan la misma salida para ambas combinaciones de entrada. Los estados *g* y *e* son dos de

TABLA 6-2 Tabla de estados

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
<i>a</i>	<i>a</i>	<i>b</i>	0	0
<i>b</i>	<i>c</i>	<i>d</i>	0	0
<i>c</i>	<i>a</i>	<i>d</i>	0	0
<i>d</i>	<i>e</i>	<i>f</i>	0	1
<i>e</i>	<i>a</i>	<i>f</i>	0	1
<i>f</i>	<i>g</i>	<i>f</i>	0	1
<i>g</i>	<i>a</i>	<i>f</i>	0	1

dichos estados; ambos van a los estados a y f y tienen salidas de 0 y 1 para $x=0$ y $x=1$, respectivamente. Por eso, los estados g y e son equivalentes; puede eliminarse uno. El procedimiento de eliminar un estado y reemplazarlo por su equivalente se demuestra en la Tabla 6-3. El renglón con el estado presente g se cruza y el estado g se reemplaza por el estado e cada vez que ocurre en las columnas de estados siguientes.

El estado presente f ahora tiene estados siguientes e y f y salidas 0 y 1 para $x=0$ y $x=1$, respectivamente. Los mismos estados siguientes y salidas aparecen en el renglón con el estado presente d . Por lo tanto, los estados f y g son equivalentes. El estado f puede eliminarse y reemplazarse por d . La tabla repetida final se muestra en la Tabla 6-4. El diagrama de estado para la tabla reducida consta sólo de cinco estados y se muestra en la Fig. 6-20. Este diagrama de estado satisface las especificaciones originales de entrada-salida y producirá la secuencia referida de salida para cualquier secuencia dada de entrada. La siguiente lista que se deriva mediante el diagrama de estado en la Fig. 6-20 es para la secuencia de entrada que se utilizó con anterioridad. Se observa que resulta la misma secuencia de salida aunque la secuencia de estado sea diferente:

estado	a	a	b	c	d	e	d	d	e	d	e	a
entrada	0	1	0	1	0	1	1	0	1	0	0	
salida	0	0	0	0	0	1	1	0	1	0	0	

De hecho, esta secuencia es exactamente la misma que se obtuvo de la Fig. 6-19, y se reemplaza e por g y d por f .

Vale la pena observar que la reducción en el número de estados de un circuito secuencial es posible si se tiene sólo interés en las relaciones externas de salida-entrada. Cuando se toman en forma directa salidas externas de los flip-flops, las salidas deben ser independientes del número de estados antes de que se apliquen algoritmos de reducción de estado.

El circuito secuencial de este ejemplo se redujo de siete a cinco estados. En cualquier caso, la representación de los estados con componentes físicos requiere que

TABLA 6-3 Reducción de la tabla de estados

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	f	0	1
e	a	f	0	1
f	g	f	0	1
g	a	f	0	1

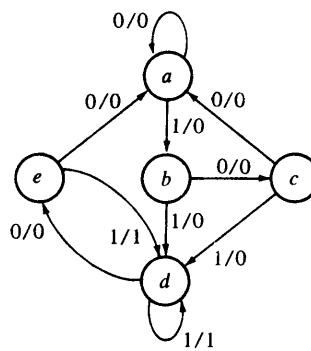


Figura 6-20 Diagrama reducido de estado.

se usen tres flip-flops, ya que m flip-flops pueden representar hasta 2^m estados distintos. Con tres flip-flops, pueden formularse hasta ocho estados binarios denotados por números binarios 000 hasta 111, con cada bit designando el estado de un flip-flop. Si se utiliza la tabla de estado en la Tabla 6-2, deben asignarse valores binarios a siete estados; el estado restante no se usa. Si se utiliza la tabla de estado en la Tabla 6-4, sólo cinco estados necesitan asignación binaria, y quedan tres estados sin uso. Los estados sin uso se tratan como condiciones no importa durante el diseño del circuito. Ya que las condiciones no importa por lo común ayudan a obtener funciones booleanas más simples, es más probable que el circuito con cinco estados requiera menos compuertas combinacionales que el circuito con siete estados. En cualquier caso, la reducción de siete a cinco estados no reduce el número de flip-flops. En general, la reducción del número de compuertas en una tabla de estado es probable que resulte en un circuito con menos equipo. Sin embargo, el hecho de que una tabla de estado se ha reducido a menos estados no garantiza un ahorro en el número de flip-flops o de compuertas.

Asignación de estado

El costo de un circuito combinacional parte de un circuito secuencial puede reducirse por el uso de métodos conocidos de simplificación para los circuitos combinacionales.

TABLA 6-4 Tabla reducida de estados

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
<i>a</i>	<i>a</i>	<i>b</i>	0	0
<i>b</i>	<i>c</i>	<i>d</i>	0	0
<i>c</i>	<i>a</i>	<i>d</i>	0	0
<i>d</i>	<i>e</i>	<i>d</i>	0	1
<i>e</i>	<i>a</i>	<i>d</i>	0	1

Sin embargo, hay otro factor, conocido como el problema de *asignación de estado*, que entra en juego al minimizar las compuertas combinacionales. Los procedimientos de asignación de estado se ocupan con métodos para asignar valores binarios a los estados, en tal forma que reducen el costo de un circuito combinacional que impulsa a los flip-flops. Esto es de particular ayuda cuando se considera un circuito secuencial desde sus terminales externas de entrada-salida. Tal circuito puede seguir una secuencia de estados internos, pero los valores binarios de los estados individuales puede no ser de consecuencia mientras el circuito produzca la secuencia referida de salida para una secuencia dada de entradas. Esto no se aplica a circuitos cuyas salidas externas se aplican de manera directa mediante flip-flops con secuencias binarias especificadas por completo.

Las alternativas disponibles de asignación al estado binario pueden demostrarse junto con el circuito secuencial que se especifica en la Tabla 6-4. Recuérdese que, en este ejemplo, los valores binarios de los estados son inmateriales mientras que su secuencia mantenga las relaciones apropiadas de entrada-salida. Por esta razón, cualquier asignación de número binario es satisfactoria en tanto que cada estado esté asignado a un número único. En la Tabla 6-5 se muestran tres ejemplos de asignaciones binarias posibles para los cinco estados de la tabla reducida. La asignación 1 es una asignación binaria directa para la secuencia de estados desde *a* hasta *e*. Las otras dos asignaciones se eligen en forma arbitraria. De hecho, hay 140 diferentes asignaciones distintas para este circuito (11).

La Tabla 6-6 es la tabla de estado reducida con asignación binaria 1 sustituida por los símbolos de letra de los cinco estados.* Es obvio que una asignación binaria diferente causará una tabla de estado con distintos valores binarios para los estados, en tanto las relaciones de entrada-salida permanezcan iguales. La forma binaria de la tabla de estado se utiliza para derivar el circuito combinacional parte del circuito secuencial. La complejidad del circuito combinacional depende de la asignación binaria de estado que se escoja. El diseño del circuito secuencial que se presenta en esta sección se completa en el Ejemplo 6-1 de la Sección 6-7.

Se han sugerido diversos procedimientos que conducen a una asignación binaria particular de las muchas disponibles. El criterio más común es que la asignación que se escoja debe producir un circuito combinacional simple para las entradas flip-flop. Sin

* Una tabla de estado estable con asignación binaria se denomina en ocasiones *tabla de transición*.

TABLA 6-5 Asignaciones de tres estados posibles

Estado	Asignación 1	Asignación 2	Asignación 3
<i>a</i>	001	000	000
<i>b</i>	010	010	100
<i>c</i>	011	011	010
<i>d</i>	100	101	101
<i>e</i>	101	111	011

embargo, a la fecha, no hay procedimientos de asignación de estado que garanticen un circuito combinacional de mínimo costo. La asignación de estado es uno de los problemas de reto de la teoría de conmutación. El lector interesado encontrará una rica y cada vez más abundante literatura sobre este tema. Las técnicas para tratar los problemas de asignación de estado rebasan el alcance de este libro.

6-6 TABLAS DE EXCITACION FLIP-FLOP

Las tablas características de los diversos flip-flops se presentaron en la Sección 6-2. Una tabla característica define la propiedad lógica del flip-flop y caracteriza por completo su operación. Los circuitos integrados flip-flops algunas veces se definen por una tabla característica tabulada en forma un poco diferente. Esta segunda forma de las tablas características para los flip-flops *RS*, *JK*, *D* y *T* se muestra en la Tabla 6-7. Representa la misma información que las tablas características en las Figs. 6-4(c) a la 6-7(c).

En la Tabla 6-7 se define el estado de cada flip-flop como una función de sus entradas y su estado previo. $Q(t)$ se refiere al estado presente y $Q(t+1)$ al siguiente estado después de la ocurrencia de un pulso de reloj. La tabla característica para los flip-flops *RS* muestra que el estado siguiente es igual al estado presente cuando tanto la entrada *S* como la *R* son 0. Cuando la entrada *R* es igual a 1, el siguiente pulso de reloj despeja el flip-flop. Cuando la entrada *S* es igual a 1, el siguiente pulso de reloj establece el flip-flop. El signo de interrogación para el siguiente estado cuando tanto *S* como *R* son iguales a 1 en forma simultánea designa un estado siguiente indeterminado.

La tabla para el flip-flop *JK* es la misma que para el *RS*, cuando *J* y *K* se reemplazan por *S* y *R*, respectivamente, excepto para el caso indeterminado. Cuando tanto *J* como *K* son iguales a 1, el estado siguiente es igual al complemento del estado presente, esto es, $Q(t+1) = Q'(t)$. El estado siguiente del flip-flop *D* depende por completo de la entrada *D* y es independiente del estado presente. El siguiente estado del flip-flop *T* es el mismo que el estado presente si $T = 0$ y se complementa si $T = 1$.

La tabla característica es útil para análisis y para definir la operación del flip-flop. Especifica el estado siguiente cuando las entradas del estado presente se conocen. Durante el proceso de diseño, por lo común se conoce la transición del

TABLA 6-6 Tabla reducida de estados con la asignación binaria 1

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
001	001	010	0	0
010	011	100	0	0
011	001	100	0	0
100	101	100	0	1
101	001	100	0	1

TABLA 6-7 Tablas flip-flop características

S	R	$Q(t + 1)$	J	K	$Q(t + 1)$
0	0	$Q(t)$	0	0	$Q(t)$
0	1	0	0	1	0
1	0	1	1	0	1
1	1	?	1	1	$Q'(t)$

(a) RS

(b) JK

D	$Q(t + 1)$
0	0
1	1

(c) D

T	$Q(t + 1)$
0	$Q(t)$
1	$Q'(t)$

(d) T

estado presente al estado siguiente y se desea encontrar las condiciones de entrada del flip-flop, que provocarán la transición requerida. Por esta razón, se necesita una tabla que liste las entradas requeridas para un cambio dado de estado. Dicha lista se denomina tabla de excitación.

En la Tabla 6-8 se presentan las tablas de excitación para los cuatro flip-flops. Cada tabla consta de dos columnas, $Q(t)$ y $Q(t + 1)$, y una columna para cada entrada para mostrar cómo se logra la transición requerida. Hay cuatro transiciones posibles desde el estado presente al estado siguiente. Las condiciones requeridas de entrada para cada una de las cuatro transiciones se derivan mediante la información disponible en la tabla característica. El símbolo X en las tablas representa condiciones no importa, esto es, no importa si la entrada es 1 o 0.

Flip-flop RS

La tabla de excitación para el flip-flop RS se muestra en la Tabla 6-8(a). En el primer renglón se muestra el flip-flop en el estado 1 en el tiempo t . Se desea dejarlo en el estado 0 después de la ocurrencia del pulso. Mediante la tabla característica, se encuentra que si S al igual que R son 0, el flip-flop no cambiará de estado. En consecuencia, tanto la entrada S como la R deben 0. Sin embargo, en realidad no importa si R se hace un 1, cuando ocurre el pulso, ya que resulta en que deja el flip-flop en el estado, 0. Por eso R puede ser 1 o 0 y el flip-flop permanecerá en el estado 0 en $t + 1$. Así, la entrada bajo R se marca X como condición no importa.

Si el flip-flop está en el estado 0 y se desea que pase al estado 1, entonces mediante la tabla característica, se encuentra que la única forma de hacer $Q(t + 1)$ igual a 1 es hacer $S = 1$ y $R = 0$. Si el flip-flop va a tener una transición del estado 1 al estado 0, debe tenerse $S = 0$ y $R = 1$.

La última condición que puede ocurrir es para que el flip-flop esté en el estado 1 y permanezca en el estado 1. Por supuesto R debe ser 0; no se desea despejar el flip-flop. Sin embargo, S puede ser ya sea un 0 o un 1. Si es 0, el flip-flop no cambia y permanece en el estado 1; si es un 1, se establece el flip-flop en el estado 1, como se desea. Así que, S se lista como una condición no importa.

Flip-flop JK

La tabla de excitación para el flip-flop JK se muestra en la Tabla 6-8(b). Cuando tanto el estado presente como el estado siguiente son 0, la entrada J deberá permanecer en 0 y la entrada K podrá ser 0 o bien 1. En forma similar, cuando tanto el estado presente como el siguiente son 1, la entrada K debe permanecer en 0 mientras la entrada J puede ser 0 o 1. Si el flip-flop va a tener una transición del estado 0 al estado 1, J debe ser igual a 1 ya que la entrada J establece el flip-flop. No obstante, la entrada K puede ser 0 o bien 1. Si $K = 0$, condición la $J = 1$ establece el flip-flop cuando se requiere; si $K = 1$ y $J = 1$, el flip-flop está complementado y pasa del estado 0 al estado 1 cuando se requiere. En este caso, la entrada K se marca con una condición no importa para la transición de 0-a-1. Para una transición del estado 1 al estado 0, debe tenerse $K = 1$, ya que la entrada K despeja el flip-flop. Sin embargo la entrada J puede ser 0 o bien 1, ya que $J = 0$ no tiene efecto, $J = 1$ junto con $K = 1$ complementa el flip-flop con una transición resultante del estado 1 al estado 0.

La tabla de excitación para el flip-flop JK ilustra la ventaja de usar este tipo cuando se diseña en circuitos secuenciales. El hecho de que tiene muchas condiciones no importa indica que los circuitos combinacionales para las funciones de entrada son

TABLA 6-8 Tablas de excitación flip-flop

$Q(t)$	$Q(t + 1)$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

(a) RS

$Q(t)$	$Q(t + 1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(b) JK

$Q(t)$	$Q(t + 1)$	D
0	0	0
0	1	1
1	0	0
1	1	1

(c) D

$Q(t)$	$Q(t + 1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

(d) T

susceptibles de ser más simples debido a que los términos no importa por lo común simplifican a una función.

Flip-flop *D*

La tabla de excitación para el flip-flop *D* se muestra en la Tabla 6-8(c). Mediante la tabla característica, Tabla 6-7(c), se observa que el estado siguiente siempre es igual a la entrada *D* y es independiente del estado presente. De este modo, *D* debe ser 0 si $Q(t + 1)$ ha de ser 0, y 1 si $Q(t + 1)$ tiene que ser 1, sin importar el valor de $Q(t)$.

Flip-flop *T*

La tabla de excitación para el flip-flop *T* se muestra en la Tabla 6-8(d). Mediante la tabla característica, Tabla 6-7(d), se encuentra que cuando la entrada $T = 1$, el estado del flip-flop se complementa; cuando $T = 0$, el estado del flip-flop permanece sin cambio. En consecuencia, cuando el estado del flip-flop debe permanecer igual, el requisito es que $T = 0$. Cuando el estado del flip-flop tiene que complementarse, T debe ser igual a 1.

Otros flip-flops

El procedimiento de diseño que se describe en este capítulo puede usarse con cualquier flip-flop. Es necesario conocer la tabla característica del flip-flop de la cual es posible desarrollar una nueva tabla de excitación. La tabla de excitación se utiliza entonces para determinar las funciones de entrada del flip-flop, como se explica en la siguiente sección.

6-7 PROCEDIMIENTO DE DISEÑO

El diseño de un circuito secuencial temporizado principia mediante un conjunto de especificaciones y culmina en un diagrama lógico o en una lista de funciones booleanas, mediante las cuales puede obtenerse el diagrama lógico. En contraste con un circuito combinacional, que está especificado por completo por una tabla de verdad, un circuito secuencial requiere una tabla de estado para su especificación. El primer paso en el diseño de circuitos secuenciales es obtener una tabla de estado o una representación equivalente, como por ejemplo un diagrama de estado o ecuaciones de estado.

Un circuito secuencial síncrono está hecho de flip-flops y compuertas combinacionales. El diseño del circuito consiste en escoger los flip-flops y entonces encontrar una estructura de compuertas combinacionales que, junto con los flip-flops, producen un circuito que cumple con las especificaciones establecidas. El número de flip-flops se determina mediante el número de estados necesarios en el circuito. El circuito combinacional se deriva mediante la tabla de estado por métodos que se presentan en este capítulo. De hecho, una vez que se determina el tipo y número de flip-flops, el proceso

de diseño implica una transformación del problema del circuito secuencial en un problema de circuito combinacional. En esta forma, pueden aplicarse las técnicas del circuito combinacional.

En esta sección se presenta un procedimiento para el diseño de circuitos secuenciales. Aunque se intenta que sirva como una guía para el principiante, este procedimiento puede reducirse con la experiencia. El procedimiento primero se resume en una lista de pasos consecutivos que se recomiendan como sigue:

1. La descripción verbal del comportamiento del circuito se establece. Esta descripción puede ir acompañada con un diagrama de estado, un diagrama de temporizado o bien otra información pertinente.
2. A partir de la información dada sobre el circuito, se obtiene la tabla de estado.
3. El número de estados puede reducirse por los métodos de reducción de estado y el circuito secuencial puede caracterizarse por las relaciones entrada-salida independientemente del número de estados.
4. Se asignan valores binarios a cada estado si la tabla de estado obtenida en los pasos 2 o 3 contiene símbolos alfábéticos.
5. Se determina el número de flip-flops necesarios y se asigna un símbolo alfábético a cada uno.
6. Se escoge el tipo de flip-flop que va a usarse.
7. Mediante la tabla de estado se derivan las tablas de excitación y salida del circuito.
8. Por el uso del método de mapa o cualquier otro método de simplificación, se derivan las funciones de salida y las de entrada del flip-flop.
9. Se dibuja el diagrama lógico.

La especificación verbal del comportamiento del circuito por lo común supone que el lector está familiarizado con la terminología de la lógica digital. Es necesario que el diseñador utilice su intuición y experiencia para llegar a la interpretación correcta de las especificaciones del circuito, debido a que las descripciones verbales pueden ser incompletas e inexactas. Sin embargo, una vez que se ha establecido dicha especificación y se ha obtenido la tabla de estado, es posible hacer uso del procedimiento formal para diseñar el circuito.

La reducción del número de estados y la asignación de valores binarios a los estados se expuso en la Sección 6-5. En los ejemplos que siguen se supone que se conocen el número de estado y la asignación binaria para los estados. Como consecuencia, los pasos 3 y 4 del diseño no se considerarán en las exposiciones subsecuentes.

Ya se ha mencionado que el número de flip-flops está determinado por el número de estados. Un circuito puede tener estados binarios sin usar, si el número total de estados es menor que 2^n . Los estados que no se usan se toman como condiciones no importa durante el diseño del circuito combinacional parte del circuito.

El tipo de flip-flop que va a usarse puede incluirse en las especificaciones de diseño o puede depender de lo que esté disponible para el diseñador. Muchos sistemas digitales se construyen por completo con flip-flops *JK* porque son el tipo más versátil disponible. Cuando están disponibles muchos tipos de flip-flops, es aconsejable usar el flip-flop *RS* o *D* para aplicaciones que requieren transferencia de datos (como registradores con corrimiento), el tipo *T* para aplicaciones que implican complementación (como contadores binarios) y el tipo *JK* para aplicaciones generales.

La información de la salida externa se especifica en la sección de salida en la tabla de estado. Mediante ella pueden derivarse las funciones de salida del circuito. La tabla de excitación para el circuito es similar a la de los flip-flops individuales, excepto que las condiciones de entrada están listadas por la información disponible en las columnas de estado presente y estado siguiente de la tabla de estado. El método para obtener la tabla de excitación y las funciones simplificadas de entrada flip-flops se ilustran mejor con un ejemplo.

Se desea diseñar el circuito secuencial temporizado cuyo diagrama de estado está dado en la Fig. 6-21. El tipo de flip-flop que va a usarse es *JK*.

El diagrama de estado consta de cuatro estados con valores binarios ya asignados. Ya que las líneas dirigidas están marcadas con un solo dígito binario sin una /, se concluye que hay una variable de entrada y no hay variables de salida. (El estado de los flip-flops puede considerarse como las salidas del circuito.) Los dos flip-flops necesarios para representar los cuatro estados se denotan *A* y *B*. La variable de estado se denota *x*.

La tabla de estado para este circuito, derivada mediante el diagrama de estado, se muestra en la Tabla 6-9. Obsérvese que no hay sección de salida para este circuito. Ahora se mostrará el procedimiento para obtener la tabla de excitación y la estructura de compuertas combinacionales.

La derivación de la tabla de excitación se facilita si se ordena la tabla de estado en una forma diferente. Esta forma se muestra en la Tabla 6-10, donde el estado presente y las variables de entrada están ordenadas en la forma de una tabla de verdad. El valor del estado siguiente para cada estado presente y las condiciones de entrada se copian de la Tabla 6-9. La tabla de excitación de un circuito es una lista de las

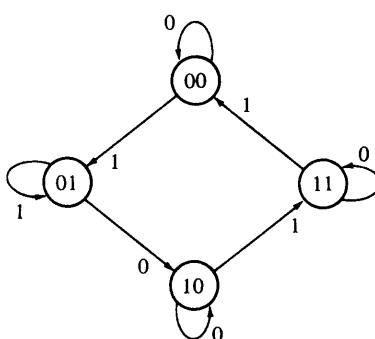


Figura 6-21 Diagrama de estado.

TABLA 6-9 Tabla de estado

Estado presente		Estado siguiente			
		$x = 0$		$x = 1$	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	1
1	1	1	1	0	0

condiciones de entrada flip-flop que causarán las transiciones requeridas de estado y es una función del tipo de flip-flop que se utilice. Ya que este ejemplo especifica flip-flops JK , se necesitan columnas para las entradas J y K de los flip-flops A (denotadas por JA y KA) y B (denotadas por JB y KB).

La tabla de excitación para el flip-flop JK se derivó en la Tabla 6-8(b). Esta tabla se usa ahora para derivar la tabla de excitación del circuito. Por ejemplo, en el primer renglón de la Tabla 6-10 se tiene una transición para el flip-flop A desde 0 en el estado presente hasta 0 en el estado siguiente. En la Tabla 6-8(b) se encuentra que una transición de estado desde 0 hasta 0 requiere que la entrada $J=0$ y la entrada $K=X$, de modo que 0 y X se copian del primer renglón bajo JA y KA , respectivamente. Ya que el primer renglón también muestra una transición para el flip-flop B desde 0 en el estado presente hasta 0 en el estado siguiente, 0 y X se copian en el primer renglón bajo JB y

TABLA 6-10 Tabla de excitación

Entradas del circuito combinacional			Estado siguiente	Salidas del circuito combinacional				
Estado presente	Entrada			Entradas flip-flop				
A	B	x	A	B	JA	KA	JB	KB
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

KB. El segundo renglón de la Tabla 6-10 muestra una transición para el flip-flop *B* desde 0 en el estado presente hasta 1 en el estado siguiente. Mediante la Tabla 6-8(b) se encuentra que una transición desde 0 hasta 1 requiere que la entrada $J = 1$ y la entrada $K = X$. De modo que 1 y X se copian en el segundo renglón bajo *JB* y *KB*, respectivamente. Este proceso se continúa para cada renglón de la tabla y para cada flip-flop, con las condiciones de entrada como se especifican en la Tabla 6-8(b) que se copian en el renglón apropiado del flip-flop particular que se esté considerando.

Se hace ahora una pausa y se considera la información disponible en una tabla de excitación como la Tabla 6-10. Se sabe que un circuito secuencial consta de un número de flip-flops y un circuito combinacional. En la Fig. 6-22 se muestran los dos flip-flops *JK* necesarios para el circuito y una caja que representa el circuito combinacional. Mediante el diagrama de bloques, es claro que las salidas del circuito combinacional van a las entradas flip-flop y las salidas externas (si se especifica). Las entradas al circuito combinacional son las entradas externas y los valores de estado presentes de los flip-flops. Además, las funciones booleanas que especifican un circuito combinacional se derivan mediante una tabla de verdad que muestra las relaciones de entrada-salida del circuito. La tabla de verdad que describe al circuito combinacional está disponible en la tabla de excitación. Las *entradas* al circuito combinacional se especifican bajo las columnas de estado presente y entrada, y las *salidas* del circuito combinacional se especifican bajo las columnas de entrada flip-flop. Por lo tanto, una tabla de excitación transforma un diagrama de estado en la tabla de verdad necesaria para el diseño del circuito combinacional parte del circuito secuencial.

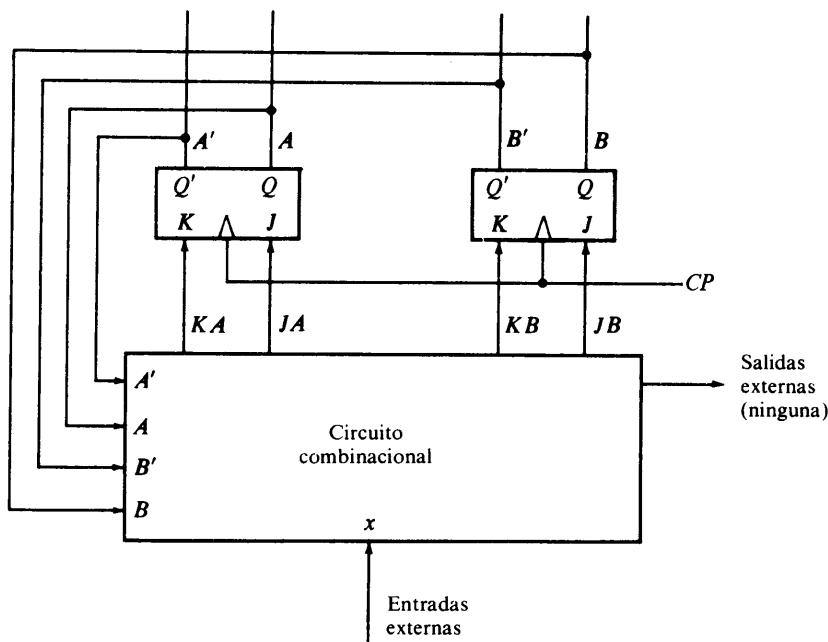


Figura 6-22 Diagrama de bloques del circuito secuencial.

Las funciones booleanas simplificadas para el circuito combinacional pueden derivarse ahora. Las entradas son las variables A , B y x ; las salidas son las variables JA , KA , JB y KB . La información de la tabla de verdad se transfiere a los mapas en la Fig. 6-23, donde se derivan las cuatro funciones simplificadas de entrada flip-flop:

$$\begin{array}{ll} JA = Bx' & KA = Bx \\ JB = x & KB = A \odot x \end{array}$$

El diagrama lógico se dibuja en la Fig. 6-24 y consta de dos flip-flops, dos compuertas AND, una compuerta de equivalencia y un inversor.

Con alguna experiencia, es posible reducir la cantidad de trabajo implicado en el diseño del circuito combinacional. Por ejemplo, es posible obtener la información de los mapas en la Fig. 6-23 en forma directa en la Tabla 6-9, sin tener que derivar la Tabla 6-10. Esto se hace por el paso sistemático a través de cada estado presente y combinación de entrada en la Tabla 6-9 y comparando con los valores binarios del estado siguiente correspondiente. Entonces, se determinan las condiciones requeridas de entrada como las especifica la excitación flip-flop en la Tabla 6-8. En lugar de insertar los 0, 1 o X obtenidos dentro de la tabla de excitación, pueden escribirse en forma directa en el cuadro adecuado del mapa apropiado.

La tabla de excitación de un circuito secuencial con m flip-flops, k entradas por flip-flop y n impulsos externos está formada por $m + n$ columnas para el estado presente y variables de entrada y hasta 2^{m+n} renglones listados en alguna cuenta binaria conveniente. La sección de estado siguiente tiene m columnas, una para cada flip-flop. Los valores de entrada flip-flop se listan en mk columnas, una para cada entrada de cada flip-flop. Si el circuito contiene j salidas, la tabla debe incluir j columnas. La tabla de verdad del circuito combinacional se toma de la tabla de excitación considerando los $m + n$ estados presentes y columnas de entrada como entradas y los $mk + j$ valores de entrada flip-flop y las salidas externas como salidas.

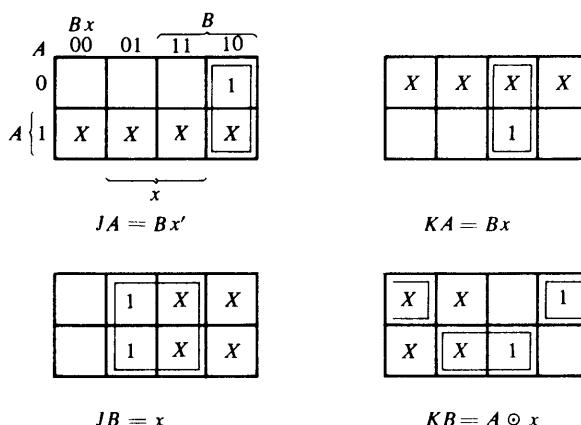


Figura 6-23 Mapas para el circuito combinacional.

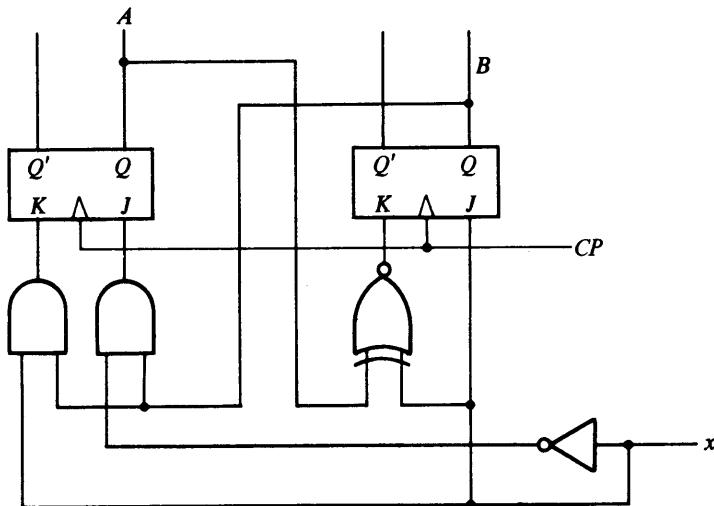


Figura 6-24 Diagrama lógico del circuito secuencial.

Diseño con estados sin uso

Un circuito con m flip-flops puede tener 2^m estados. Hay ocasiones en las que un circuito secuencial puede utilizar menos de este número máximo de estado. Los estados que no se usan en la especificación del circuito secuencial no se listan en la tabla de estado. Cuando se simplifican las funciones de entrada a los flip-flops, los estados sin uso pueden tratarse como condiciones no importa.

EJEMPLO 6-1: Complete el diseño del circuito secuencial que se presenta en la Sección 6-5. Use la tabla de estado reducida con asignación 1 como se da en la Tabla 6-6. El circuito empleará flip-flops *RS*.

La tabla de estados de la Tabla 6-6 vuelve a dibujarse en la Tabla 6-11 en la forma conveniente para obtener la tabla de excitación. Las condiciones de entrada flip-flop se derivan mediante las columnas de estado presente y estado siguiente de la tabla de estado. Ya que se usan flip-flops *RS*, se necesita consultar la Tabla 6-8(a) para las condiciones de excitación de este tipo de flip-flops. Los tres flip-flops reciben nombres de variables *A*, *B* y *C*. La variable de entrada es *x* y la variable de salida es *y*. La tabla de excitación del circuito proporciona toda la información necesaria para el diseño.

Hay tres estados sin usar de este circuito: estados binarios 000, 110 y 111. Cuando se incluye una entrada de 0 o 1 con estos estados no usados, se obtienen seis mintérminos no importa 0, 1, 12, 13, 14 y 15. Estas seis combinaciones binarias no se listan en la tabla bajo estado presente y entrada y se tratan como términos no importa.

El circuito combinacional parte del circuito secuencial se simplifica en los mapas de la Fig. 6-25. Hay siete mapas en el diagrama: seis mapas son para simplificar las funciones de entrada para los tres flip-flops *RS*. El séptimo mapa es para simplificar la salida *y*. Cada mapa tiene seis *X* en los cuadros de los mintérminos no importa 0, 1, 2, 13, 14 y 15. Los otros términos no importa en el mapa provienen de las *X* en las columnas de entrada flip-flop de la tabla. Las funciones simplificadas se listan bajo cada mapa. El diagrama lógico obtenido mediante esas funciones booleanas se dibuja en la Fig. 6-26.

Un factor que hasta este punto no se ha considerado en el diseño es el estado inicial de un circuito secuencial. Cuando se conecta primero la potencia en un circuito digital, no se conoce en qué estado se asentará los flip-flops. Es costumbre proporcionar una entrada maestra de restaurar cuyo propósito es inicializar los estados de todos los flip-flops en el sistema. En forma típica, la señal maestra de restaurar se aplica a todos los flip-flops en forma síncrona antes de iniciar las operaciones temporizadas. En la mayoría de los casos los flip-flops se despejan en 0 por la señal maestra de restaurar pero algunos pueden ajustarse en 1. Por ejemplo, el circuito en la Fig. 6-26 puede restaurarse en forma inicial en un estado *ABC* = 001, ya que el estado 000 no es un estado válido para este circuito.

¿Pero, qué pasa si un circuito no se restaura a un estado inicial válido? O peor aún, ¿qué sucede si debido a una señal de ruido o cualquier otra razón no prevista el circuito mismo se encuentra en uno de sus estados inválidos? En ese caso es necesario asegurar que el circuito en forma eventual pasará a uno de los estados válidos de modo que pueda reasumir la operación normal. En otra forma, si el circuito secuencial circula entre estados inválidos, no habrá forma de devolverlo a su secuencia intentada de transiciones de estado. Aun cuando puede suponerse que esta condición indeseable no

TABLA 6-11 Tabla de excitación para el Ejemplo 6-1

Estado presente			Entrada	Estado siguiente			Entradas flip-flop						Salida
<i>A</i>	<i>B</i>	<i>C</i>		<i>A</i>	<i>B</i>	<i>C</i>	<i>SA</i>	<i>RA</i>	<i>SB</i>	<i>RB</i>	<i>SC</i>	<i>RC</i>	
0	0	1	0	0	0	1	0	<i>X</i>	0	<i>X</i>	<i>X</i>	0	0
0	0	1	1	0	1	0	0	<i>X</i>	1	0	0	1	0
0	1	0	0	0	1	1	0	<i>X</i>	<i>X</i>	0	1	0	0
0	1	0	1	1	0	0	1	0	0	1	0	<i>X</i>	0
0	1	1	0	0	0	1	0	<i>X</i>	0	1	<i>X</i>	0	0
0	1	1	1	1	0	0	1	0	0	1	0	1	0
1	0	0	0	1	0	1	<i>X</i>	0	0	<i>X</i>	1	0	0
1	0	0	1	1	0	0	<i>X</i>	0	0	<i>X</i>	0	<i>X</i>	1
1	0	1	0	0	0	1	0	<i>X</i>	<i>X</i>	<i>X</i>	0	0	0
1	0	1	1	1	0	0	<i>X</i>	0	0	<i>X</i>	0	1	1

se supone que ocurría, un diseñador cuidadoso debe asegurarse de que esta situación no ocurra jamás.

Se estableció previamente que los estados sin usar en un circuito secuencial pueden tratarse como condiciones no importa. Una vez que se diseña el circuito, los m flip-flops en el sistema pueden estar en cualquiera de los 2^m estados posibles. Si alguno de los estados se toma como condiciones no importa, debe investigarse el circuito para determinar el efecto de estos estados sin usar. El siguiente estado de los estados inválidos puede determinarse mediante el análisis del circuito. En cualquier caso, siempre es

AB	Cx	00	01	11	10	C
A	00	X	X			
	01		1	1		
	11	X	X	X	X	
	10	X	X	X		

x

$SA = Bx$

X	X	X	X
X			X
X	X	X	X

$$RA = Cx'$$

X	X	1	
X			
X	X	X	X

$$SB = A'B'x$$

X	X		X
	1	1	1
X	X	X	X
X	X	X	X

$$RB = BC + Bx$$

X	X		X
1			X
X	X	X	X
1			X

$$SC = x'$$

X	X	1	
X		1	
X	X	X	X
X	1		

$$RC = x$$

X	X		
X	X	X	X
1	1		

$$y = Ax$$

Figura 6-25 Mapas para simplificar el circuito secuencial del Ejemplo 6-1.

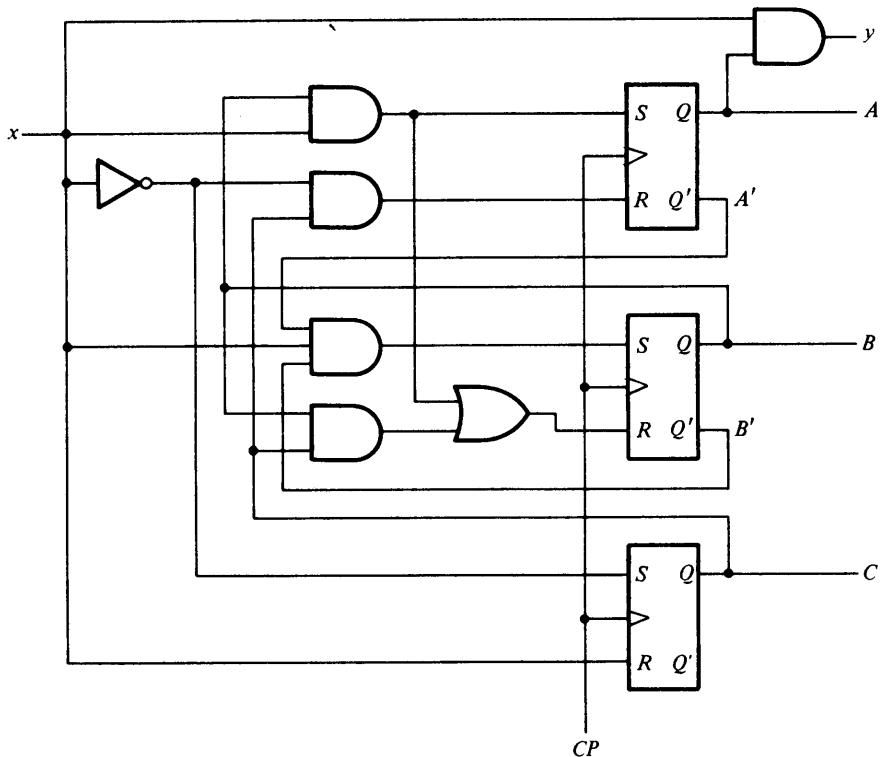


Figura 6-26 Diagrama lógico para el Ejemplo 6-1.

prudente analizar un circuito obtenido mediante un diseño para asegurar que no se incurrió en errores durante el proceso de diseño.

EJEMPLO 6-2: Analice el circuito secuencial que se obtuvo en el Ejemplo 6-1 y determine el efecto de los estados sin usar.

Los estados sin uso son 000, 110 y 111. El análisis del circuito se realiza por el método delineado en la Sección 6-4. Los mapas en la Fig. 6-25 también pueden ayudar en el análisis. Lo que se necesita aquí es principiar con el diagrama del circuito en la Fig. 6-26 y derivar la tabla de estado o el diagrama. Si la tabla de estado es idéntica a la Tabla 6-6 (o a la tabla de estados que es parte de la Tabla 6-11), entonces se sabe que el diseño es correcto. Además, deben determinarse los estados siguientes mediante los estados sin uso 000, 110 y 111.

Los mapas en la Fig. 6-25 pueden ayudar a encontrar el estado siguiente mediante cada uno de los estados sin uso. Tome, por ejemplo, el estado sin uso 000. Si el circuito, por alguna razón, está en el estado presente 000, una entrada $x = 0$ transferirá el circuito a algún estado siguiente y una entrada $x = 1$ lo transferirá a otro (o el mismo) esta-

do siguiente. Se investigará primero el mintérmino $ABCx = 0000$. Mediante los mapas, se ve que este mintérmino no está incluido en alguna función excepto para SC , esto es, la entrada establecida del flip-flop C . Por tanto, los flip-flops A y B no cambiarán pero el flip-flop C se establecerá en 1. Ya que el estado presente es $ABC = 000$, el estado siguiente será $ABC = 001$. Los mapas también muestran que el mintérmino $ABCx = 0001$ está incluido en las funciones para SB y RC . De este modo, B se establecerá y C se despejará. Al principiar con $ABC = 000$ y establecer B , se obtiene el estado siguiente $ABC = 010$ (C está ya despejada). La investigación en el mapa para la salida y muestra que ésta será 0 para estos dos mintérminos.

En el diagrama de estado en la Fig. 6-27 se muestra el resultado del procedimiento de análisis. El circuito opera como debe, mientras permanezca dentro de los estados 001 010, 011, 100 y 101. Aun si se encuentra en uno de los estados inválidos 000, 110 o 111, pasa a uno de los estados válidos dentro de uno o dos pulsos de reloj. Así que, el circuito arranca y se corrige por sí mismo, ya que con el tiempo pasa a un estado válido desde el cual continúa operando como se requiere.

Una situación indeseable puede haber ocurrido si el estado siguiente de 110 para $x = 1$ resulta ser 111 y el siguiente estado de 111 para $x = 0$ o 1 resulta que es 110. Entonces, si el circuito principia desde 110 o 111, circulará y permanecerá entre esos dos estados para siempre. Deben evitarse los estados sin uso que provocan tal comportamiento indeseable; si se encuentra que existen, el circuito debe rediseñarse. Esto puede hacerse con mayor facilidad al especificar un estado siguiente válido para cualquier estado sin uso que se encuentre que circule entre los estados inválidos.

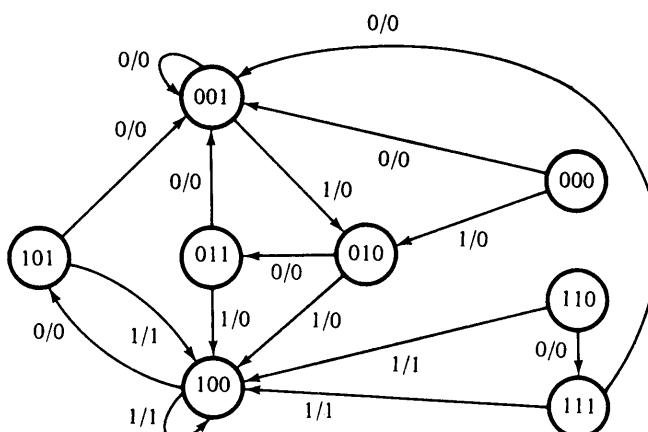


Figura 6-27 Diagrama de estado para el circuito de la Fig. 6-26.

6-8 DISEÑO DE CONTADORES

Un circuito secuencial que pasa a través de una secuencia prescrita de estados bajo la aplicación de pulsos de entrada se denomina *contador*. Los pulsos de entrada, llamados *pulsos de conteo*, pueden ser pulsos de reloj, o pueden originarse en una fuente externa y pueden ocurrir a intervalos de tiempo prescritos o aleatorios. En un contador, la secuencia de estados puede seguir un conteo binario o cualquier otra secuencia de estados. Los contadores se encuentran en casi todo el equipo que contiene lógica digital. Se usa para contar el número de ocurrencias de un evento y son útiles para generar secuencias de temporizado para controlar operaciones en un sistema digital.

De las diversas secuencias que puede seguir un contador, la secuencia binaria directa es la más simple y la más directa. Un contador que sigue la secuencia binaria se denomina *contador binario*. Un contador binario de n -bit consta de n flip-flops y puede contar en binario desde 0 hasta $2^n - 1$. Como ejemplo, el diagrama de estados de un contador de 3-bit se muestra en la Fig. 6-28. Como se ve mediante los estados binarios indicados dentro de los círculos, las salidas flip-flop repiten la secuencia de conteo binario con un retorno a 000 después de 111. Las líneas dirigidas entre los círculos no se marcan con valores de entrada-salida como en los otros diagramas de estado. Recuérdese que las transiciones de estado en los circuitos secuenciales temporizados ocurren durante un pulso de reloj; los flip-flops permanecen en sus estados presentes si no ocurre pulso. Por esta razón la variable de pulso de reloj *CP* no aparece en forma explícita como una variable de entrada en un diagrama de estado o tabla de estado. Desde este punto de vista, el diagrama de estado de un contador no tiene que mostrar los valores de entrada-salida junto con las líneas dirigidas. La única entrada al circuito es el pulso de conteo, y las salidas están especificadas de manera directa por los estados presentes de los flip-flops. El siguiente estado de un contador depende por completo de su estado presente, y la transición de estado ocurre cada vez que ocurre el pulso. Debido a esta propiedad, un contador se especifica en forma completa por una lista de la *secuencia de conteo*, esto es, la secuencia de los estados binarios por los que pasa.

La secuencia de conteo de un contador binario de 3-bit se da en la Tabla 6-12. El número siguiente en la secuencia representa el estado siguiente que alcanza el circuito bajo la aplicación de un pulso de conteo. La secuencia de conteo se repite después de que alcanza el último valor, de modo que el estado 000 es el estado siguiente después de 111. La secuencia de conteo da toda la información necesaria para diseñar el circuito. No es necesario listar los estados siguientes en una columna separada porque pueden leerse en el número siguiente en la secuencia. El diseño de contadores sigue el mismo procedimiento que se delineó en la Sección 6-7, excepto que la tabla de excitación puede obtenerse de manera directa mediante la secuencia de conteo.

La tabla 6-12 es la tabla de excitación para el contador binario de 3-bit. Los tres flip-flops reciben las designaciones de variables A_2 , A_1 y A_0 . Los contadores binarios se construyen en la forma más eficiente con flip-flops T (o flip-flop JK con J y K unidas). La excitación flip-flop para las entradas T se derivan mediante la tabla de excitación del flip-flop T y mediante la inspección de la transición de estado desde un conteo dado (estado presente) al siguiente bajo él (estado siguiente). Como ilustración, se consi-

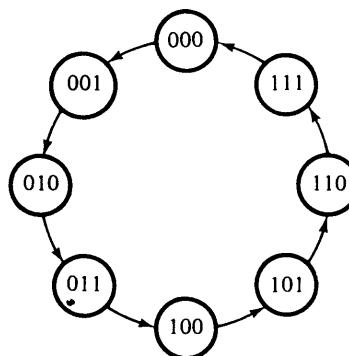


Figura 6-28 Diagrama de estado de un contador binario de 3-bit.

deran las entradas flip-flop para el renglón 001. El estado presente aquí es 001 y el estado siguiente es 010, que es el conteo siguiente en la secuencia. Al comparar estos dos conteos, se observa que A_2 pasa desde 0 a 0; de modo que TA_2 se marca con un 0 porque el flip-flop A_2 debe permanecer sin cambio cuando ocurre el pulso de reloj. A_1 pasa de 0 a 1; de modo que TA_1 se marca con un 1 porque este flip-flop debe complementarse en el siguiente pulso de reloj. En forma similar, A_0 pasa de 1 a 0, indicando que debe complementarse; de modo que TA_0 se marca con un 1. El último renglón con el estado presente 111 se compara con el primer conteo 000 del cual es su estado siguiente. El paso de todos los 1 a todos los 0 requiere que los tres flip-flops se complementen.

Las funciones flip-flop de entrada para las tablas de excitación se simplifican en los mapas de la Fig. 6-29. Las funciones booleanas que se listan bajo cada mapa especifican la parte del circuito combinacional del contador. Al incluir estas funciones con los tres flip-flops, se obtiene el diagrama lógico del contador como se muestra en la Fig. 6-30.

TABLA 6-12 Tabla de excitación para un contador binario de 3-bit

Secuencia de cuenta			Entradas flip-flop		
A_2	A_1	A_0	TA_2	TA_1	TA_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	0	0	1
1	1	1	1	1	1

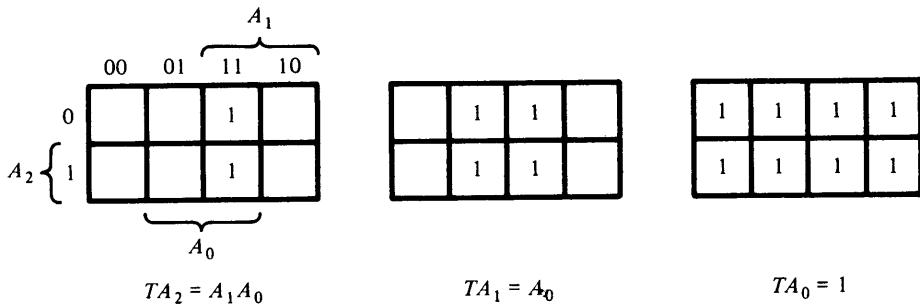


Figura 6-29 Mapas para un contador binario de 3-bit.

Un contador con n flip-flops puede tener una secuencia binaria de menos de 2^n números. Un contador BCD cuenta la secuencia binaria desde 0000 hasta 1001 y regresa a 0000 para repetir la secuencia. Otros contadores pueden seguir una secuencia arbitraria que es posible no sea la secuencia binaria directa. En cualquier caso, el procedimiento de diseño es el mismo. La secuencia de conteo se lista en la tabla de excitación que se obtiene al comparar un conteo presente con el siguiente conteo que se lista bajo él. Una secuencia de conteo tabulada siempre supone una cuenta repetida, de modo que el siguiente estado de la última entrada es el primer conteo listado.

EJEMPLO 6-3: Diseñe un contador que tenga una secuencia repetida de seis estados como se lista en la Tabla 6-13.

En esta secuencia, los flip-flops B y C repiten la cuenta binaria 00, 01, 10, mientras el flip-flop alterna entre 0 y 1 cada tres conteos. La secuencia de conteo para A, B, C no es binaria directa y no se usan los dos estados, 011 y 111. La elección flip-flops JK es resultado de la tabla de excitación en la Tabla 6-13. Las entradas KB y KC tienen sólo 1 y X en sus columnas, de modo que estas entradas siempre son 1. Las otras funciones de entrada flip-flop pueden simplificarse usando los mintérminos 3 y 7 como condiciones no importa. Las funciones simplificadas son:

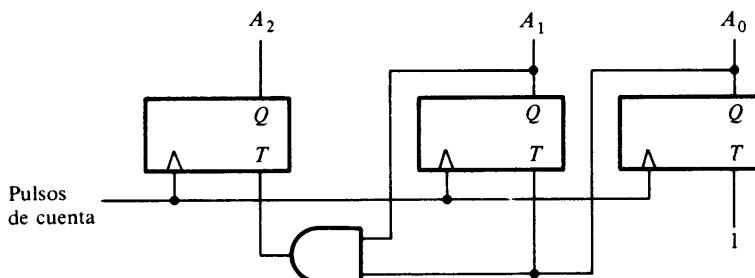


Figura 6-30 Diagrama logico de un contador binario de 3-bit.

$$\begin{array}{ll} JA = B & KA = B \\ JB = C & KB = I \\ JC = B' & KC = I \end{array}$$

El diagrama lógico del contador se muestra en la Fig. 6-31(a). Ya que hay dos estados sin usar, se analiza el circuito para determinar su efecto. El diagrama de estado que se obtiene así se analiza en la Fig. 6-31(b). Si el circuito alguna vez pasa a un estado inválido, el pulso siguiente de conteo lo transfiere a uno de los estados válidos y continúa el conteo en forma correcta. El contador que arranca por sí mismo y puede arrancar desde cualquier estado, pero con el tiempo alcanza la secuencia normal de conteo.

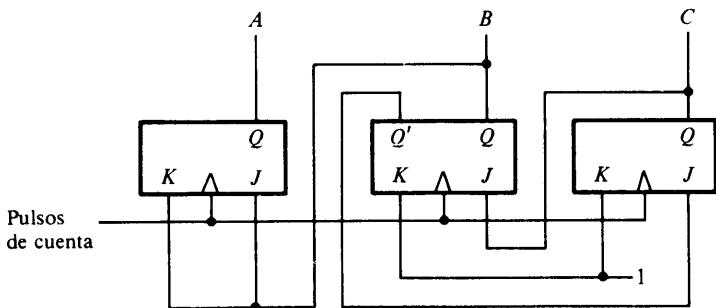
6-9 DISEÑO MEDIANTE LAS ECUACIONES DE ESTADO

Un circuito secuencial puede diseñarse mediante las ecuaciones de estado en lugar de la tabla de excitación. Como se muestra en la Sección 6-4, una ecuación de estado es una expresión algebraica que proporciona las condiciones para el siguiente estado como función del estado presente y las variables de entrada. Las ecuaciones de estado de un circuito secuencial se expresan en forma algebraica la misma información que se expresa en forma tabular en una tabla de estado.

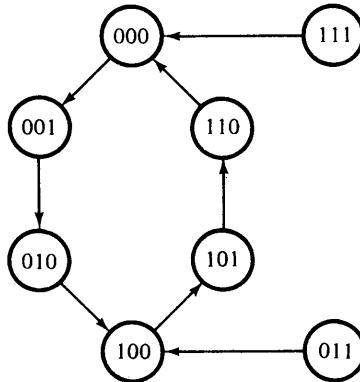
El método con ecuaciones de estado es conveniente cuando el circuito ya está especificado en esta forma o cuando las ecuaciones de estado se derivan con facilidad de la tabla de estado. Este es el método preferido cuando se utilizan flip-flops *D*. Algunas veces puede ser conveniente usar este método con los flip-flops *JK*. La aplicación de este procedimiento a circuitos con flip-flops *RS* o *T* es posible pero implica una cantidad considerable de manipulación algebraica. Aquí se mostrará la aplicación de este método a circuitos secuenciales que emplean flip-flops *D* o *JK*. El punto de inicio en cada caso es la ecuación característica de flip-flop derivada en la Sección 6-2.

TABLA 6-13 Tabla de excitación para el Ejemplo 6-3

Secuencia de cuenta			Entradas flip-flop					
<i>A</i>	<i>B</i>	<i>C</i>	<i>JA</i>	<i>KA</i>	<i>JB</i>	<i>KB</i>	<i>JC</i>	<i>KC</i>
0	0	0	0	<i>X</i>	0	<i>X</i>	1	<i>X</i>
0	0	1	0	<i>X</i>	1	<i>X</i>	<i>X</i>	1
0	1	0	1	<i>X</i>	<i>X</i>	1	0	<i>X</i>
1	0	0	<i>X</i>	0	0	<i>X</i>	1	<i>X</i>
1	0	1	<i>X</i>	0	1	<i>X</i>	<i>X</i>	1
1	1	0	<i>X</i>	1	<i>X</i>	1	0	<i>X</i>



(a) Diagrama lógico del contador



(b) Diagrama de estado del contador

Figura 6-31 Solución al Ejemplo 6-3.

Circuitos secuenciales con flip-flops *D*

La ecuación característica del flip-flop *D* se deriva en la Fig. 6-5(d):

$$Q(t + 1) = D$$

Esta ecuación establece que el siguiente estado del flip-flop es igual al valor presente de su entrada *D* y es independiente del valor del estado presente. Esto significa que las entradas para el siguiente estado en la tabla de estados son exactamente las mismas que las entradas *D*. Por tanto, no es necesario derivar las condiciones de entrada flip-flop para la tabla de excitación, ya que esta información ya está disponible en las columnas de los estados siguientes.

Se toma, por ejemplo, la tabla de excitación en la Tabla 6-10. La siguiente columna de estado para *A* tiene cuatro números 1, y sucede lo mismo en la columna para el estado siguiente de *B*. Para diseñar este circuito con flip-flops *D*, se escriben las ecuaciones de estado y se igualan a las entradas *D* correspondientes:

$$A(t + 1) = DA(A, B, x) = \Sigma(2, 4, 5, 6)$$

$$B(t + 1) = DB(A, B, x) = \Sigma(1, 3, 5, 6)$$

donde DA y DB son las funciones de entrada flip-flop para los flip-flops D denotados A y B , respectivamente, y cada función se expresa como la suma de cuatro mintérminos. Las funciones simplificadas pueden obtenerse mediante dos mapas de tres variables. Las funciones de entrada flip-flop simplificadas son:

$$DA = AB' + Bx'$$

$$DB = A'x + B'x + ABx'$$

Si hay estados sin usar en el circuito secuencial, deben considerarse junto con las entradas, o combinacionales no importa. Los mintérminos no importa así obtenidos pueden utilizarse para simplificar las ecuaciones de estado de las funciones de entrada flip-flop D .

EJEMPLO 6-4: Diseñe un circuito secuencial con cuatro flip-flops, A , B , C y D . Los siguientes estados de B , C y D son iguales a los estados presentes de A , B y C , respectivamente. El siguiente estado de A es igual a la OR-excluyente de los estados presentes C y D .

Mediante el planteamiento del problema, es conveniente escribir primero las ecuaciones de estado para el circuito:

$$A(t + 1) = C \oplus D$$

$$B(t + 1) = A$$

$$C(t + 1) = B$$

$$D(t + 1) = C$$

Este circuito especifica un *registro de corrimiento con retroalimentación*. En un registro de corrimiento con retroalimentación, cada flip-flop transfiere o corre su contenido al siguiente flip-flop cuando ocurre el pulso de reloj, pero el estado siguiente del primer flip-flop (A en este caso) es cierta función del estado presente de los otros flip-flops. Ya que las ecuaciones de estado son muy simples, el flip-flop de uso más conveniente es el tipo D .

Las funciones de entrada flip-flop para estos circuitos se toman de manera directa mediante las ecuaciones de estado, con la variable del estado siguiente reemplazada por la variable de entrada flip-flop:

$$DA = C \oplus D$$

$$DB = A$$

$$DC = B$$

$$DD = C$$

El circuito puede construirse con cuatro flip-flops D y una compuerta OR-excluyente.

Ecuaciones de estado con flip-flops JK*

La ecuación característica para el flip-flop JK se deriva en la Fig. 6-6(d):

$$Q(t + 1) = (J)Q' + (K')Q$$

Las variables de entrada J y K están encerradas entre paréntesis para no confundir los términos AND de la ecuación característica con la convención de dos letras, que se ha usado para representar las variables de entrada flip-flop.

El circuito secuencial puede derivarse de manera directa mediante las ecuaciones de estado sin tener que dibujar la tabla de excitación. Esto se hace mediante un procedimiento de comparación entre las ecuaciones de estado para cada flip-flop y la ecuación característica general del flip-flop JK. El proceso de comparación consiste en manipular cada ecuación de estado hasta que esté en la forma de la ecuación característica. Una vez que esto se ha hecho, las funciones para las entradas J y K pueden extraerse y simplificarse. Esto debe hacerse para cada ecuación de estado que se liste, y su nombre de variable flip-flop A , B , C , etc., debe reemplazar la letra Q en la ecuación característica.

Una ecuación dada de estado para $Q(t + 1)$ ya puede expresarse como una función de Q y Q' . Con más frecuencia, Q o bien Q' , o ambas, pueden estar ausentes en la expresión booleana. Entonces es necesario manipular en forma algebraica la expresión hasta que tanto Q como Q' estén incluidas en la expresión. El siguiente ejemplo demuestra todas las posibilidades que pueden encontrarse.

EJEMPLO 6-5: Diseñe un circuito secuencial con flip-flops JK para satisfacer las siguientes ecuaciones de estado:

$$A(t + 1) = A'B'CD + A'B'C + ACD + AC'D'$$

$$B(t + 1) = A'C + CD' + A'BC'$$

$$C(t + 1) = B$$

$$D(t + 1) = D'$$

Las funciones de entrada para el flip-flop A se derivan por este método ordenando la ecuación de estado y comparándola con la ecuación característica como sigue:

$$\begin{aligned} A(t + 1) &= (B'CD + B'C)A' + (CD + C'D')A \\ &= (J)A' + (K')A \end{aligned}$$

Mediante la igualdad de las dos ecuaciones, se deduce que las funciones de entrada para el flip-flop A son:

$$J = B'CD + B'C = B'C$$

$$K = (CD + C'D')' = CD' + C'D$$

* Esta parte puede omitirse sin pérdida de la continuidad.

La ecuación de estado para el flip-flop B puede ordenarse como sigue:

$$B(t + 1) = (A'C + CD') + (A'C')B$$

No obsante, esta forma no es adecuada para compararla con la ecuación característica ya que falta la variable B' . Si la primera cantidad entre paréntesis se trata con el operador AND con $(B' + B)$, la ecuación permanece igual pero con la variable B' incluida. Por lo tanto:

$$\begin{aligned} B(t + 1) &= (A'C + CD')(B' + B) + (A'C')B \\ &= (A'C + CD')B' + (A'C + CD' + A'C')B \\ &= (J)B' + (K')B \end{aligned}$$

Mediante la igualdad de las dos ecuaciones, se deducen las funciones de entrada para el flip-flop B :

$$\begin{aligned} J &= A'C + CD' \\ K &= (A'C + CD' + A'C')' = AC' + AD \end{aligned}$$

Las ecuaciones de estado para el flip-flop C pueden manipularse como sigue:

$$\begin{aligned} C(t + 1) &= B = B(C' + C) = BC' + BC \\ &= (J)C' + (K')C \end{aligned}$$

Las funciones de entrada para el flip-flop C son:

$$\begin{aligned} J &= B \\ K &= B' \end{aligned}$$

Por último, la ecuación de estado para el flip-flop D puede manipularse con el objeto de comparación como sigue:

$$\begin{aligned} D(t + 1) &= D' = 1.D' + 0.D \\ &= (J)D' + (K')D \end{aligned}$$

lo cual da la función de entrada:

$$J = K = 1$$

Las funciones derivadas de entrada pueden acumularse y listarse juntas. La convención de dos letras para denotar la variable de entrada flip-flop que no se usa en la derivación anterior está a continuación:

$$\begin{array}{ll} JA = B'C & KA = CD' + C'D \\ JB = A'C + CD' & KB = AC' + AD \\ JC = B & KC = B' \\ JD = 1 & KD = 1 \end{array}$$

El procedimiento de diseño que aquí se introduce es un método alterno para determinar las funciones de entrada flip-flop de un circuito secuencial cuando se emplean flip-flops *JK*. Para usar este procedimiento cuando inicialmente se especifica un diagrama de estado o una tabla de estado, es necesario que las ecuaciones de estado se deriven por el procedimiento delineado en la Sección 6-4. El método de las ecuaciones de estado para encontrar las funciones de entrada flip-flop puede ampliarse para cubrir los estados sin uso que se consideran como condiciones no importa. Los mintérminos no importa se escriben en la forma de una ecuación de estado y se manipulan hasta que están en la forma de la ecuación característica para el flip-flop particular que se considere. Las funciones *J* y *K* en la ecuación de estado no importa se toman entonces como mintérminos no importa cuando se simplifican las funciones de entrada para un flip-flop particular.

BIBLIOGRAFIA

1. Marcus, M. P., *Switching Circuits for Engineers*, 3a. ed. Englewood Cliffs, N.J.: Prentice-Hall, 1975.
2. McCluskey, E. J., *Introduction to the Theory of Switching Circuits*. New York: McGraw-Hill Book Co., 1965.
3. Miller, R. E., *Switching Theory*, dos volúmenes. New York: John Wiley and Sons, 1965.
4. Krieger, M., *Basic Switching Circuit Theory*. New York: The Macmillan Co., 1967.
5. Hill, F. J., and G. R. Peterson, *Introduction to Switching Theory and Logical Design*. 3a. ed. New York: John Wiley and Sons, 1981.
6. Givone, D. D., *Introduction to Switching Circuit Theory*. New York: McGraw-Hill Book Co., 1970.
7. Kohavi, Z., *Switching and Finite Automata Theory*, 2a. ed. New York: McGraw-Hill Book Co., 1978.
8. Phister M., *The Logical Design of Digital Computers*. New York: John Wiley and Sons, 1958.
9. Paull, M. C., and S. H. Unger, "Minimizing the Number of States in Incompletely Specified Sequential Switching Functions." *IRE Trans. on Electronic Computers*, Vol. EC-8, No. 3 (September 1959), 356-66.
10. Hartmanis, J., "On the State Assignment Problem for Sequential Machines I." *IRE Trans. on Electronic Computers*, Vol. EC-10, No. 2 (June 1961), 157-65.

11. McCluskey, E. J., and S. H. Unger, "A Note on the Number of Internal Assignments for Sequential Circuits." *IRE Trans. on Electronic Computer*, Vol. EC-8, No. 4 (December 1959), 439-40.

PROBLEMAS

- 6-1. Muestre el diagrama lógico de un flip-flop *RS* temporizado con cuatro compuertas NAND.
- 6-2. Muestre el diagrama lógico de un flip-flop *D* temporizado con compuertas AND y NOR.
- 6-3. Muestre que el flip-flop *D* temporizado en la Fig. 6-5(a) puede reducirse por una compuerta.
- 6-4. Considere un flip-flop *JK'*, esto es, un flip-flop *JK* con un inversor entre la salida externa *K'* y la entrada interna *K*.
 - (a) Obtenga la tabla característica flip-flop.
 - (b) Obtenga la ecuación característica.
 - (c) Muestre que al ligar las dos entradas externas se forma un flip-flop *D*.
- 6-5. Un flip-flop con prioridad de ajuste tiene una entrada de ajuste y de restaurar. Difiere de un flip-flop *RS* convencional en que un intento de ajuste y restaurar en forma simultánea da por resultado el ajuste del flip-flop.
 - (a) Obtenga la tabla característica y la ecuación característica para el flip-flop con prioridad de ajuste.
 - (b) Obtenga un diagrama lógico para un flip-flop asíncrono con prioridad de ajuste.
- 6-6. Obtenga el diagrama lógico de un flip-flop *JK* maestro-esclavo con compuertas AND y NOR. Incluye una previsión para establecer y despejar el flip-flop en forma asíncrona (sin un reloj).
- 6-7. Este problema investiga la operación del flip-flop *JK* maestro-esclavo a través de la transición binaria en las compuertas internas en la Fig. 6-11. Evalúe los valores binarios (0 o 1) en las salidas de las nueve compuertas cuando las entradas al circuito pasan a través de la secuencia siguiente:
 - (a) $CP = 0$, $Y = 0$, $Q = 0$ y $J = K = 1$.
 - (b) Después CP pasa a 1 (Y debe ir a 1; Q permanece en 0).
 - (c) Después CP pasa a 0 e inmediatamente después que J pasa a 0 (Q debe ir a 1; Y no se afecta).
 - (d) Después CP pasa a 1 otra vez (Y debe ir a 0).
 - (e) Después CP regresa a 0 e inmediatamente después que K pasa a 0 (Q debe ir a 0).
 - (f) Todos los pulsos siguientes no tienen efecto mientras que J y K permanezcan en 0.
- 6-8. Dibuje el diagrama lógico (mostrando todas las compuertas) de un flip-flop *D* maestro-esclavo. Use compuertas NAND.
- 6-9. Conecte una terminal despejada asíncrona a las entradas de las compuertas 2 y 6 del flip-flop en la Fig. 6-12.
 - (a) Muestre que cuando la entrada despejada es 0, el flip-flop está despejado, y permanece despejado, sin importar los valores de las entradas CP y D .
 - (b) Muestre que cuando la entrada despejada es 1, no tiene efecto en las operaciones temporizadas normales.

- 6-10. El sumador completo en la Fig. P6-10 recibe dos entradas externas x y y ; la tercera entrada z proviene de la salida de un flip-flop D . El acarreo de salida se transfiere al flip-flop cada pulso de reloj. La salida externa S da la suma de x , y y z . Obtenga la tabla de estado y el diagrama de estado del circuito secuencial.

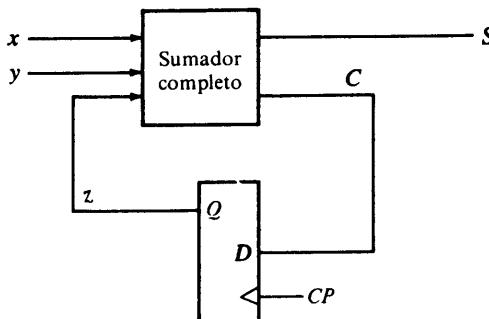


Figura P6-10.

- 6-11. Derive la tabla de estado y el diagrama de estado del circuito secuencial en la Fig. P6-11. ¿Cuál es la función del circuito?

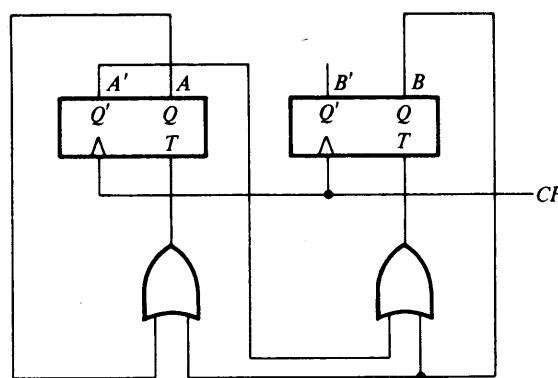


Figura P6-11.

- 6-12. Un circuito secuencial tiene cuatro flip-flops A, B, C, D y una entrada x . Está descrito por la siguiente ecuación de estado:

$$A(t+1) = (CD' + C'D)x + (CD + C'D')x'$$

$$B(t+1) = A$$

$$C(t+1) = B$$

$$D(t+1) = C$$

- (a) Obtenga la secuencia de estados cuando $x = 1$, principiando desde el estado $ABCD = 0001$.
- (b) Obtenga la secuencia de estados cuando $x = 0$, principiando desde el estado $ABCD = 0000$.

- 6-13. Un circuito secuencial tiene dos flip-flops (A y B), dos entradas (x y y), y una salida (z). Las funciones de entrada flip-flop y la función de salida del circuito son las siguientes:

$$\begin{aligned} JA &= xB + y'B' & KA &= xy'B' \\ JB &= xA' & KB &= xy' + A \\ z &= xyA + x'y'B \end{aligned}$$

Obtenga el diagrama lógico, la tabla de estado, el diagrama de estado y las ecuaciones de estado.

- 6-14. Reduzca el número de estados en la siguiente tabla de estados y tabule la tabla de estados reducida.

Estado presente	Estado siguiente		Salida	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	f	b	0	0
b	d	c	0	0
c	f	e	0	0
d	g	a	1	0
e	d	c	0	0
f	f	b	1	1
g	g	h	0	1
h	g	a	1	0

- 6-15. Principiando desde el estado a de la tabla de estado en el problema 6-14, encuentre la secuencia de salida generada con una secuencia de entrada 01110010011.
- 6-16. Repita el problema 6-15 utilizando la tabla reducida del problema 6-14. Muestre que se obtiene la misma secuencia de salida.
- 6-17. Sustituya la asignación binaria 2 de la Tabla 6-5 en los estados en la Tabla 6-4 y obtenga la tabla de estado binaria. Repita esto con la asignación binaria 3.
- 6-18. Obtenga la tabla de excitación del flip-flop JK' descrita en el problema 6-4.
- 6-19. Obtenga la tabla de excitación para el flip-flop con prioridad de ajuste que se describe en el problema 6-5.
- 6-20. Un circuito secuencial tiene una entrada y una salida. El diagrama de estado se muestra en la Fig. P6-20. Diseñe el circuito secuencial con (a) flip-flops T , (b) flip-flops RS y (c) flip-flops JK .
- 6-21. Diseñe el circuito de un registro de 4-bit que convierte el número binario almacenado en el registro en su valor de complemento 2 cuando la entrada $x = 1$. Los flip-flops del registro son del tipo RST . Este flip-flop tiene tres entradas: dos entradas tienen capacidades RS y uno tiene una capacidad T . Las entradas RS se usan para transferir el número binario de 4-bit cuando una entrada $y = 1$. Use la entrada T para la conversión.
- 6-22. Repita el Ejemplo 6-1 con la asignación binaria 3 de la Tabla 6-5. Utilice flip-flops JK .
- 6-23. Diseñe un contador BCD con flip-flops JK .
- 6-24. Diseñe un contador que cuente los dígitos decimales de acuerdo con el código 2, 4, 2, 1 (Tabla 1-2). Use flip-flops T .

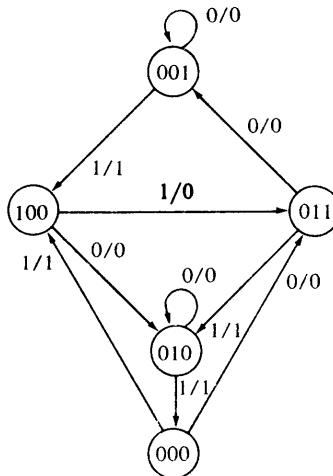


Figura P6-20.

- 6-25. Diseñe los contadores binarios que tienen la secuencia binaria repetida siguiente. Use flip-flops *JK*.
- 0, 1, 2
 - 0, 1, 2, 3, 4
 - 0, 1, 2, 3, 4, 5, 6
- 6-26. Diseñe un contador con la siguiente secuencia binaria: 0, 1, 3, 2, 6, 4, 5, 7 y se repite. Utilice flip-flops *RS*.
- 6-27. Diseñe un contador con la siguiente secuencia binaria: 0, 1, 3, 7, 6, 4 y se repite. Use flip-flops *T*.
- 6-28. Diseñe un contador con la siguiente secuencia binaria: 0, 4, 2, 1, 6 y se repite. Utilice flip-flops *JK*.
- 6-29. Repita el Ejemplo 6-5 usando flip-flops *D*.
- 6-30. Verifique el circuito obtenido en el Ejemplo 6-5 usando el método de tabla de excitación.
- 6-31. Diseñe el circuito secuencial de pulso por las siguientes ecuaciones de estado. Utilice flip-flops *JK*.

$$A(t+1) = xAB + yA'C + xy$$

$$B(t+1) = xAC + y'BC'$$

$$C(t+1) = x'B + yAB'$$

- 6-32. (a) Derive las ecuaciones de estado para el circuito secuencial especificado por la Tabla 6-6, Sección 6-5. Liste los términos no importa. (b) Derive las funciones de entrada flip-flop mediante las ecuaciones de estado (y los términos no importa) utilizando el método delineado en el Ejemplo 6-5. Use flip-flops *JK*.