Московский государственный технический университет им. Н. Э. Баумана

Факультет «Информатика и системы управления»

Кафедра «Системы обработки информации и управления»



**Домашнее задание**

**по дисциплине “ЭУ в АСОИУ”**

**«Сравнительный анализ МК с RISC-архитектурой»**

**ИСПОЛНИТЕЛЬ:**

Группа ИУ5-72

Васильев С. Д.

"28" декабря 2021 г.

**ПРЕПОДАВАТЕЛЬ:**

Нестеров Ю. Г.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

"\_\_"\_\_\_\_\_\_\_\_\_\_\_2021 г.

Москва 2021

Оглавление

[Введение 3](#_Toc91610209)

[1. RISC-архитектура 3](#_Toc91610210)

[2. Основные особенности RISC-процессоров 13](#_Toc91610211)

[3. 8-разрядные RISC-микроконтроллеры 16](#_Toc91610212)

[4. MICROCHIP PICmicro family 17](#_Toc91610213)

[5. Atmel AVR 19](#_Toc91610214)

[6. Scenix Sem 22](#_Toc91610215)

[7. XEMICS CoolRISC 24](#_Toc91610216)

[8. Ангстрем 26](#_Toc91610217)

[9. Вывод 28](#_Toc91610218)

[Список литературы 29](#_Toc91610219)

# Введение

На данном этапе научно-технического развития выбор аппаратной платформы и конфигурации системы представляет собой чрезвычайно сложную задачу. Это связано, в частности, с характером прикладных систем, который в значительной степени может определять рабочую нагрузку вычислительного комплекса в целом. Однако часто оказывается просто трудно с достаточной точностью предсказать саму нагрузку, особенно в случае, если система должна обслуживать несколько групп разнородных по своим потребностям пользователей. Следует отметить, что выбор той или иной аппаратной платформы и конфигурации определяется и рядом общих требований, которые предъявляются к характеристикам современных вычислительных систем. К ним относятся: отношение стоимость/ производительность, надежность и отказоустойчивость, масштабируемость, совместимость и мобильность программного обеспечения. Основная задача при проектировании всего ряда моделей системы RISC заключалась в создании такой архитектуры, которая была бы одинаковой с точки зрения пользователя для всех моделей системы независимо от цены и производительности каждой из них. Огромные преимущества такого подхода, позволяющего сохранять существующий задел программного обеспечения при переходе на новые модели были быстро оценены как производителями компьютеров, так и пользователями и начиная с этого времени практически все фирмы-поставщики компьютерного оборудования взяли на вооружение эти принципы, поставляя серии совместимых компьютеров.

В данной работе рассмотрим существующие виды микроконтроллеров с RISC-архитектурой, охарактеризуем их преимущества и недостатки.

# RISC-архитектура

В 70-е годы XX века ученые выдвинули революционную по тем временам идею создания микропроцессора, "понимающего" только минимально возможное количество команд.

Замысел RISC- процессора (Reduced Instruction Set Computer, компьютер с сокращенным набором команд) родился в результате практических исследований частоты использования команд программистами, проведенных в 70-х годах в США и Англии. Их непосредственный итог - известное "правило 80/20": в 80% кода типичной прикладной программы используется лишь 20% простейших машинных команд из всего доступного набора. электронный устройство микроконтроллер процессор

Первый "настоящий" RISC-процессор с 31 командой был создан под руководством Дэвида Паттерсона из Университета Беркли, затем последовал процессор с набором из 39 команд. Они включали в себя 20–50 тыс. транзисторов. Плодами трудов Паттерсона воспользовалась компания Sun Microsystems, разработавшая архитектуру SPARC с 75 командами в конце 70-х годов. В 1981 г. в Станфордском университете стартовал проект MIPS по выпуску RISC-процессора с 39 командами. В итоге была основана корпорация Mips Computer в середине 80-х годов и сконструирован следующий процессор уже с 74 командами.

По данным независимой компании IDC, в 1992 году архитектура SPARC занимала 56% рынка, далее следовали MIPS - 15% и PA-RISC - 12,2%

Примерно в то же время Intel разработала серию 80386, последних "истинных" CISC-процессоров в семействе IA-32. В последний раз повышение производительности было достигнуто только за счет усложнения архитектуры процессора: из 16-разрядной она превратилась в 32-разрядную, дополнительные аппаратные компоненты поддерживали виртуальную память, и добавился целый ряд новых команд.

Основные особенности RISC-процессоров:

* Сокращенный набор команд (от 80 до 150 команд).
* Большинство команд выполняется за 1 такт.
* Большое количество регистров общего назначения.
* Наличие жестких многоступенчатых конвейеров.
* Все команды имеют простой формат, и используются немногие способы адресации.
* Наличие вместительной раздельной кэш-памяти.
* Применение оптимизирующих компиляторов, которые анализируют исходный код и частично меняют порядок следования команд.

RISC-процессоры 3-го поколения

Самыми крупными разработчиками RISC-процессоров считаются Sun Microsystems (архитектура SPARC - Ultra SPARC), IBM (многокристальные процессоры Power, однокристальные PowerPC - PowerPC 620), Digital Equipment (Alpha - Alpha 21164), Mips Technologies (семейство Rxx00 -- R 10000), а также Hewlett-Packard (архитектура PA-RISC - PA-8000).

Все RISC-процессоры третьего поколения:

* являются 64-разрядными и суперскалярными (запускаются не менее 4-х команд за такт);
* имеют встроенные конвейерные блоки арифметики с плавающей точкой;
* имеют многоуровневую кэш-память. Большинство RISC-процессоров кэшируют предварительно дешифрованные команды;
* изготавливаются по КМОП-технологии с 4 слоями металлизации.

Для обработки данных применяется алгоритм динамического прогнозирования ветвлений и метод переназначения регистров, что позволяет реализовать внеочередное выполнение команд.

Повышение производительности RISC-процессоров достигается за счет повышения тактовой частоты и усложнения схемы кристалла. Представителями первого направления являются процессоры Alpha фирмы DEC, наиболее сложными остаются процессоры компании Hewlett-Packard.

Уменьшение набора машинных команд в RISC-архитектуре позволило разместить на кристалле вычислительного ядра большое количество регистров общего назначения . Увеличение количества регистров общего назначения позволило минимизировать обращения к медленной оперативной памяти, оставив для работы с RAM только операции чтения данных из оперативной памяти в регистр и запись данных из регистра в оперативную память, все остальные машинные команды используют в качестве операндов регистры общего назначения.

Основными преимуществами RISC-архитектуры является наличие следующих свойств:

* Большое число регистров общего назначения.
* Универсальный формат всех микроопераций.
* Равное время выполнения всех машинных команд.
* Практически все операции пересылки данных осуществляются по маршруту регистр - регистр.

Равное время выполнения всех машинных команд позволяют обрабатывать поток командных инструкций по конвейерному принципу, т. е. выполняется синхронизация аппаратных частей с учетом последовательной передачи управления от одного аппаратного блока к другому.

Аппаратные блоки в RISC-архитектуре:

Блок загрузки инструкций включает в себя следующие составные части: блок выборки инструкций из памяти инструкций, регистр инструкций, куда помещается инструкция после ее выборки и блок декодирования инструкций. Эта ступень называется ступенью выборки инструкций.

Регистры общего назначения совместно с блоками управления регистрами образуют вторую ступень конвейера, отвечающую за чтение операндов инструкций. Операнды могут храниться в самой инструкции или в одном из регистров общего назначения. Эта ступень называется ступенью выборки операндов.

Арифметико-логическое устройство и, если в данной архитектуре реализован, аккумулятор, вместе с логикой управления, которая, исходя из содержимого регистра инструкций, определяет тип выполняемой микрооперации. Источником данных помимо регистра инструкций может быть счетчик команд, при выполнении микроопераций условного или безусловного перехода. Данная ступень называется исполнительной ступенью конвейера.

Набор состоящий из регистров общего назначения, логики записи и иногда из RAM образуют ступень сохранения данных. На этой ступени результат выполнения инструкций записываются в регистры общего назначения или в основную память.

Однако к моменту разработки RISC-архитектуры, промышленным стандартом микропроцессоров де-факто стала архитектура Intel x86, выполненная по принципу CISC-архитектуры. Наличие большого числа программ, написанных под архитектуру Intel x86, сделала невозможным массовый переход ЭВМ на RISC-архитектуру. По этой причине основной сферой использования RISC-архитектуры явились микроконтроллеры, благодаря тому, что они не были привязаны к существующему программному обеспечению. Кроме того некоторые производители ЭВМ во главе с IBM так же начали выпускать ЭВМ, построенные по RISC-архитектуре, однако несовместимость программного обеспечения между Intel x86 и RISC-архитектурой в значительной степени ограничивала распространение последних.

Однако, преимущества RISC-архитектуры были столь существенны, что инженеры нашли способ перейти на вычислители, выполненные по RISC-архитектуре, при этом не отказываясь от существующего программного обеспечения. Ядра большинство современных микропроцессоров, поддерживающих архитектуру Intel x86, выполнены по RISC-архитектуре с поддержкой мультискалярной конвейерной обработки. Микропроцессор получает на вход инструкцию в формате Intel x86, заменяем ее несколькими (до 4-х) RISC-инструкциями.

Таким образом, ядра большинства современных микропроцессоров, начиная с Intel 486DX, выполнены по RISC-архитектуре с поддержкой внешнего Intel x86 интерфейса. Кроме того, подавляющее большинство микроконтроллеров, а также некоторые микропроцессоры выпускаются по RISC-архитектуре.

В современном RISC-процессоре используется не менее 32 регистров, часто более 100, в то время, как в классических ЦВМ обычно 8–16 регистров общего назначения. В результате процессор на 20%–30% реже обращается к оперативной памяти, что также повысило скорость обработки данных. Кроме того, наличие большого количества регистров упрощает работу компилятора по распределению регистров под переменные. Упростилась топология процессора, выполняемого в виде одной интегральной схемы, сократились сроки ее разработки, она стала дешевле.

После появления RISC-процессоров традиционные процессоры получили обозначение CISC - то есть с полным набором команд (Complete Instruction Set Computer).

В настоящее время RISC-процессоры получили широкое распространение. Современные RISC-процессоры характеризуются следующим:

* упрощенным набором команд;
* используются команды фиксированной длины и фиксированного формата, простые способы адресации, что позволяет упростить логику декодирования команд;
* большинство команд выполняются за один цикл процессора;
* логика выполнения команд с целью повышения производительности ориентирована на аппаратную, а не на микропрограммную реализацию, отсутствуют макрокоманды, усложняющие структуру процессора и уменьшающие скорость его работы;
* взаимодействие с оперативной памятью ограничивается операциями пересылки данных;
* для обработки, как правило, используются трехадресные команды, что помимо упрощения дешифрации дает возможность сохранять большее число переменных в регистрах без их последующей перезагрузки;
* создан конвейер команд, позволяющий обрабатывать несколько из них одновременно;
* наличие большого количества регистров;
* используется высокоскоростная память.

В RISC-процессорах обработка машинной команды разделена на несколько ступеней, каждую ступень обслуживают отдельные аппаратные средства и организована передача данных от одной ступени к следующей.

Производительность при этом возрастает благодаря тому, что одновременно на различных ступенях конвейера выполняются несколько команд.

Выполнение типичной команды можно разделить на следующие этапы:

* выборка команды IF - по адресу, заданному счетчиком команд, из памяти извлекается команда;
* декодирование команды ID - выяснение ее смысла, выборка операндов из регистров;
* выполнение операции EX, при необходимости обращения к памяти - вычисление физического адреса;
* обращение к памяти ME;
* запоминание результата WB

В процессорах с RISC-архитектурой набор исполняемых команд сокращен до минимума. Для реализации более сложных операций приходится комбинировать команды. При этом все команды имеют формат фиксированной длины (например, 12, 14 или 16 бит), выборка команды из памяти и ее исполнение осуществляется за один цикл (такт) синхронизации. Система команд RISC-процессора предполагает возможность равноправного использования всех регистров процессора. Это обеспечивает дополнительную гибкость при выполнении ряда операций. К МК с RISC-процессором относятся МК AVR фирмы Atmel, МК PIC16 и PIC17 фирмы Microchip и другие.

На первый взгляд, МК с RISC-процессором должны иметь более высокую производительность по сравнению с CISC МК при одной и той же тактовой частоте внутренней магистрали. Однако на практике вопрос о производительности более сложен и неоднозначен. [1]



Рис. 1. Структура МК с RISC-архитектурой

Гарвардская архитектура почти не использовалась до конца 70-х годов, пока производители МК не поняли, что она дает определенные преимущества разработчикам автономных систем управления.

Дело в том, что, судя по опыту использования МПС для управления различными объектами, для реализации большинства алгоритмов управления такие преимущества фон-неймановской архитектуры как гибкость и универсальность не имеют большого значения. Анализ реальных программ управления показал, что необходимый объем памяти данных МК, используемый для хранения промежуточных результатов, как правило, на порядок меньше требуемого объема памяти программ. В этих условиях использование единого адресного пространства приводило к увеличению формата команд за счет увеличения числа разрядов для адресации оперрандов. Применение отдельной небольшой по объему памяти данных способствовало сокращению длины команд и ускорению поиска информации в памяти данных.

Кроме того, гарвардская архитектура обеспечивает потенциально более высокую скорость выполнения программы по сравнению с фон-неймановской за счет возможности реализации параллельных операций. Выборка следующей команды может происходить одновременно с выполнением предыдущей, и нет необходимости останавливать процессор на время выборки команды. Этот метод реализации операций позволяет обеспечивать выполнение различных команд за одинаковое число тактов, что дает возможность более просто определить время выполнения циклов и критичных участков программы.

Большинство производителей современных 8-разрядных МК используют гарвардскую архитектуру. Однако гарвардская архитектура является недостаточно гибкой для реализации некоторых программных процедур. Поэтому сравнение МК, выполненных по разным архитектурам, следует проводить применительно к конкретному приложению.

В процессорах с RISC-архитектурой набор исполняемых команд сокращен до минимума. Для реализации более сложных операций приходится комбинировать команды. При этом все команды имеют формат фиксированной длины (например, 12, 14 или 16 бит), выборка команды из памяти и ее исполнение осуществляется за один цикл (такт) синхронизации. Система команд RISC-процессора предполагает возможность равноправного использования всех регистров процессора. Это обеспечивает дополнительную гибкость при выполнении ряда операций. К МК с RISC-процессором относятся МК AVR фирмы Atmel, МК PIC16 и PIC17 фирмы Microchip и другие.

На первый взгляд, МК с RISC-процессором должны иметь более высокую производительность по сравнению с CISC МК при одной и той же тактовой частоте внутренней магистрали. Однако на практике вопрос о производительности более сложен и неоднозначен.

Во-первых, оценка производительности МК по времени выполнения команд различных систем (RISC и CISC) не совсем корректна. Обычно производительность МП и МК принято оценивать числом операций пересылки "регистр-регистр", которые могут быть выполнены в течение одной секунды. В МК с CISC-процессором время выполнения операции "регистр-регистр" составляет от 1 до 3 циклов, что, казалось бы, уступает производительности МК с RISC-процессором. Однако стремление к сокращению формата команд при сохранении ортогональности системы команд RISC-процессора приводит к вынужденному ограничению числа доступных в одной команде регистров. Так, например, системой команд МК PIC16 предусмотрена возможность пересылки результата операции только в один из двух регистров — регистр-источник операнда Гили рабочий регистр W. Таким образом, операция пересылки содержимого одного из доступных регистров в другой (не источник операнда и не рабочий) потребует использования двух команд. Такая необходимость часто возникает при пересылке содержимого одного из регистров общего назначения (РОН) в один из портов МК. В то же время, в системе команд большинства CISC-процессоров присутствуют команды пересылки содержимого РОН в один из портов ввода/вывода. То есть более сложная система команд иногда позволяет реализовать более эффективный способ выполнения операции.

Во-вторых, оценка производительности МК по скорости пересылки "регистр-регистр" не учитывает особенностей конкретного реализуемого алгоритма управления. Так, при разработке быстродействующих устройств автоматизированного управления основное внимание следует уделять времени выполнения операций умножения и деления при реализации уравнений различных передаточных функций. А при реализации пульта дистанционного управления бытовой техникой следует оценивать время выполнения логических функций, которые используются при опросе клавиатуры и генерации последовательной кодовой посылки управления. Поэтому в критических ситуациях, требующих высокого быстродействия, следует оценивать производительность на множестве тех операций, которые преимущественно используются в алгоритме управления и имеют ограничения по времени выполнения.

В-третьих, необходимо еще учитывать, что указанные в справочных данных на МК частоты синхронизации обычно соответствуют частоте подключаемого кварцевого резонатора, в то время как длительность цикла центрального процессора определяется частотой обмена по ВКМ. Соотношение этих частот индивидуально для каждого МК и должно быть принято в расчет при сравнении производительности различных моделей контроллеров. С точки зрения организации процессов выборки и исполнения команды в современных 8-разрядных МК применяется одна из двух уже упоминавшихся архитектур МПС: фон-неймановская (принстонская) или гарвардская.

Основной особенностью фон-неймановской архитектуры является использование общей памяти для хранения программ и данных, как показано на рисунке 2.

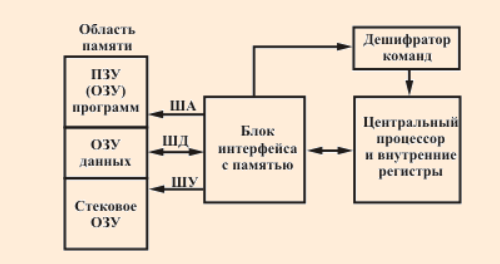


Рис. 2. Структура МП с фон-неймановской архитектурой

Основное преимущество архитектуры Фон-Неймана - упрощение устройства МПС, так как реализуется обращение только к одной общей памяти. Кроме того, использование единой области памяти позволяло оперативно перераспределять ресурсы между областями программ и данных, что существенно повышало гибкость МПС с точки зрения разработчика программного обеспечения. Размещение стека в общей памяти облегчало доступ к его содержимому. Неслучайно поэтому фон-неймановская архитектура стала основной архитектурой универсальных компьютеров, включая персональные компьютеры.

Основной особенностью гарвардской архитектуры является использование раздельных адресных пространств для хранения команд и данных, как показано на рисунке 3.

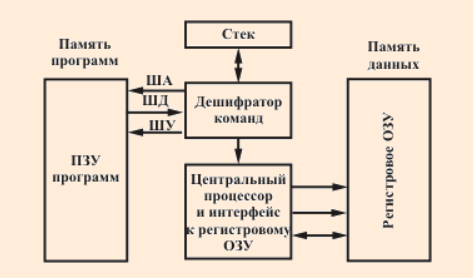


Рис. 3. Структура МП с гарвардской архитектурой

Гарвардская архитектура почти не использовалась до конца 70-х годов, пока производители МК не поняли, что она дает определенные преимущества разработчикам автономных систем управления.

Дело в том, что, судя по опыту использования МПС для управления различными объектами, для реализации большинства алгоритмов управления такие преимущества фон-неймановской архитектуры как гибкость и универсальность не имеют большого значения. Анализ реальных программ управления показал, что необходимый объем памяти данных МК, используемый для хранения промежуточных результатов, как правило, на порядок меньше требуемого объема памяти программ. В этих условиях использование единого адресного пространства приводило к увеличению формата команд за счет увеличения числа разрядов для адресации операндов. Применение отдельной небольшой по объему памяти данных способствовало сокращению длины команд и ускорению поиска информации в памяти данных.

Кроме того, гарвардская архитектура обеспечивает потенциально более высокую скорость выполнения программы по сравнению с фон-неймановской за счет возможности реализации параллельных операций. Выборка следующей команды может происходить одновременно с выполнением предыдущей, и нет необходимости останавливать процессор на время выборки команды. Этот метод реализации операций позволяет обеспечивать выполнение различных команд за одинаковое число тактов, что дает возможность более просто определить время выполнения циклов и критичных участков программы.

Большинство производителей современных 8-разрядных МК используют гарвардскую архитектуру. Однако гарвардская архитектура является недостаточно гибкой для реализации некоторых программных процедур. Поэтому сравнение МК, выполненных по разным архитектурам, следует проводить применительно к конкретному приложению. [2]

# Основные особенности RISC-процессоров

* Сокращенный набор команд (от 80 до 150 команд).
* Большинство команд выполняется за 1 такт.
* Большое количество регистров общего назначения.
* Наличие жестких многоступенчатых конвейеров.
* Все команды имеют простой формат, и используются немногие способы адресации.
* Наличие вместительной раздельной кэш-памяти.
* Применение оптимизирующих компиляторов, которые анализируют исходный код и частично меняют порядок следования команд.

Самыми крупными разработчиками RISC-процессоров считаются Sun Microsystems (архитектура SPARC - Ultra SPARC), IBM (многокристальные процессоры Power, однокристальные PowerPC - PowerPC 620), Digital Equipment (Alpha - Alpha 21164), Mips Technologies (семейство Rxx00 -- R 10000), а также Hewlett-Packard (архитектура PA-RISC - PA-8000).

Все RISC-процессоры третьего поколения:

* являются 64-разрядными и суперскалярными (запускаются не менее 4-х команд за такт);
* имеют встроенные конвейерные блоки арифметики с плавающей точкой;
* имеют многоуровневую кэш-память. Большинство RISC-процессоров кэшируют предварительно дешифрованные команды;
* изготавливаются по КМОП-технологии с 4 слоями металлизации.

Для обработки данных применяется алгоритм динамического прогнозирования ветвлений и метод переназначения регистров, что позволяет реализовать внеочередное выполнение команд.

Повышение производительности RISC-процессоров достигается за счет повышения тактовой частоты и усложнения схемы кристалла.

Представителями первого направления являются процессоры Alpha фирмы DEC, наиболее сложными остаются процессоры компании Hewlett-Packard.

Уменьшение набора машинных команд в RISC-архитектуре позволило разместить на кристалле вычислительного ядра большое количество регистров общего назначения.

Увеличение количества регистров общего назначения позволило минимизировать обращения к медленной оперативной памяти, оставив для работы с RAM только операции чтения данных из оперативной памяти в регистр и запись данных из регистра в оперативную память, все остальные машинные команды используют в качестве операндов регистры общего назначения.

Развитие архитектуры RISC в значительной степени определялось прогрессом в области создания оптимизирующих компиляторов. Именно современная техника компиляции позволяет эффективно использовать преимущества большего числа регистров, конвейерной организации и большей скорости выполнения команд.

Большое число регистров позволяет большему объему данных храниться в регистрах на процессорном кристалле большее время и упрощает работу компилятора по распределению регистров под переменные.

Простые методы адресации позволяют резко упростить декодирование команд. Организация регистровой структуры – основное достоинство и основная проблема RISC. Практически любая реализация RISC-архитектуры использует трехместные операции обработки, в которых результат и два операнда имеют самостоятельную адресацию – R1 := R2, R3. Это позволяет без существенных затрат времени выбрать операнды из адресуемых оперативных регистров и записать в регистр результат операции. Кроме того, трехместные операции дают компилятору большую гибкость по сравнению с типовыми двухместными операциями формата «регистр – память» архитектуры CISC. В сочетании с быстродействующей арифметикой RISC-операции типа «регистр – регистр» становятся очень мощным средством повышения производительности процессора.

Основными преимуществами RISC-архитектуры является наличие следующих свойств:

* Большое число регистров общего назначения.
* Универсальный формат всех микроопераций.
* Равное время выполнения всех машинных команд.
* Практически все операции пересылки данных осуществляются по маршруту регистр – регистр.
* Равное время выполнения всех машинных команд позволяют обрабатывать поток командных инструкций по конвейерному принципу, т. е. выполняется синхронизация аппаратных частей с учетом последовательной передачи управления от одного аппаратного блока к другому.

Современные RISC-процессоры характеризуются следующим:

* упрощенным набором команд;
* используются команды фиксированной длины и фиксированного формата, простые способы адресации, что позволяет упростить логику декодирования команд;
* большинство команд выполняются за один цикл процессора;
* логика выполнения команд с целью повышения производительности ориентирована на аппаратную, а не на микропрограммную реализацию, отсутствуют макрокоманды, усложняющие структуру процессора и уменьшающие скорость его работы;
* взаимодействие с оперативной памятью ограничивается операциями
* пересылки данных;
* для обработки, как правило, используются трехадресные команды, что помимо упрощения дешифрации дает возможность сохранять большее число переменных в регистрах без их последующей перезагрузки;
* создан конвейер команд, позволяющий обрабатывать несколько из них одновременно;
* наличие большого количества регистров;
* используется высокоскоростная память. [3]

Технология RISC не всегда подходит для применения в тех случаях, когда набор задач ограничен. Например, для сетевого оборудования встроенные вычислительные средства RISC, как правило, не подходят, поскольку большинство ситуаций, в которых вы можете оказаться, можно предвидеть, а использование для их решения множества небольших команд замедляет работу устройства. Технология CISC предпочтительна при решении большинства задач, так или иначе относящихся к серверам, поскольку требования к процессорам в данном случае легко предвидеть. С другой стороны, технология RISC предпочтительна в "непредсказуемых" случаях, например, при обслуживании баз данных и приложений.

Технология RISC не всегда подходит для применения в тех случаях, когда набор задач ограничен. Например, для сетевого оборудования встроенные вычислительные средства RISC, как правило, не подходят, поскольку большинство ситуаций, в которых вы можете оказаться, можно предвидеть, а использование для их решения множества небольших команд замедляет работу устройства. Технология CISC предпочтительна при решении большинства задач, так или иначе относящихся к серверам, поскольку требования к процессорам в данном случае легко предвидеть. С другой стороны, технология RISC предпочтительна в "непредсказуемых" случаях, например, при обслуживании баз данных и приложений.

# 8-разрядные RISC-микроконтроллеры

Реализация концепции RISC-архитектуры в 8-разрядных микроконтроллерах существенно расширила среду их применения. К традиционным приложениям таких МК (телекоммуникации, системы сбора данных, системы охраны, автоэлектроника, системы отображения информации и т. д.) сегодня прибавляются такие, где раньше использовались только более мощные 16- и 32-разрядные процессоры с функ-цией цифровой обработки сигналов, например, обработка видеосигналов и векторное управление электроприводом. Продвижение 8-разрядных RISC-микроконтроллеров на этот рынок произошло во многом благодаря тому, что они нередко предлагают оптимальное соотношение производительности и цены. Предлагая вниманию читателей обзор 8-разрядных RISC-микроконтроллеров различных производителей, редакция в последующих номерах намерена опубликовать аналогичные статьи об их 16- и 32-разрядных родственниках.

Давным-давно, ещё в те времена, когда микропроцессоры работали медленно, использовали шины байтовой ширины, выполняли команды за невообразимое количество машинных тактов и страдали от аккумуляторного “бутылочного горлышка”, нашлись люди, не желающие мириться с подобным положением вещей. Они сформировали концепцию RISC-архитектуры — процессора с сокращённым набором команд, которые выполнялись бы в идеале за один машинный такт. Почему сократился набор команд — понятно: чем команда короче, тем быстрее она считывается и выполняется. Затем был разделён доступ между памятью программ и памятью данных. Увеличение разрядности шины, по которой считываются инструкции до 12, 16 и даже 22 разрядов, позволило использовать очень мощные команды. Последующий отказ от архитектуры с регистром-аккумулятором в пользу регистрового файла, где каждый регистр “сам себе аккумулятор“, позволил ещё больше поднять производительность процессора.

Современные 8-разрядные RISC-микроконтроллеры занимают промежуточную нишу по своим техническим характеристикам между классическими 8-разрядными микроконтроллерами и их 16-разрядными кузенами. Высокая производительность и меньшая, чем у 16-разрядных МК, цена превращают RISC-микроконтроллеры в мощный инструмент для построения эффективных многофункциональных контроллеров, используемых в самых разнообразных приложениях. [4]

# MICROCHIP PICmicro family

Первые микроконтроллеры компании MICROCHIP PIC16C5x появились в конце 80-х годов и благодаря своей высокой производительности и низкой стоимости составили серьёзную конкуренцию производимым в то время 8-разрядным МК с CISC-архитектурой. [5]



Рис. 4. Микроконтроллер фирмы MCU Family

Первое, что привлекает внимание в PIC-контроллерах — это простота и эффективность. В основу концепции PIC, единую для всех выпускаемых семейств, была положена RISC-архитектура с системой простых однословных команд, применение встроенной памяти программ и данных и малое энергопотребление.

Система команд базового семейства PIC165x содержит только 33 команды. Как ни странно, и это сыграло свою роль в популяризации PIC-контроллеров. Все команды (кроме команд перехода) выполняются за один машинный цикл (или четыре машинных такта) с перекрытием по времени выборок команд и их исполнения, что позволяет достичь производительности до 5 MIPS при тактовой частоте 20 МГц.

Микроконтроллеры PIC имеют симметричную систему команд, позволяющую выполнять операции с любым регистром, используя любой метод адресации. Правда, разработчики MICROCHIP так и не смогли отказаться от любимой всеми структуры с регистром-аккумулятором, необходимым участником всех операций с двумя операндами. Зато теперь пользователь может сохранять результат операции на выбор, где пожелает, в самом регистре-аккумуляторе или во втором регистре, используемом для операции. В настоящее время MICROCHIP выпускает четыре основных семейства 8-разрядных RISC-микроконтроллеров, совместимых снизу вверх по программному коду:

* базовое семейство PIC15Cx с 12-разрядными командами, простые недорогие микроконтроллеры с минимальной периферией;
* PIC12Cxxx с 12-разрядными командами со встроенным тактовым генератором, выпускаемые в миниатюрном 8-выводном исполнении. Не так давно был анонсирован очередной такой “малыш” c внутренним 8-разрядным 4-канальным АЦП;
* Mid-range PIC16x/7x/8x/9x с 14-разрядными командами. Наиболее многочисленное семейство, объединяющее микроконтроллеры с разнообразными периферийными устройствами, в число которых входят аналоговые компараторы, аналогово-цифровые преобразователи, контроллеры последовательных интерфейсов SPI, USART и I2C, таймеры-счётчики, модули захвата/сравнения, широтно-импульсные модуляторы, сторожевые таймеры, супервизорные схемы и так далее;
* High-end PIC17C4x/5xx высокопроизводительные микроконтроллеры с расширенной системой команд 16-разрядного формата, работающие на частоте до 33 МГц, с объёмом памяти программ до 16 Кслов. Кроме обширной периферии почти все микроконтроллеры этого семейства имеют встроенный аппаратный умножитель 8ґ8, выполняющий операцию умножения за один машинный цикл.

Большинство PIC-контроллеров выпускаются с однократно программируемой памятью программ OTP с возможностью внутрисхемного программирования или масочным ROM. Для целей отладки предлагаются версии с ультрафиолетовым стиранием, надо признать, не очень дешёвые. Полное количество выпускаемых модификаций PIC-контроллеров составляет порядка пятисот наименований. Как не без основания утверждает MICROCHIP, продукция компании перекрывает весь диапазон применений 8-разрядных микроконтроллеров.

Особый акцент MICROСHIP делает на максимально возможное снижение энергопотребления для выпускаемых микроконтроллеров. При работе на частоте 4 МГц PIC-контроллеры, в зависимости от модели, имеют ток потребления меньше 1,5 мА, а при работе на частоте 32,768 КГц — ниже 15 мкА. Поддерживается “спящий” режим работы. Диапазон питающих напряжений PIC-контроллеров составляет 2,0...6,0 В.

В настоящее время готовится к запуску в производство новое пятое семейство PIC-контроллеров PIC18Cxxx. Новые микроконтроллеры будут иметь расширенное RISC-ядро, оптимизированное под использование нового Си-компилятора, адресное пространство программ до 2 Мбайт, до 4 Кбайт встроенной памяти данных и производительность 10 MIPS.

Из программных средств отладки наиболее известны и доступны различные версии ассемблеров, а также интегрированная программная среда MPLAB. Российские производители программаторов и аппаратных отладочных средств также уделяют внимание PIC-контроллерам. Выпускаются как специализированные программаторы, такие как PICPROG, программирующие почти весь спектр PIC-микроконтроллеров, так и универсальные: UNIPRO, СТЕРХ, поддерживающие наиболее известные версии PIC.

# Atmel AVR

В отличие от MICROCHIP, компания ATMEL Corp. — один из мировых лидеров в производстве широкого спектра микросхем энергонезависимой памяти, FLASH-микроконтроллеров и микросхем программируемой логики, взяла старт по разработке RISC-микроконтроллеров в середине 90-х годов, используя все свои технические решения, накопленные к этому времени. [6]

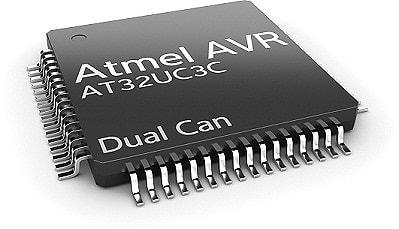


Рис. 5. Микроконтроллер семейства AVR

Концепция новых скоростных микроконтроллеров была разработана группой разработчиков исследовательского центра ATMEL в Норвегии, инициалы которых затем сформировали марку AVR. Первые микроконтроллеры AVR AT90S1200 появились в середине 1997 г. и быстро снискали расположение потребителей.

AVR-архитектура, на основе которой построены микроконтроллеры семейства AT90S, объединяет мощный гарвардский RISC-процессор с раздельным доступом к памяти программ и данных, 32 регистра общего назначения, каждый из которых может работать как регистр- аккумулятор, и развитую систему команд фиксированной 16-бит длины. Большинство команд выполняются за один машинный такт с одновременным исполнением текущей и выборкой следующей команды, что обеспечивает производительность до 1 MIPS на каждый МГц тактовой частоты.

32 регистра общего назначения образуют регистровый файл быстрого доступа, где каждый регистр напрямую связан с АЛУ. За один такт из регистрового файла выбираются два операнда, выполняется операция, и результат возвращается в регистровый файл. АЛУ поддерживает арифметические и логические операции с регистрами, между регистром и константой или непосредственно с регистром.

Регистровый файл так же доступен как часть памяти данных. 6 из 32-х регистров могут использоваться как три 16-разрядных регистра-указателя для косвенной адресации. Старшие микроконтроллеры семейства AVR имеют в составе АЛУ аппаратный умножитель.

Базовый набор команд AVR содержит 120 инструкций. Инструкции битовых операций включают инструкции установки, очистки и тестирования битов.

Все микроконтроллеры AVR имеют встроенную FLASH ROM с возможностью внутрисхемного программирования через последовательный 4-проводной интерфейс.

Периферия МК AVR включает: таймеры-счётчики, широтно-импульсные модуляторы, поддержку внешних прерываний, аналоговые компараторы, 10-разрядный 8-канальный АЦП, параллельные порты (от 3 до 48 линий ввода и вывода), интерфейсы UART и SPI, сторожевой таймер и устройство сброса по включению питания. Все эти качества превращают AVR-микроконтроллеры в мощный инструмент для построения современных, высокопроизводительных и экономичных контроллеров различного назначения.

В рамках единой базовой архитектуры AVR-микроконтроллеры подразделяются на три подсемейства:

* Classic AVR — основная линия микроконтроллеров с производительностью отдельных модификаций до 16 MIPS, FLASH ROM программ 2–8 Кбайт, ЕEPROM данных 64–512 байт, SRAM 128–512 байт;
* mega AVR с производительностью 4–6 MIPS для сложных приложений, требующих большого обьёма памяти, FLASH ROM программ 64–128 Кбайт, ЕEPROM данных 64–512 байт, SRAM 2–4 Кбайт, SRAM 4 Кбайт, встроенный 10-разрядный 8-канальный АЦП, аппаратный умножитель 8ґ8;
* tiny AVR — низкостоимостные микроконтроллеры в 8-выводном исполнении имеют встроенную схему контроля напряжения питания, что позволяет обойтись без внешних супервизорных микросхем.

AVR-микроконтроллеры поддерживают спящий режим и режим микропотребления. В спящем режиме останавливается центральное процессорное ядро, в то время как регистры, таймеры-счётчики, сторожевой таймер и система прерываний продолжают функционировать. В режиме микропотребления сохраняется содержимое всех регистров, останавливается тактовый генератор, запрещаются все функции микроконтроллера, пока не поступит сигнал внешнего прерывания или аппаратного сброса. В зависимости от модели, AVR-микроконтроллеры работают в диапазоне напряжений 2,7–6 В либо 4–6 В (исключение составляет ATtiny12V с напряжением питания 1,2 В).

Средства отладки. ATMEL предлагает программную среду AVR-studio для отладки программ в режиме симуляции на программном отладчике, а также для работы непосредственно с внутрисхемным эмулятором. AVR-studio доступен с WEB-страницы ATMEL, содержит ассемблер и предназначен для работы с эмуляторами ICEPRO и MegaICE. Ряд компаний предлагают свои версии Си-компиляторов, ассемблеров, линковщиков и загрузчиков для работы с микроконтроллерами семейства AVR. Как и продукция MICROCHIP, микроконтроллеры ATMEL широко применяются в России и, как следствие, программируются многими отечественными программаторами. Ряд российских фирм предлагает также различные аппаратные средства отладки AVR-микроконтроллеров.

# Scenix Sem

Известному философскому принципу не умнoжать сущностей сверх необходимого, американская компания Scenix Semiconductors не стала изобретать принципиально новый микроконтроллер со своей системой команд, а решила кардинально переработать и улучшить уже упоминавшееся семейство PIC16Cx MICROCHIP. Scenix имеет патент на быструю флэш-технологию. Это позволило создать микроконтроллеры с производительностью более 50 MIPS, анонсированные в декабре 1997 года. Ещё через год появилась версия с удвоенной производительностью — 100 MIPS. [7]

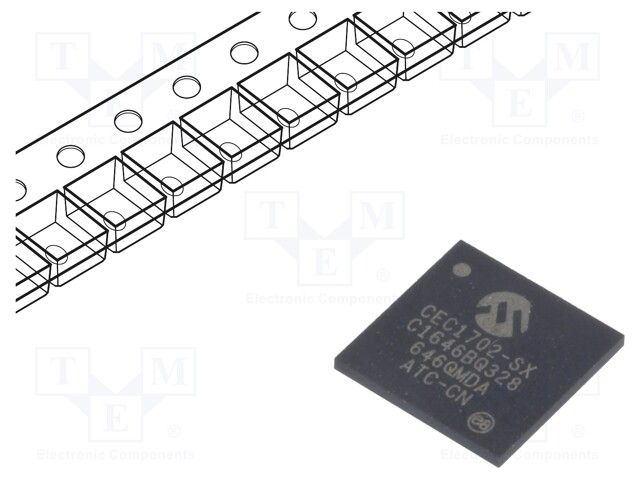


Рис. 6. Микроконтроллер семейства SX

Новые микроконтроллеры SC18/20/28AC100 совместимы программно снизу вверх и аппаратно pin-to-pin с PIC16C5х и при этом предоставляют пользователю гораздо больше возможностей при ненамного большей стоимости.

RISC-ядро SX-процессора обеспечивает выполнение большинства 12 разрядных инструкций за один машинный цикл длительностью 10 нс на тактовой частоте 100 МГц. 4-уровневый конвейер команд позволяет одновременно выполнять выборку команды, декодирование, исполнение, запись результата одновременно для четырёх последовательно расположенных команд. Новой особенностью процессора также является аппаратное сохранение содержимого служебных регистров и обратная загрузка для ускорения обработки прерываний без потери машинных циклов.

Кроме своей исключительной производительности, микроконтроллеры Scenix обладают следующими дополнительными возможностями по сравнению с PIC16C5x:

* расширенная система команд: 33 (как у PIC16C5x) плюс 10 дополнительных;
* у SX48BD/SX52BD 4096ґ12 FLASH-память программ с возможностью внутрисхемного программирования; внутрисхемная отладка на максимальной рабочей частоте, не требующая дорогих эмуляторов;
* 256ґ8 бит встроенного статического ОЗУ; два 16-разрядных универсальных таймера плюс один 8-разрядный; быстрый аналоговый компаратор; внутренний RC-генератор с предделителем; поддержка внешних прерываний со временем отклика 50 нс;
* сильноточные порты ввода/вывода (30 мA) с программируемым включением внутренних pull-up резисторов и формированием TTЛ/КМОП-уровней, триггеров Шмидта; расширенная схема сброса при пропадании питания; отсутствие “дрожания” фронта сигнала при обработке прерывания; возможность работы в режиме отладки программного кода с доступом к содержимому регистров и стека.

Наиболее же интересным моментом, пожалуй, является концепция Виртуальной Периферии — программной эмуляции периферийных устройств, активно разрабатываемой Scenix Sem. В её основе заложены быстрые прерывания у SX-микроконтроллеров.

Многим разработчикам знакомы проблемы настойчивого поиска микроконтроллера, обладающего необходимым количеством таймеров, АЦП, ШИМ и контроллеров различных последовательных интерфейсов. И чтобы всё это размещалось на одном кристалле.

Стандартный ответ компаний-производителей — размещение на кристалле как можно большего числа периферийных модулей для потенциального использования — приводит к необходимости решения многих технологических проблем (потребление, отвод тепла и так далее) и к значительному удорожанию кристалла. Другой подход тоже не идеален — разбиение микроконтроллеров на множество подсемейств, у MICROCHIP, к примеру, до 500 отличающихся модификаций, где всегда можно найти что-нибудь подходящее и недорогое. Запросы у разработчиков могут быть весьма нестандартны.

В этом случае очень изящно выглядит решение Scenix Sem. — осуществлять программную эмуляцию периферийных компонент на базе очень быстрого микроконтроллера при посредстве стандартной библиотеки программных модулей. В настоящее время библиотека модулей насчитывает несколько десятков разновидностей, некоторые из них:

|  |  |
| --- | --- |
| I2C master | 50 слов программы, 3% ресурсов процессора; |
| UART 19.2K | 60 слов, 5%; |
| ШИМ 20 кГц 8 бит | 30 слов, 10%; |
| АЦП 1 кГц 8 бит | 50 слов, 5%; |
| Интерфейс Е1 2 Мбит | 80 слов, 30%; |
| Контроллер клавиатуры PC | 80 слов, 1%; |
| Приёмопередатчик DTMF | 120 слов, 10%. |

Доступен широкий спектр средств программирования и отладки для микроконтроллеров SX. Выпущено несколько коммерческих и бесплатных компиляторов Си, программных симуляторов, ассемблеров, программаторов. Постоянно растут списки примеров применения виртуальной периферии: Modem 1200 бод, IRDA-интерфейс, TCP/IP — делает доступным SX-микроконтроллер в сети Internet; а скоро — USB, CAN-протоколы.

В 2000 году компанией запланирован выпуск усовершенствованных микроконтроллеров SX48BD/SX52BD с расширенной памятью программ и данных.

# XEMICS CoolRISC

Xemics (Швейцария) — компания, известная своими технологическими решениями в области производства микроэлектроники для применений в портативных или автономных системах с батарейным питанием. [8]



Рис. 7. Микроконтроллер семейства XEMICS

Имея большой опыт в подобных разработках, Xemics в 1996 году создаёт RISC-ядро с недвусмысленным названием CoolRISC и с уникальным соотношением производительность/потребление, ставшее базой для производства микроконтроллеров семейства XE8000, оставившим позади в соревновании за микропотребление даже лучших представителей MICROCHIP.

Гарвардское RISC-ядро процессора выполняет все 33 команды 22-бит формата, в том числе и команды перехода за один машинный такт. 3-уровневый конвейер команд: выборка, исполнение и запись — позволяет достичь производительности до 1 MIPS на 1 МГц тактовой частоты. В отличие от большинства RISC-процессоров, CoolRisc-процессор содержит четыре 8-разрядных рабочих регистра и регистр-аккумулятор, четыре 16-разрядных индексных регистра, а также поддерживает не только инструкции регистр–регистр, но и регистр–память с возможностью запоминания результата в третьем регистре, выполняемые за один такт. Регистр-аккумулятор не имеет ничего общего с подобным регистром, использующимся во всех арифметических и логических операциях обычных CISC-процессоров. Это просто регистр, где запоминается результат операции АЛУ. Аппаратный умножитель является неотъемлемой частью АЛУ и позволяет проводить операции знакового и беззнакового умножения.

Микроконтроллеры XE8000 подразделяются на две основные ветви: XE8301 и XE88х1. Общим для всех членов семейства является встроенная память программ (FLASH или MASK ROM версии) размером 8К ґ 22 слов, память данных 512ґ8 байт, внутренний RC-генератор от 100 кГц до 10 МГц с возможностью программной настройки.

В периферию микроконтроллеров входят:

* сторожевой таймер;
* схема сброса по включению питания;
* схема контроля питающего напряжения, UART и по-следовательный синхронный порт;
* 4 каскадируемых 8-бит таймера-счётчика с возможностью работы в режиме ШИМ и захвата/сравнения;
* поддержка внешних прерываний;
* параллельные порты, до 20 линий ввода/вывода.

Кроме стандартного набора режимов SLEEP и Power Down, очень интересной особенностью является существование программной опции включения/выключения любого периферийного устройства в целях снижения энергопотребления, а также опция программной установки делителя тактовой частоты для той же цели.

XE8301 является микроконтроллером общего назначения, работающим в диапазоне питания от 1,2 до 5 В (MASK ROM) и 2,4–5,5 В (версия с FLASH ROM), выпускаемым в 20- и 28-выводном исполнении. При работе с производительностью 4 MIPS потребление контроллера составляет всего-навсего 1,24 мА, при 1 MIPS — снижается до 310 мкА, а при подключении генератора 32,768 кГц суммарный ток, потребляемый микроконтроллером, составляет всего 6 мкА.

Микроконтроллеры XE88х1 имеют встроенный АЦП с разрешением до 16 бит (XE8801) и АЦП плюс два дополнительных цифро-аналоговых преобразователя: широтно-импульсный и токовый (XE8851).

Аналоговый мультиплексор на входе АЦП обеспечивает коммутацию 4 дифференциальных сигналов либо 7 отдельных сигналов и одного референтного. Встроенный аналоговый усилитель, следующий за мультиплексором, имеет схему компенсации напряжения смещения и программируемый коэффициент усиления 0,5–1000.

Очередной новинкой Xemics в содружестве Massana Inc. стал новый микроконтроллер CoolRISC+FILU-50, объединяющий на одном кристалле архитектуру CoolRISC и 16-бит сигнальный процессор с фиксированной точкой, 40-бит аккумулятором и с суммарной производительностью до 60 MIPS.

К настоящему времени Xemics разработан стандартный набор для разработки и отладки систем на базе XE8000: ассемблер, Си-компилятор, программная среда CoolRISC Software DE для отладки и программной симуляции. Доступны также внутрисхемный эмулятор, программатор и стартовые наборы.

# Ангстрем

Нельзя не обойти вниманием разработчиков отечественного производителя ОАО “АНГСТРЕМ” — микроконтроллерное RISC-ядро ТЕСЕЙ, на базе которого уже создано несколько микроконтроллеров, как универсальных, так и специализированного применения. [9]



Рис. 8. Микроконтроллер семейства Ангстрем

Характерной особенностью ядра ТЕСЕЙ являются:

* гарвардская RISC-архитектура, позволяющая выполнять любую из 52 команд 16-разрядного формата за два такта частоты процессора;
* единая система команд для всего семейства с возможностью адресации до двух операндов, находящихся в памяти;
* 4-ступенчатый конвейер выполнения команд;
* малое время отклика на прерывание и сохранение контекста;
* широкий диапазон конфигураций внутренних памяти команд, памяти данных и периферийных устройств.

Микроконтроллеры отличаются наличием энергонезависимой памяти данных, возможности многократного перепрограммирования памяти программ, небольшим количеством внешних выводов и низким энергопотреблением.

Микроконтроллер КР1878ВЕ1 является представителем семейства ТЕСЕЙ и обладает следующими характеристиками:

* производительность до 4 MIPS на тактовой частоте 8 МГц;
* перепрограммируемая память программ 1Кґ16;
* память данных RAM 128ґ8, EEPROM данных 64ґ8;
* периферия: сторожевой таймер, 16-бит таймер-счётчик с предделителем, 12 линий ввода/вывода и поддержка прерываний;
* ток потребления меньше 2 мА при напряжении питания 5 В и тактовой частоте 5 МГц.

Микроконтроллер выпускается в 18-выводном исполнении.

Для отладки предлагается программная отладочная среда TESSA 0.1.

# Вывод

В данной работе была отмечена классификация, структура микроконтроллера, структура процессорного ядра микроконтроллера, основные особенности RISC архитектуры.

На сегодняшний день существует более 200 модификаций микроконтроллеров, совместимых с i8051, выпускаемых двумя десятками компаний, и большое количество микроконтроллеров других типов. Популярностью у разработчиков пользуются 8-битные микроконтроллеры PIC фирмы Microchip Technology и AVR фирмы Atmel, шестнадцатибитные MSP430 фирмы TI, а также ARM, архитектуру которых разрабатывает фирма ARM и продаёт лицензии другим фирмам для их производства, процессоров — микроконтроллеры.

При проектировании микроконтроллеров приходится соблюдать баланс между размерами и стоимостью с одной стороны и гибкостью и производительностью с другой. Для разных приложений оптимальное соотношение этих и других параметров может различаться очень сильно. Поэтому существует огромное количество типов микроконтроллеров, отличающихся архитектурой процессорного модуля, размером и типом встроенной памяти, набором периферийных устройств, типом корпуса и т. д.

# Список литературы

1. https://studwood.ru/1635500/tehnika/risc\_arhitektura
2. https://naf-st.ru/articles/mpmc/m012
3. https://www.myunivercity.ru/%D0%98%D0%BD%D1%84%D0%BE%D1%80%D0%BC%D0%B0%D1%82%D0%B8%D0%BA%D0%B0/%D0%A1%D1%80%D0%B0%D0%B2%D0%BD%D0%B8%D1%82%D0%B5%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9\_%D0%B0%D0%BD%D0%B0%D0%BB%D0%B8%D0%B7\_%D0%B0%D1%80%D1%85%D0%B8%D1%82%D0%B5%D0%BA%D1%82%D1%83%D1%80\_RISC\_%D0%B8\_CISC/396392\_3148611\_%D1%81%D1%82%D1%80%D0%B0%D0%BD%D0%B8%D1%86%D0%B02.html
4. http://www.chipnews.ru/html.cgi/arhiv/99\_09/stat\_2.htm
5. https://www.microchip.com/en-us/products/microcontrollers-and-microprocessors/8-bit-mcus
6. https://prom-electric.ru/chto-takoe-avr-mikrokontroller/
7. https://www.tme.eu/ru/details/cec1702q-b1-sx/lineika-arm-32-bit/microchip-technology/
8. https://www.wirelessdesignonline.com/doc/new-xemics-truerf-solution-weds-ism-transceiv-0001
9. https://www.angstrem.ru/