

# Digitale Systeme SS2019

## Übungsblatt 3

---

### Aufgabe 1

(3 Punkte)

Ein Cache mit 8 Cache-Frames sei als direct-mapped Cache organisiert. Folgende Zugriffssequenz auf Hauptspeicherblöcke werde beobachtet:

2 5 0 13 2 5 10 8 0 4 5 2

(alle Betrachtungen beziehen sich auf anfänglich leere caches)

- (a) Welche Trefferquote ergibt sich bei oben genannter Organisation des Caches?

Verwenden Sie zur Verdeutlichung der Vorgänge die vorgegeben Tabellen.

direct mapped							
0	1	2	3	4	5	6	7

Wie erhöht/verringert sich die Trefferquote, wenn der Cache als

- (b) set-assoziativer Cache mit Set-Größe 4 und FIFO-Zugriff

set-assoziativ (2 Sets)							
0	1	2	3	0	1	2	3

(c) vollassoziativer Cache mit LRU-Zugriff arbeiten würde?

vollassoziativ							
0	1	2	3	4	5	6	7

**Aufgabe 2****(3 Punkte)**

Gegeben sei ein Writeback-Cache mit einer Cachelinegröße von 32 Byte. Der Cache sei 1 MByte groß. Der Hauptspeicher sei 4 GByte groß und byteadressiert.

- (a) Wie viele Bit müssen für Steuerinformationen (Tag, Statusinformation) für jeden Eintrag bereitstehen, wenn ein 4-fach-setassoziativer Cache zum Einsatz kommt?
- (b) Wie viele Bit müssen für Steuerinformationen für jeden Eintrag bereitstehen, wenn ein voll assoziativer Cache zum Einsatz kommt?
- (c) Wie viele Bit müssen für Steuerinformationen für jeden Eintrag bereitstehen, wenn ein direct mapped Cache zum Einsatz kommt?



**Aufgabe 3****(4 Punkte)**

In einem Rechner, der virtuellen Speicher mittels Paging realisiert, generiert die CPU diese Folge logischer Adressen (als Dezimalzahl angegeben) :

81, 1852, 396, 2810, 2019, 562, 3456

Nehmen Sie an:

- die Seitengröße sei 512 Byte
- die CPU generiert 12 Bit lange logische Adressen
- der Hauptspeicher sei byteweise adressierbar und kann 4 Seiten aufnehmen

(a) Geben Sie für jede logische Adresse die Binärdarstellung, die logische Seitennummer und den Offset (beides dezimal) an.

Adresse	Adresse binär	Seite	Offset
81			
1852			
396			
2810			
2019			
562			
3456			

(b) Stellen Sie den Inhalt der Seitentabelle der MMU nach Abschluss aller, in der oben angegebenen Reihenfolge erfolgten Speicherzugriffe dar.

Sie brauchen nur die auf jeden Fall notwendigen Einträge angeben.

Alle page frames seien zu Beginn unbelegt und werden mit aufsteigender Seitennummer verwendet, d.h. der zuerst angesprochenen logischen Seite wird die physische Seite 0, der danach angesprochenen logischen Seite die physische Seite 1 usw. zugeordnet. Wenn alle page frames in Verwendung sind, wird die LRU-Ersetzungsstrategie angewendet. Stellen Sie alle Angaben binär dar.


- (c) Geben Sie zu jeder logischen Adresse die verwendete(n) physische(n) Speicheradresse(n) an. Stellen Sie alle Angaben binär dar.

Log. Adresse	Phys. Adresse(n)