

32 位微控制器

VTM32030X 系列规格书

目录

1. 概述.....	1
2. 特性.....	2
3. 缩写.....	9
4. 方块图.....	10
5. 选型表和管脚图.....	10
5.1 VTM32030X 选型表.....	10
5.2 管脚图.....	11
5.2.1 QFN-32 封装.....	11
5.2.2 LQFP48 封装.....	11
5.2.3 LQFP64 封装.....	11
5.3 管脚描述.....	12
6. 功能描述.....	15
6.1 32-bit CPU 内核.....	15
6.2 系统管理器.....	17
6.2.1 概述.....	17
6.2.2 系统复位.....	17
6.2.3 系统电源架构.....	18
6.2.4 系统时钟架构.....	19
6.2.5 系统功率控制.....	22
6.2.6 系统存储器映射.....	22
6.2.7 系统定时器（SysTick）.....	24
6.2.8 嵌套向量中断控制器（NVIC）.....	25
6.3 模拟比较器（ACMP）.....	26
6.3.1 概述.....	26
6.3.2 特性.....	26
6.4 模拟数字转换（ADC）.....	27
6.4.1 概述.....	27
6.4.2 特性.....	27
6.5 数字模拟转换（DAC）.....	28
6.5.1 概述.....	28
6.5.2 特性.....	29
6.6 DMA 控制器.....	29
6.6.1 概述.....	29
6.6.2 特性.....	30

6.7	闪存控制器 (FMC)	30
6.7.1	概述	30
6.7.2	特性	30
6.8	通用 I/O (GPIO)	31
6.8.1	概述	31
6.8.2	特性	32
6.9	I2C 总线控制器	32
6.9.1	概述	32
6.9.2	特性	32
6.10	串行外设接口 (SPI) 控制器	33
6.10.1	概述	33
6.10.2	特性	33
6.11	定时器 (Timer)	33
6.11.1	概述	33
6.11.2	特性	34
6.12	电机控制 PWM (MotorPWM)	35
6.12.1	概述	35
6.12.2	特性	35
6.13	USART 接口控制器 (USART)	35
6.13.1	概述	35
6.13.2	特性	36
6.14	窗看门狗定时器 (WWDT)	37
6.14.1	概述	37
6.14.2	特性	37
6.15	独立看门狗定时器 (IWDT)	37
6.15.1	概述	37
6.15.2	特性	37
6.16	实时时钟控制器 (RTC)	37
6.16.1	概述	37
6.16.2	特性	38
6.17	圆函数运算控制器 (Cordic)	38
6.17.1	概述	38
6.17.2	特性	38
7.	典型应用电路	39

8.	VTM030 电气特性	40
8.1	绝对最大额定值	40
8.2	DC 电气特性	40
8.3	AC 电气特性	42
8.3.1	外部振荡器	42
8.3.2	外部高速晶振典型应用电路	43
8.3.3	内部 12MHZ 高速 RC 振荡器	43
8.4	模拟量特性	44
8.4.1	12-bit SARADC 规格	44
8.4.2	LDO 规格与 POWER 管理	45
8.4.3	低压复位规格	46
8.4.4	欠压检测规格	46
8.4.5	上电复位规格	46
8.4.6	温度传感器规格	47
8.4.7	比较器规格	48
8.4.8	12-bit DAC 规格	49
8.5	Flash DC 特性	52
8.6	GPIO DC 特性	52
9.	封装尺寸	53
9.1	QFN32	53
9.2	LQFP48	54
9.3	LQFP64	55
10.	版本历史	56

1. 概述

VTM32030X 系列是以 32 位 CPU 为内核的 32 位微控制器，应用于工业控制和需要丰富通讯接口的领域。VTM32030X 管脚与 STM32F030 兼容。

VTM32030X 运行频率可以达到 84MHZ，工作电压 2.0V ~ 5.5V（采用片内 ADC 基准时，电压范围 2.4V~5.5V），工作温度 -40℃ ~ 105℃，因此 VTM32030X 可以应用于各种工业控制和需要高性能 CPU 的领域。

VTM32030X 内嵌 128K 字节的 Flash 存储器，其中用户可用空间为 120KB，以及 16K 字节的 SRAM 存储器。

VTM32030X 包含许多系统级外设功能，如高速通用 I/O 端口，4 通道 DMA, CORDIC 运算单元，USART，SPI，I2C，PWM，Motor-PWM，ADC，DAC，模拟比较器，看门狗定时器，RTC，欠压检测器等。这些功能都被集成到 VTM32030X 的芯片内部，以减少外围元器件的数量，节省电路板空间和系统成本。

此外 VTM32030X 支持 ISP（在系统编程）和 ICP（在电路编程）功能，以及 IAP（在应用编程）允许用户无需取下芯片，直接在电路板上对芯片进行程序升级。

VTM030 与市场同类芯片对比：(参数摘自芯片数据手册)

	VTM32030X	STM32F030	MM32L073	NUC220
主频(Mhz)	84	48	48	50
Flash(KB)	128	32/128	128	32/64/128
SRAM(KB)	16	8/16	8	8/16
ADC	12bit@1.7Mhz	12bit@1Mhz	12bit@1Mhz	12bit@0.75Mhz
DAC	2 通道 12bit	无	无	无

Cordic	除法、CRC32、 圆函数计算	CRC32	无	无
GPIO(LQFP48)	39	37	39	35
电压 (V)	2.0~5.5	2.4~3.6	2.0~5.5	2.5~5.5

2. 特性

- 内核
 - ◆ 32 位 CPU 内核，运行频率最高 84MHZ
 - ◆ 一个 24 位系统定时器
 - ◆ 支持低功耗睡眠模式
 - ◆ 单指令周期 32 位硬件乘法器
 - ◆ 嵌套向量中断控制器 NVIC 支持 32 个中断输入，每个中断有 4 个优先级
 - ◆ 支持串行调试接口 (SWD)，2 个观察点/4 个断点
- 宽电压工作范围 :2.0V ~ 5.5V (采用片内 ADC 基准时，电压范围 2.4V~5.5V)
- 存储器
 - ◆ 120K 字节 Flash 用于存储用户程序 (APROM)
 - ◆ 8K 字节 Flash 用于存储 ISP 引导代码 (LDROM)
 - ◆ 两个 8K 字节 (共 16K 字节) SRAM 用于内部高速暂存存储器
- 时钟控制
 - ◆ 可编程的系统时钟源
 - ◆ 内部 12MHZ 高速 RC 振荡器
 - ◆ 内部 10KHZ 低功耗 RC 振荡器
 - ◆ 12MHZ 外部高速晶振输入

- ◆ 32.768KHZ 外部晶振输入
- ◆ PLL 支持 CPU 最高运行在 84MHZ
- I/O 端口
 - ◆ 在 LQFP64 管脚中最多支持 55 个通用 I/O 端口 (GPIO)
 - ◆ I/O 工作模式：
 - 双向模式
 - 模拟模式
 - 输入上拉、下拉、高阻模式
 - 推挽输出模式
 - 输出驱动能力和输出速率可配置
 - ◆ I/O 管脚可被配置为电平或边沿触发模式的中断源
- DMA
 - ◆ 4 个独立数据传输通道
 - ◆ 支持存储器-存储器，存储器-外设，外设-存储器，外设-外设的数据传输
 - ◆ 共有 16 个外部 DMA 通道请求接口
 - ◆ 进行数据传输时，数据通道的源端和目的端都有 FIFO 用来缓存数据
 - ◆ 数据通道的源端和目的端的数据宽度可以不一致
 - ◆ 不同传输通道同时请求传输数据时优先级可配置
 - ◆ 支持多块传输
- 32 位定时器/PWM
 - ◆ 共有四个定时器/计数器模块，每个模块包含一个可编程的 32 位预分频器以及 4 路独立的 32 位计数通道

- ◆ 每个计数通道可执行定时器或计数器操作
- ◆ 每个计数通道作为计数器时都可以选择向上、向下或中心对齐方式计数
- ◆ 每个模块有两个捕获通道，可在输入信号跳变时捕捉计数通道定时器的瞬时值，捕获事件也可以产生中断
- ◆ 每个计数通道都有一个32位匹配寄存器，允许进行以下操作：
 - 匹配时连续工作，在匹配时可选择产生中断
 - 匹配时停止定时器工作，可选择产生中断
 - 匹配时复位定时器，可选择产生中断
- ◆ 每个计数通道都有一个与匹配寄存器相对应的外部输出，这些输出可以具有以下功能：
 - 匹配时设为低电平
 - 匹配时设为高电平
 - 匹配时翻转电平
 - 匹配时不执行任何操作
- ◆ 对于每个计数通道，都可将对应的匹配寄存器配置为 PWM 输出
- ◆ PWM 输出可以设置为单脉冲输出模式以及固定脉冲个数输出模式
- ◆ 支持触发 ADC 采样
- 窗看门狗定时器
 - ◆ 带内部预分频的可编程 32 位计数器
 - ◆ 可编程的递减计数器
 - ◆ 未在一个特定的窗口时间内喂狗会导致产生中断或复位
 - ◆ 可产生早期唤醒中断
- 独立看门狗定时器
 - ◆ 由内部 10K 振荡器驱动，即使系统主时钟失效也可继续工作

- ◆ 可编程的递减计数器
- ◆ 计数到 0 时产生中断
- Motor-PWM
 - ◆ 含有三个独立的通道，每个通道包括：
 - 一个 32 位定时器/计数器 (TC)
 - 一个 32 位界限寄存器 (LIM)
 - 一个 32 位匹配寄存器 (MAT)
 - 一个 10 位死区时间寄存器 (DT) 和相应的死区时间计数器
 - 一个 32 位捕获寄存器
 - 两个极性相反的已调制的输出 (MCOA 和 MCOB)
 - 一个周期中断，一个脉宽中断，一个捕获中断
 - ◆ 输入引脚 MCI0-2 可触发 TC 捕获或使通道的计数值加 1，全局异常中断
 - 输入可强制所有通道进入“有效”状态并产生一个中断
 - ◆ 支持触发 ADC 采样
- RTC
 - ◆ 32bit 计数器可以不间断计数 136 年
 - ◆ 模拟和数字部分单独供电
 - ◆ 模拟部分可由电池供电，提供 uA 级的待机功耗
- 运算协处理单元
 - ◆ 32bit 除法运算
 - ◆ CRC32 计算
 - ◆ CORDIC 运算
- SPI

- ◆ 最多支持两组 SPI 设备
- ◆ 支持 SPI 主机/从机模式
- ◆ 支持 SPI 数据格式
- ◆ 支持全双工以及半双工数据传输
- ◆ 数据长度可改变 (4-16bit)
- ◆ 时钟初始相位和极性可配置
- ◆ 独立的 SPI 时钟源
- ◆ 支持 DMA 操作
- USART
 - ◆ 最多两组 USART 设备
 - ◆ 可编程波特率发生器
 - ◆ 接收器和发送器支持缓冲，均带有 16bytes 的 FIFO 缓冲
 - ◆ 流控功能供选择(CTS 和 RTS)
 - ◆ 支持 IrDA(SIR) 功能
 - ◆ 支持 RS485 功能
 - ◆ 智能卡模拟功能 (ISO7816)
 - ◆ 支持 LIN 功能
 - ◆ 可编程数据字长度(8 位或 9 位)
- I2C
 - ◆ 最多两组 I2C 模块
 - ◆ 支持主机/从机模式
 - ◆ 主从机之间双向数据传输
 - ◆ 多主机总线支持 (无中心主机)

- ◆ 多主机同时发送数据时进行仲裁，总线上串行数据不会被损坏
- ◆ 可编程配置的时钟可适应多样化的传输速率控制。
- ◆ 串行时钟同步允许不同位速率的器件通过同一个串行总线通信
- ◆ 串行时钟同步可作为一个握手机制来挂起和恢复串行传输

- ADC

- ◆ 12 位逐次逼近式模数转换器 ADC
- ◆ 12bits/10bits/8bits/6bits 分辨率可调
- ◆ 高达 1.7Mhz 的转换速率
- ◆ 模拟输入电压范围: 0 ~ VDDA
- ◆ 基准电压可选择片外 VREF, VDDA 或片内基准电压 (2.048V@typical)
- ◆ 自带失调校准以及增益误差校准；
- ◆ 最多 15 个外部通道输入和 1 个内部温度传感器检测输入
- ◆ 转换开始可由软件、内部硬件信号或外部引脚触发
- ◆ 支持单次转换模式/连续转换模式/非连续转换模式
- ◆ 每个通道都有单独的结果寄存器，用于暂存转换的结果
- ◆ 支持模拟看门狗功能
- ◆ 支持 DMA 操作

- DAC

- ◆ 两个独立的 12 位的 DAC
- ◆ Rail to Rail 结构
- ◆ 支持 BUF 输出模式（最大支持 5K 负载并上 50pF 电容）或者 R2R 直接输出（此时不可以有阻性负载）
- ◆ DAC 的输出可以连至比较器的 NEG 端

- ◆ 可由软件、内部硬件信号触发数据更新
- ◆ 支持 DMA 操作
- ACMP
 - ◆ 最多 3 组模拟比较器模块
 - ◆ 每个比较器模块包含 POS 和 NEG 两个端口
 - ◆ 每个 POS 和 NEG 都有两个对应的外部 IO，可接外部电压
 - ◆ NEG 端可选片内基准电压，片内基准电压 8 档可调： v_{bg} ， $7/8*v_{bg}$ ， $6/8*v_{bg}$ ，..... $1/8*v_{bg}$;
 - ◆ NEG 端也可以选择两路 DAC 的输出
 - ◆ POS 端可选择接 4 路 OP 的输出
 - ◆ 迟滞功能，迟滞电压 4 档可调(0V/10mV/20mV/50mV)
 - ◆ 比较结果发生改变时可产生中断
 - ◆ 比较器的输出可以直接输出到 GPIO 上
- ISP（在系统编程）和 ICP（在电路编程）
- IAP（在应用编程）
- 内嵌温度传感器（1℃分辨率）
- 欠压检测（BOD）
 - ◆ 支持 4 级检测电压（4.4V/3.7V/2.7V/2.2V）
 - ◆ 支持产生中断或者复位
- 工作温度
 - ◆ -40℃ ~ 105℃
- 封装
 - ◆ 无铅封装（RoHS）

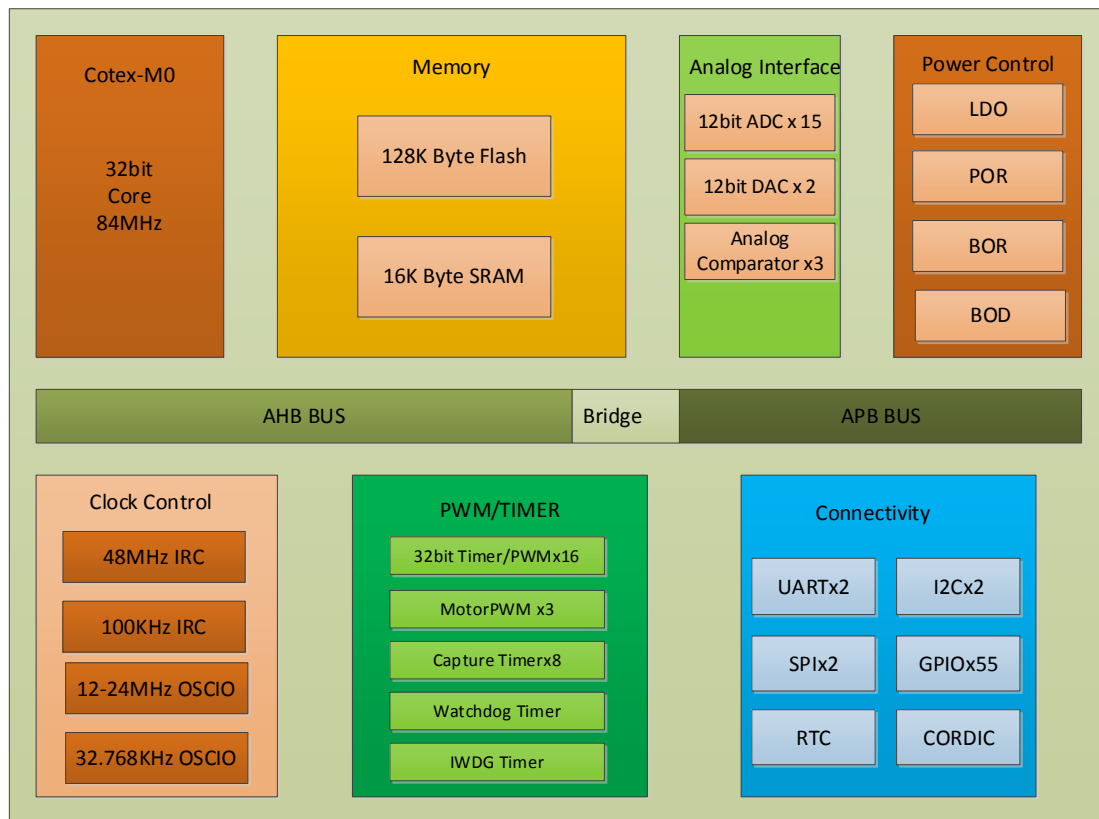
◆ 20pin-SSOP, 32pin-QFN, 48pin-LQFP, 64pin-LQFP

3. 缩写

ACMP	Analog Comparator controller
ADC	Analog-digital Convertor
APB	Advanced Peripheral Bus
AHB	Advanced High-performance Bus
BOD	Brown-out Detect
BOR	Brown-out Reset
CAN	Controller Area Network
DAC	Digital-Analog Convertor
DAP	Debug Access Port
FIFO	First-in, First-out
FMC	Flash memory controller
FPU	Float-point Unit
GPIO	General-Purpose Input/Output
HCLK	Clock of AHB
IAP	In Application Program
ICP	In Circuit Program
ISP	In System Program
IRC	Internal RC Oscillator
LDO	Low Dropout Regulator
MPU	Memory Protection Unit
MPWM	Motor PWM
NVIC	Nested Vectored Interrupt Controller
OPA	Operation Amplifier
PCLK	Clock of APB
PLL	Phase-Locked Loop
PWM	Pulse Width Modulation

SPI	Serial Peripheral Interface
TSC	Touch Sense Controller
USART	Universal Synchronous Asynchronous Receiver/Transmitter
WDT	Watchdog Timer

4. 方块图



5. 选型表和管脚图

5.1 VTM32030X 选型表

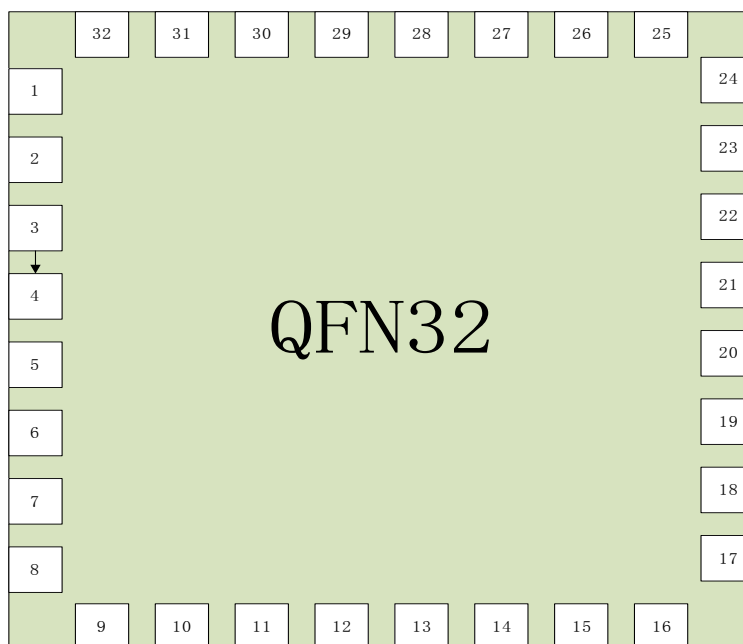
Part Number	LDROM	RAM	Flash	I/O	Timer\ PWM	Motor PWM	SPI	I2C	USART	ADC	ACMP	DAC	Package
VTM030F 128K32P Q	8KB	16KB	120KB	27	8	3	1	2	2	10	3	0	QFN32
VTM030F 128K48PL	8KB	16KB	120KB	39	12	3	2	2	2	10	3	0	LQPF48

VTM030F 128K64PL	8KB	16KB	120KB	55	16	3	2	2	2	15	3	2	LQFP64
---------------------	-----	------	-------	----	----	---	---	---	---	----	---	---	--------

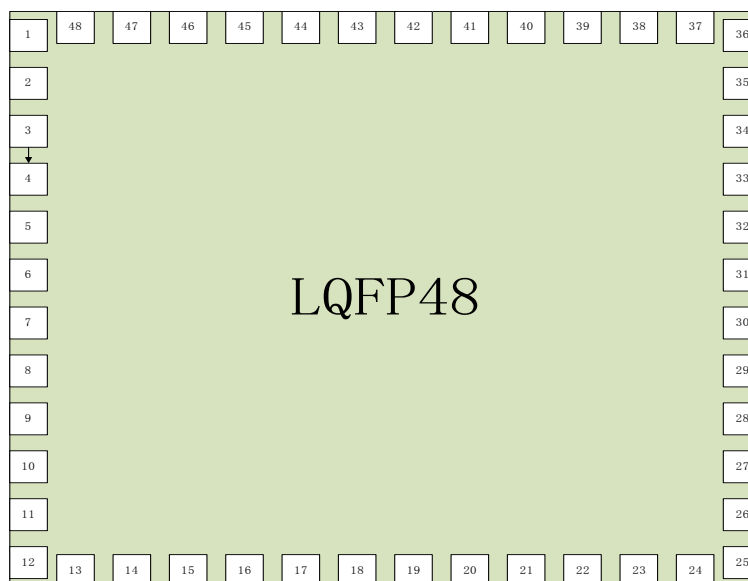
5.2 管脚图

以下管脚图中，GPIO 的外圈描述为该 IO 的数字复用功能，内圈描述为该 IO 做为数模混用 IO 时的模拟 IO 功能。

5.2.1 QFN-32 封装



5.2.2 LQFP48 封装



5.2.3 LQFP64 封装



5.3 管脚描述

管脚号			符号	数字复用功能				模拟功能	描述 (对应于 ST03/0x 管脚)
QFN 32	LQFP 48	LQFP 64		0	1	2	3		
1,17	36, 24,48	32,64	VDD						电源输入 脚 为内部 LDO 供电 ST.VDD
33	35, 23,47	31,63	VSS						电源地 ST.VSS
5	9	13	VDDA						模拟电源 ST.VDDA
33	8	12	VSSA						模拟地 ST.VSSA
NC	1	1	VBAT						RTC 电源 域供电管 脚 ST.VBAT
4	7	7	NRST						外部复位 管脚，用于 芯片复位 ST.NRST
31	44	60	BOOT						选择芯片 启动模式 ST.BOOT0

6	10	14	PIO0_0	GPIO	UART1 CTS	CT0 CAP	CMP0 OUT	ADC0 CMP0_POS	ST.PA0
7	11	15	PIO0_1	GPIO	UART1 RTS	CT0 MAT0	CMP1 OUT	ADC1 CMP0_NEG	ST.PA1
8	12	16	PIO0_2	GPIO	UART1 TX	CT0 MAT1	CMP2 OUT	ADC2 CMP1_POS	ST.PA2
9	13	17	PIO0_3	GPIO	UART1 RX	CT0 MAT2		ADC3 CMP1_NEG	ST.PA3
10	14	20	PIO0_4	GPIO	UART1 CLK	CT0 MAT3	SPI0 SEL	ADC4 CMP2_POS	ST.PA4
11	15	21	PIO0_5	GPIO		CT0 CAP1	SPI0 SCK	ADC5 CMP2_NEG	ST.PA5
12	16	22	PIO0_6	GPIO	MPWM ABORTI	CT1 MAT0	SPI0 MISO	ADC6	ST.PA6
13	17	23	PIO0_7	GPIO	MPWM OA0	CT1 MAT1	SPI0 MOSI	ADC7	ST.PA7
18	33	41	PIO1_0	GPIO	UART0 CLK	MPWM OB0	OUT CLK		ST.PA8
19	34	42	PIO1_1	GPIO	UART0 TXD	MPWM OB1	OUT RESET		ST.PA9
20	NC	43	PIO1_2	GPIO	UART0 RXD	MPWM OB2	CMP0 OUT		ST.PA10
21	NC	44	PIO1_3	GPIO	UART0 CTS	CT3 CAP	CMP1 OUT	USB_DM	ST.PA11
22	33	45	PIO1_4	GPIO	UART0 RTS	CT3 CAP1	CMP2 OUT	USB_DP	ST.PA12
23	34	46	PIO1_5	GPIO	SWD TCK				ST.PA13
24	37	49	PIO1_6	GPIO	SWD IO	UART1 TXD	SPI1 SEL		ST.PA14
25	38	50	PIO1_7	GPIO	SPI0 SEL	UART1 RXD	CT2 CAP		ST.PA15
14	18	26	PIO2_0	GPIO	MPWM OA1	CT1 MAT2		ADC8	ST.PB0
15	19	27	PIO2_1	GPIO	MPWM OA2	CT1 MAT3		ADC9	ST.PB1
16	20	28	PIO2_2	GPIO	MPWM IO	CT1 CAP			ST.PB2
26	NC	55	PIO2_3	GPIO	MPWM I1	CT0 MAT0	SPI0 SCK	CMP1_O	ST.PB3
27	NC	56	PIO2_4	GPIO	MPWM I2	CT0 MAT1	SPI0 MISO	CMP2_O	ST.PB4
28	41	57	PIO2_5	GPIO	MPWM ABORTI	CT0 MAT2	SPI0 MOSI		ST.PB5

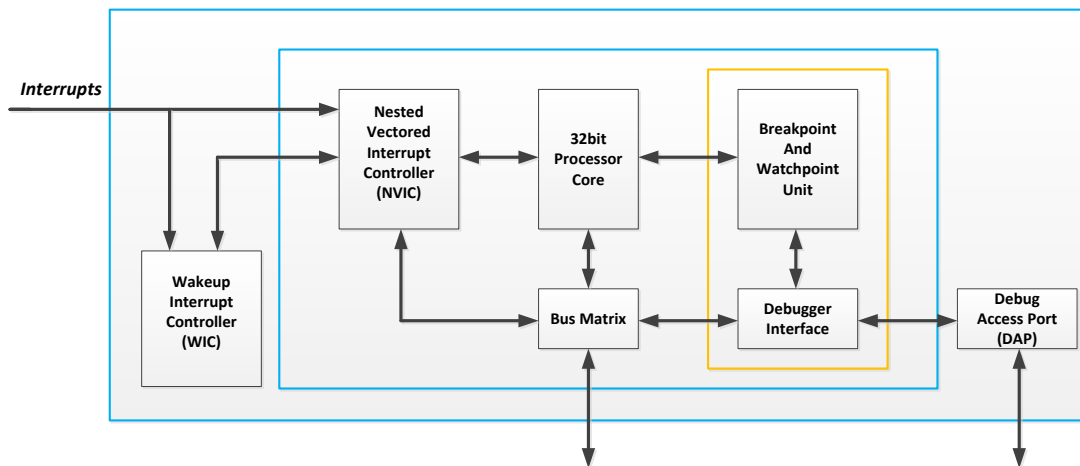
29	42	58	PIO2_6	GPIO	I2C0 SCL	MPWM OA0	UART0 TXD		ST.PB6
30	43	59	PIO2_7	GPIO	I2C0 SDA	CT1 CAP1	UART0 RXD		ST.PB7
32	45	61	PIO3_0	GPIO	I2C0 SCL	CT1 MAT0			ST.PB8
NC	46	62	PIO3_1	GPIO	I2C0 SDA	CT1 MAT1	MPWM OB0		ST.PB9
NC	21	29	PIO3_2	GPIO	I2C1 SCL	CT2 MAT0	MPWM OB1		ST.PB10
NC	22	30	PIO3_3	GPIO	I2C1 SDA	CT2 MAT1	MPWM OB2		ST.PB11
NC	25	33	PIO3_4	GPIO	SPI1 SEL	CT2 CAP	MPWM ABORTI		ST.PB12
NC	26	34	PIO3_5	GPIO	SPI1 SCK	CT2 CAP1	MPWM OA0		ST.PB13
NC	27	35	PIO3_6	GPIO	SPI1 MISO	CT2 MAT2	MPWM OA1		ST.PB14
NC	28	36	PIO3_7	GPIO	SPI1 MOSI	CT2 MAT3	MPWM OA2		ST.PB15
NC	NC	8	PIO4_0	GPIO	SPI0 MISO			ADC10 CMP1_POS	ST.PC0.
NC	NC	9	PIO4_1	GPIO	SPI0 MOSI			ADC11 CMP1_NEG CMP0_O	ST.PC1
NC	NC	10	PIO4_2	GPIO	SPI0 SCK			ADC12 CMP2_POS	ST.PC2
NC	NC	11	PIO4_3	GPIO	SPI0 SEL			ADC13 CMP2_NEG	ST.PC3
NC	NC	24	PIO4_4	GPIO	CT0 CAP			ADC14 DAC0_O	ST.PC4
NC	NC	25	PIO4_5	GPIO	CT0 CAP1			DAC1_O	ST.PC5
NC	29	37	PIO4_6	GPIO	CT3 MAT0	SPI1 SCK			ST.PC6
NC	30	38	PIO4_7	GPIO	CT3 MAT1	SPI1 SEL			ST.PC7
NC	31	39	PIO5_0	GPIO	CT3 MAT2	CT1 CAP	UART0 CTS		ST.PC8
NC	32	40	PIO5_1	GPIO	CT3 MAT3	CT1 CAP1	UART0 RTS		ST.PC9
NC	NC	51	PIO5_2	GPIO	I2C1 SCL	CT2 MAT0	SPI1 SCK		ST.PC10
NC	39	52	PIO5_3	GPIO	I2C1	CT2	SPI1		ST.PC11

					SDA	MAT1	MISO		
NC	40	53	PIO5_4	GPIO		CT2 MAT2	SPI1 MOSI		ST.PC12
NC	2	2	PIO5_5	GPIO		CT2 MAT3			ST.PC13
NC	3	3	PIO5_6	GPIO		CT2 CAP		OSC32K_IN	ST.PC14
NC	4	4	PIO5_7	GPIO		CT2 CAP1	MPWM I0	OSC32K_O	ST.PC15
2	5	5	PIO6_0	GPIO	CT3 CAP		MPWM I1	OSC_IN	ST.PF0
3	6	6	PIO6_1	GPIO	CT3 CAP1		MPWM I2	OSC_OUT	ST.PF1
NC	NC	NC	PIO6_2	GPIO					ST.PF2
NC	NC	54	PIO6_3	GPIO	CT2 CAP		UART1 CTS		ST.PD2
NC	NC	18	PIO6_4	GPIO	CT3 MAT0		UART1 RTS		ST.PF4
NC	NC	19	PIO6_5	GPIO	CT3 MAT1		UART1 TXD		ST.PF5
NC	NC	47	PIO6_6	GPIO	CT3 MAT2		UART1 RXD		ST.PF6
NC	36	48	PIO6_7	GPIO	CT3 MAT3		UART1 CLK		ST.PF7

6. 功能描述

6.1 32-bit CPU 内核

VTM32030X 采用的处理器是 32 位多级可配置的 RISC 处理器。它有 AMBA AHB-Lite 接口和嵌套向量中断控制器（NVIC），具有可选的硬件调试功能。该系列处理器支持两种操作模式 Thread 模式和 Handler 模式。当有异常发生时，处理器进入 Handler 模式。异常返回只能在 Handler 模式下发生。当复位时，处理器会进入 Thread 模式，处理器也可在异常返回时进入到 Thread 模式。下图显示了处理器内核的各个功能模块。



设备提供：

- 低门数处理器，特性如下：
 - 24-bit SysTick 定时器
 - 32-bit 硬件乘法器
 - 系统接口支持小端(little-endian)数据访问
 - 具有确定性，固定延迟的中断处理能力
 - 可以丢弃和重新开始多次加载/存储和多周期乘法指令以保证快速中断处理
 - 与 C 应用程序二进制接口兼容的异常模式（C-ABI）
 - 使用中断等待（WFI），事件等待（WFE）指令，或者从中断返回时直接进入睡眠的 sleep-on-exit 特性可以进入低功耗休眠模式
- NVIC 特性
 - 32 个外部中断输入，每个中断具有 4 级优先级
 - 不可屏蔽中断输入（NMI）
 - 支持电平和脉冲触发中断
- 调试

- 四个硬件断点
- 两个观察点
- 用于非侵入式代码的程序计数采样寄存器 (PCSR)
- 单步和向量捕获能力
- 总线接口
 - 单一 32 位的 AMBA3 AHB-Lite 系统接口，为所有的系统外设和存储器提供方便的集成
 - 支持 DAP (Debug Access Port) 的单一 32 位的从机接口

6.2 系统管理器

6.2.1 概述

系统管理器包括如下功能：

- 系统复位
- 系统电源架构
- 系统时钟架构
- 系统功率控制
- 系统存储器映射
- 系统定时器 (SysTick)
- 系统控制寄存器

6.2.2 系统复位

系统复位可由如下事件发起，这些复位事件标志可由 HW_SYSRSTSTAT 寄存器读出。

- 硬件复位

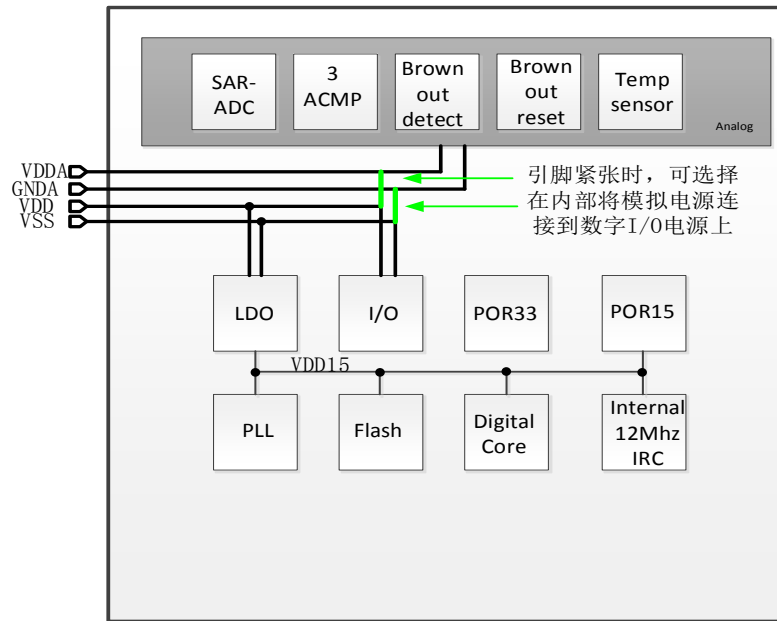
- 上电复位
- 复位脚 (NRST) 上有低电平
- 看门狗定时溢出复位 (WDT)
- 独立看门狗复位 (IWDG)
- 低电压复位 (BOR)
- 软件复位
 - MCU 复位 - SYSRESETREQ (AIRCR[2])

6.2.3 系统电源架构

该芯片的电源架构分为两个部分：

- 来自 VDDA 和 GNDA 的模拟电源，为模拟部分提供工作电源。VDDA 必须大于等于 VDD 以避免漏电。
- 来自 VDD 和 VSS 的数字电源，为内部稳压器 LDO 以及 I/O 引脚供电。内部稳压器 LDO 负责向数字模块提供稳定的 1.5V 电源。
- 在 QFN32 封装或者 SSOP20 封装中，为了节约 I/O 资源，可以将模拟电源 VDDA 和 GNDA 内部分别封装在数字电源 VDD 和 VSS 上。
- 内部稳压器 LDO 为 CAPLESS 架构，不需要片外稳压电容。
- 在芯片处于待机状态时，内核可采用备份的低功耗 LDO，进一步降低芯片的待机功耗。

下图给出了 VTM32030X 内部电源架构图：



6.2.4 系统时钟架构

时钟控制器为整个芯片提供时钟，包括系统时钟和所有外设时钟。时钟控制器还利用独立的时钟 ON/OFF 控制、时钟源选择和时钟分频器来实现功耗控制功能。

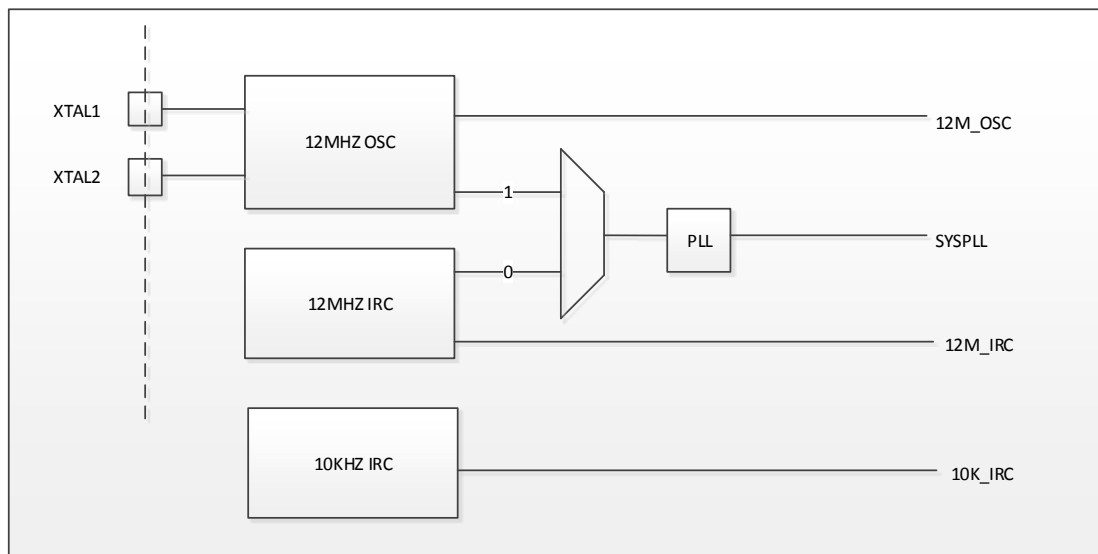
系统时钟发生器由如下 4 个时钟源组成：

12MHZ 内部 RC 振荡器 (12M_IRC)

12MHZ 外部晶振 (12M_OSC)

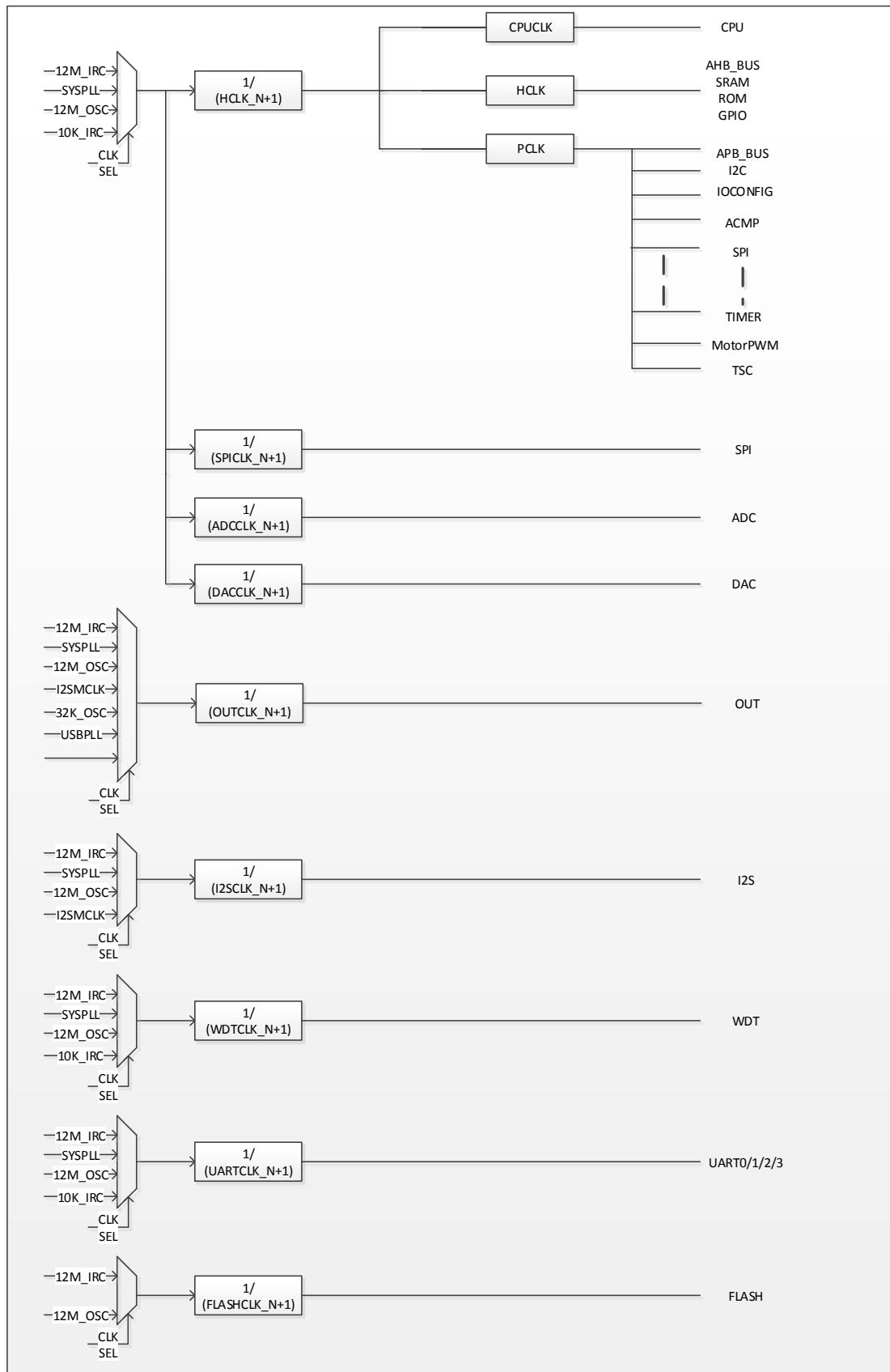
10KHZ 内部低功耗振荡器(10K_IRC)

120MHZ 的内部 SYSPLL (PLL 输入时钟源可选择 12M_IRC 或是 12M_OSC)



除了系统时钟之外，芯片内还有几个供专门模块使用的时钟源，分别为：

32.768KHZ 外部晶振（32K_OSC），供给 RTC 模块使用。



6.2.5 系统功率控制

VTM32030X 系列 MCU 支持多种功耗控制特性，通过优化芯片中模块的电源和时钟可以降低处理器运行时的功率消耗。VTM32030X 共有三种专门的处理器节电模式：睡眠模式、深度睡眠模式以及掉电模式。

在睡眠模式下，CPU 内核时钟会被关闭，但外设仍然可以继续运行。

在深度睡眠模式下，会自动关闭大部分数字模块的时钟，同时用户可以选择哪些模拟模块被关闭，来减少消耗的功率。同时还可以选择使用低功耗内部 LDO 来进一步降低芯片功耗。

在掉电模式下，数字内核掉电，模拟部分除了 32K 振荡器，10K 内部 IRC 以及 RTC 模块外也都处于掉电状态，用户也可以选择关闭这三个模块。

根据实际需要，用户可以通过切换时钟源、重新配置 PLL 值和/或改变系统时钟的分频值，来控制 CPU 以及系统的运行频率。这样可以根据实际应用的需要来对功耗和处理速度进行权衡。

同时，运行时（runtime）功耗控制允许将片内各外设各自的时钟关闭，也允许关闭应用无需使用到的外设来减少功耗。

6.2.6 系统存储器映射

VTM32030X 系列 MCU 提供 4G 字节的寻址空间。每个片上模块存储器的地址分配情况如下表所示。详细的寄存器定义和寻址空间以及编程细节将在后续的各个片上外设描述章节里描述。VTM32030X 系列仅支持小端数据格式。

在 VTM32030X 中存在一个地址重映射机制，以供开发者调用芯片的 LDROM 中预置的调试代码来对芯片进行调试开发。芯片上电后 CPU 会从 0x00000000 的地址开始执行程序，正常模式下这段空间是分配给 APROM 的，

但是在调试模式下这段地址空间会分配给 LDROM，也就是正常模式下芯片上电执行 APROM 中的程序，调试模式下芯片上电执行 LDROM 中的程序。

进入调试模式的方法有两种：

- BOOT 管脚在上电时被捕获到为 1。由于这个 IO 管脚默认为输入下拉状态，因此要通过 BOOT 管脚进入调试模式就需要在 PCB 板上将这个管脚上拉到高电平。
- 将 APROM 的 NVR0 区域的 0x0000_0004 地址处的对应字的 bit[7:4] 设置为 0101。由于 Flash 出厂后始终为全 1，因此芯片初次上电时始终进入正常模式。

地址空间	标志	模块
Flash & SRAM 空间(0x0000_0000 – 0x2000_FFFF)		
0x0000_0000 – 0x0001_DFFF 0x1000_0000 – 0x1001_DFFF	APROM	APROM 地址空间 (120KB) (正常模式) (调试模式)
0x0000_0000 – 0x0000_1FFF 0x1000_0000 – 0x1000_1FFF	LDROM	LDROM 地址空间(8KB) (调试模式) (正常模式)
0x2000_0000 – 0x2000_3FFF	SRAM	SRAM 内存空间(16KB)
AHB 模块空间(0x4000_0000 – 0x4008_0000)		
0x4000_0000 – 0x4000_FFFF	APB	APB 桥外设寄存器 (64KB)
0x4002_0000 – 0x4004_FFFF	GPIO	GPIO(port0-2)寄存器空间 (192KB)
0x4005_0000 – 0x4005_FFFF	DMA	DMA 模块寄存器空间
APB 模块空间(0x4000_0000 – 0x4000_FFFF)		
0x4000_0000 – 0x4000_0FFF	SYSCONFIG	SYSCONFIG 模块寄存器
0x4000_1000 – 0x4000_17FF	IOCONFIG	IOCONFIG 模块寄存器
0x4000_1800 – 0x4000_1FFF	TSC	TSC 模块寄存器
0x4000_2000 – 0x4000_27FF	USART0	USART0 模块寄存器
0x4000_2800 – 0x4000_2FFF	USART1	USART1 模块寄存器

0x4000_3000 – 0x4000_37FF	TIMER2	TIMER2 模块寄存器
0x4000_3800 – 0x4000_3FFF	TIMER3	TIMER3 模块寄存器
0x4000_4000 – 0x4000_47FF	I2C0	I2C0 模块寄存器
0x4000_4800 – 0x4000_4FFF	I2C1	I2C1 模块寄存器
0x4000_5000 – 0x4000_57FF	ADC	ADC 模块寄存器
0x4000_5800 – 0x4000_5FFF	ACMP&OP	ACMP 和 OPA 模块寄存器
0x4000_7000 – 0x4000_77FF	MPWM	MotorPWM 模块寄存器
0x4000_8000 – 0x4000_87FF	SPI0	SPI0 模块寄存器
0x4000_8800 – 0x4000_8FFF	DAC	DAC 模块寄存器
0x4000_9000 – 0x4000_97FF	TIMER0	TIMER0 模块寄存器
0x4000_A000 – 0x4000_A7FF	TIMER1	TIMER1 模块寄存器
0x4000_B000 – 0x4000_BFFF	FLASH	FLASH 控制器模块寄存器
0x4000_C000 – 0x4000_C7FF	WDT	WATCHDOG 模块寄存器
0x4000_C800 – 0x4000_CFFF	IWDG	Independent Watchdog 模块寄存器
0x4000_D000 – 0x4000_DFFF	SPI1	SPI1 模块寄存器
0x4000_F000 – 0x4000_7FFF	RTC	RTC 模块寄存器
0x4000_F800 – 0x4000_FFFF	CORDIC	CORDIC 模块寄存器
系统控制空间 (0xE000_E000 – 0xE000_EFFF)		
0xE000_E010 – 0xE000_E0FF	SCS	系统定时器控制寄存器
0xE000_E100 – 0xE000_ECFF	SCS	外部中断控制器控制寄存器
0xE000_ED00 – 0xE000_ED8F	SCS	系统控制块寄存器

6.2.7 系统定时器 (SysTick)

CPU 包含一个集成的系统定时器，SysTick。SysTick 提供一种简单的，24 位写清零，向下计数，计数至 0 后自装载的计数器，有一个灵活的控制机制。计数器可作为实时操作系统的节拍定时器或者作为一个简单的计数器。

使能后，系统定时器从 SysTick 当前值寄存器(SYST_CVR)的值向下计数到 0，并在下一个时钟边沿，重新加载 SysTick 重装载值寄存器(SYST_RVR)的值到

SysTick 当前值寄存器(SYST_CVR)，然后随接下来的时钟递减。当计数器减到 0 时，标志位 COUNTFLAG 置位，标志位 COUNTFLAG 是读清 0 的。

复位后，SYST_CVR 的值未知。使能前，软件应该写该寄存器使其清 0。这样确保定时器在使能后以 SYST_RVR 中的值计数，而非任意值。

若 SYST_RVR 是 0，在重新加载后，定时器将保持当前值 0，这种机制可以用来在不使用系统定时器的使能位的情形下禁用系统定时器。

6.2.8 嵌套向量中断控制器 (NVIC)

CPU Core 提供中断控制器，作为异常模式的组成部分，称之为“嵌套向量中断控制器(NVIC)”。它与处理器内核紧密联系，并具有以下特性：

- 支持嵌套和向量中断
- 自动保存和恢复上下文
- 可动态改变优先级
- 简化的精确的中断延迟

NVIC 对所有支持的异常按优先级排序并处理, 所有异常在“处理模式”处理。NVIC 结构支持具有四级优先级的 32 个(IRQ[31:0])离散中断。所有的中断和大多数系统异常可以配置为不同的优先级。当中断发生时，NVIC 将比较新中断与当前中断的优先级，如果新中断优先级高于当前中断，则新中断将代替当前中断被处理。

当任何中断被响应时，中断服务程序 (ISR) 的起始地址从内存的向量表中取得。不需要由软件确定响应哪个中断，也不要软件跳转到相应 ISP 的起始地址。当取得起始地址时，NVIC 将自动保存处理器状态，包括以下寄存器“PC, PSR, LR, R0~R3, R12”的值到栈中。在 ISR 结束时，NVIC 将从栈中恢复相关寄存器的值，

恢复正常操作，因此处理器将花费更少的并且确定的时间去处理中断请求。

NVIC 支持末尾连锁“Tail Chaining”，有效处理尾对尾中断“back-to-back interrupts”，即无需重复保存和恢复当前状态从而减少从当前 ISR 结束切换到等待处理的 ISR 的延迟时间。NVIC 还支持晚到“Late Arrival”，可以提升同时发生的 ISR 的效率。在当前 ISR 开始执行（保存处理器状态并获取起始地址阶段）之前如果较高优先级中断请求发生，NVIC 将立即选择处理更高优先级的中断，从而提高了实时性。

6.3 模拟比较器 (ACMP)

6.3.1 概述

VTM030 系列微控制器包含三个模拟比较器。每个比较器有两个模拟输入端：pos 和 neg，用于比较外部输入信号的电平大小。也可以选择内部电压作为参考电压，比较 pos 和内部参考电压之间的大小。

6.3.2 特性

- ACMP

- ◆ 包含三路模拟比较器
- ◆ 每个比较器模块包含 POS 和 NEG 两个端口
- ◆ 每个 POS 和 NEG 都有两个对应的外部 IO，可接外部电压
- ◆ NEG 端可选片内基准电压，片内基准电压 8 档可调：vbg, $7/8*vbg$, $6/8*vbg$, $1/8*vbg$;
- ◆ NEG 端也可以选择两路 DAC 的输出
- ◆ POS 端可选择接 4 路 OP 的输出
- ◆ 迟滞功能，迟滞电压 4 档可调(0V/10mV/20mV/50mV)

- ◆ 当比较结果发生改变时可产生中断

6.4 模拟数字转换 (ADC)

6.4.1 概述

VTM32030X 系列包含一个 16 通道 12 位的模拟-数字转换器(A/D 转换器). A/D 转换器支持以下几种工作模式: 单次转换模式、循环转换模式、非连续转换模式。A/D 转换可以通过软件、外部管脚或者内部硬件信号 (如 PWM 等) 来触发。

6.4.2 特性

- 12 位逐次逼近式模数转换器 ADC
- 12bits/10bits/8bits/6bits 分辨率可调
- 高达 2M 的转换速率
- 模拟输入电压范围: 0 ~ VDDA
- 基准电压可选择片外 VREF, VDDA 或片内基准电压 (2.048V @typical)
- 自带失调校准以及增益误差校准 ;
- 最多 15 个外部通道输入和 1 个内部温度传感器检测输入
- A/D 转换开始条件
 - ◆ 软件向 ADSTART 写 1
 - ◆ 内部硬件信号触发(如 timer、MotorPWM 等)
 - ◆ 外部 IO 管脚触发
- 三种操作模式
 - ◆ 单次转换模式 : A/D 一次完成所有使能通道上的转换
 - ◆ 连续转换模式 : A/D 完成所有使能通道上的转换后, 自动的从头开始新

一轮的转换

- ◆ 非连续转换模式：每完成一次转换，都需要软件或者硬件来触发
- 每个通道都有单独的结果寄存器，用于暂存转换的结果
- 模拟看门狗功能，当采样结果大于或小于设定的值时产生中断
- 支持 DMA 操作

6.5 数字模拟转换 (DAC)

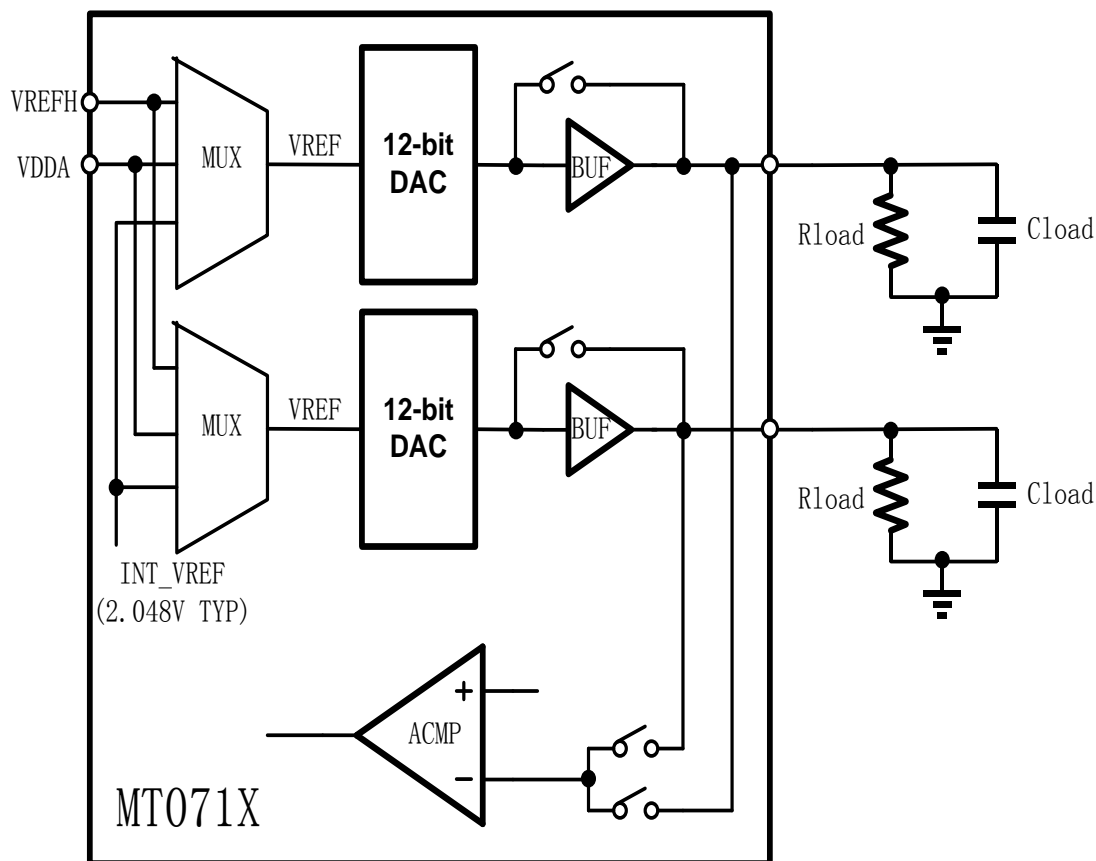
6.5.1 概述

VTM32030X 系列包含两个独立的 12 位数字-模拟转换器(D/A 转换器)。DAC 模拟内部采用时钟同步输入的 12bits code，时钟默认频率 1Mhz。DAC 的参考电位可以选择片外输入的 VREFH，也可以选择模拟电源电压 VDDA，同时片内基准 2.048V 也可以被选择用于 DAC 的参考基准。

DAC 的输出可以选择 BUF 加强输出，此时 DAC 最大可以驱动 5K 负载电阻并上 50pF 电容。但是此时 DAC 的输出范围受到限制，为了保证 DAC 的精度，建议将带 BUF 输出的范围限制在 0.2V~ (VDDA-0.2V) 之内。

如果 DAC 的输出没有阻性负载，则可以旁路掉片内的 BUF 而采用 DAC 直接输出，此时 DAC 的输出范围可以是 0.5mV~ (VDDA-0.5mV)，但此时 DAC 不可以有阻性负载。

DAC 的输出除了可以接至引脚外，也可以分别用于片内三个比较器的负端参考。详细的 DAC 功能框图可以参考下图。



6.5.2 特性

- 两个独立的 12 位的 DAC
- Rail to Rail 结构
- 支持 BUF 输出模式（最大支持 5K 负载并上 50pF 电容）或者 R2R 直接输出（此时不可以有阻性负载）
- DAC 的输出可以连至比较器的 NEG 端
- 可由软件、内部硬件信号触发数据更新
- 支持 DMA 操作

6.6 DMA 控制器

6.6.1 概述

VTM030 中包含一个 DMA 控制器，作为 AHB 总线 master，可以访问 Flash，SRAM 以及各个外设，数据可以通过 DMA 快速地移动而无需 CPU 的干预。

6.6.2 特性

- AHB Master 接口，用于发起数据传输
- AHB Slave 接口，用于 CPU 对 DMA 控制器进行配置
- 独立的 4 个数据通道，可以同时发起 4 路数据传输
- 16 路外部 DMA 通道硬件请求信号，可被分配到任一数据通道
- 支持存储器-存储器，存储器-外设，外设-存储器，外设-外设的数据传输
- 进行数据传输时，数据通道的源端和目的端都有 FIFO 用来缓存数据
- 数据通道的源端和目的端的数据宽度可以不一致
- 不同数据传输通道同时请求传输数据时优先级可配置
- 支持多块传输

6.7 闪存控制器（FMC）

6.7.1 概述

VTM32030X 系列具有 120K 字节的片上 Flash, 用于存储应用程序(APROM), 具有 8K 字节的加载程序内存空间（LDROM），用来存放加载程序。芯片上电后，CPU 依据启动模式管脚（BOOT 管脚）或者 NVR 域中的启动模式位 (BOOTMODE)来选择从 APROM 或 LDROM 中读取代码。

6.7.2 特性

- 高达 84MHZ 的零等待连续地址读访问
- 支持 512 字节的页擦除模式和全擦除模式
- 120K 字节的程序存储空间（APROM）
- 8K 字节在系统编程（ISP）加载程序内存（LDROM）
- 支持在应用编程（IAP），在 APROM 和 LDROM 之间切换代码，不需要复

位

- 支持在系统编程 (ISP)，用于更新片上 Flash 数据
- Flash 读和写操作基本单位为 32 位
- Flash 写和擦操作保护功能，防止误操作
- 具有 Flash 程序加密模式，可以禁止非法读取 Flash 中的内容

6.8 通用 I/O (GPIO)

6.8.1 概述

VTM32030X 系列最多有 55 个通用 I/O 引脚，这些引脚既可以作为数字 IO 也可以作为模拟 IO 使用。作为数字 IO 时，每个 IO 除了 GPIO 功能外还可以被多个不同数字模块共用，极大的节省了 IO 资源。作为模拟 IO 使用时，该 IO 的数字功能被禁止。

55 个 IO 分为 7 个端口，分别命名为 PIO0-PIO6，每个端口有 8 个引脚，分别为 PIOx_0-PIOx_7。每个 IO 都是独立的，都有一个寄存器来控制该 IO 的工作模式，可由软件独立地配置为输入，输出,数字/模拟模式，被哪个数字模块使用等。

复位后，除 SWD 的 IO 外所有的 IO 默认工作于数字模式，处于 GPIO 功能，输入悬空状态。

每个 IO 内部都配有独立的上拉/下拉电阻，内部上拉/下拉电阻阻值大约为 100K Ω 。

当 IO 被配置为数字 IO，且工作于 GPIO 功能时，每个 IO 都有一组寄存器来配置其作为 GPIO 时的功能，比如输入、输出、中断等特性。

6.8.2 特性

- 在 LQFP64 管脚中最多支持 55 个通用 I/O 端口 (GPIO)
- 多个 IO 具有模拟功能，可被 ADC，DAC 等模拟模块使用
- I/O 工作模式：
 - ◆ 双向模式
 - ◆ 模拟模式
 - ◆ 输入上拉、下拉、高阻模式
 - ◆ 推挽输出模式
 - ◆ 输出驱动能力可配置
- I/O 管脚可被配置为电平或边沿触发模式的中断源
- 复位后除 SWD 的 IO 外所有的管脚默认 GPIO 功能且输入浮空

6.9 I2C 总线控制器

6.9.1 概述

VTM32030X 系列有两组 I2C 控制器。I2C 为 2 线，双向串行总线，为设备之间的数据通讯提供了简单有效的方法。I2C 标准是多主机总线，包括冲突检测和仲裁机制以防止在两个或多个主机试图同时控制总线时发生数据冲突。

6.9.2 特性

- 支持主机和从机模式
- IO 的开漏功能允许 I2C 多主机进行总线仲裁
- 主从机之间双向数据传输
- 独立的接收/发送 8 字节 FIFO 缓存
- 多主机同时发送数据仲裁，总线上串行数据不会被损坏

- 串行时钟同步使得不同比特率的器件可以通过一条串行总线传输数据
- 串行时钟同步可用作握手方式来暂停和恢复串行传输
- 可编程的时钟适用于不同速率控制
- 支持 7 位或者 10 位寻址模式

6.10 串行外设接口 (SPI) 控制器

6.10.1 概述

串行外设接口(SPI)是一个工作于全双工模式下的同步串行数据通讯协议。设备通过 4 线双向接口工作于主机模式进行通讯。VTM32030X 系列包括两组 SPI 控制器，将从外设接收到的数据进行串并转换，或将要发送到外设的数据进行并串转换。

6.10.2 特性

- 支持主机或从机模式
- 支持 SPI 数据格式
- 支持全双工数据传输模式
- 支持 DMA 操作
- 传输比特长度可配置位 4-16bit
- 提供 FIFO 缓存
- 数据传输时钟频率可配置，最大可为系统时钟的 1/2

6.11 定时器 (Timer)

6.11.1 概述

VTM32030X 系列定时器控制器包括四个 32 位的定时器模块，TIMER0-3，方便用户实现定时控制应用。每个模块都有四路独立的计数通道，可配置为定

时器、计数器、PWM 发生器功能，还有两路外部输入捕获通道。

定时器模块可支持例如 PWM 输出、频率测量，时间延迟，时钟产生，时间计数和间隔测量等功能。

6.11.2 特性

- 每组定时器包含 4 个独立的 32 位计数器/定时器，带有一个可编程的 32 位预分频器
- 每个 32 位定时器可执行计数器或定时器操作
- 计数器模式下可选择向上/向下/中间对齐计数模式
- 每个定时器包含 2 个 32 位的捕获通道，当输入信号变化时捕捉定时器的瞬时值，也可以选择产生中断
- 每个定时器包含 4 个 32 位匹配寄存器，允许执行以下操作：
 - ◆ 匹配时连续工作，在匹配时可选择产生中断
 - ◆ 在匹配时停止定时器运行，可选择产生中断
 - ◆ 在匹配时复位定时器，可选择产生中断
- 有 4 个与匹配寄存器相对应的外部输出，可用作 PWM 输出，这些输出具有以下功能：
 - ◆ 匹配时设为低电平
 - ◆ 匹配时设为高电平
 - ◆ 匹配时翻转电平
 - ◆ 匹配时不执行任何操作
 - ◆ 单脉冲输出模式
 - ◆ 固定个数脉冲输出模式

- 可以触发 ADC 转换

6.12 电机控制 PWM (MotorPWM)

6.12.1 概述

VTM32030X 系列电机控制 PWM (MCPWM) 非常适用于三相交流 AC 和直流 DC 电机控制应用, 但它还可以用于其它需要通用定时、捕获和比较的应用中。

6.12.2 特性

MCPWM 含有 3 个独立的通道, 每个通道包括:

- 1 个 32 位定时器/计数器 (TC)
- 1 个 32 位界限寄存器 (LIM)
- 1 个 32 位匹配寄存器 (MAT)
- 1 个 10 位死区时间寄存器 (DT) 和相应的 10 位死区时间计数器
- 1 个 32 位捕获寄存器
- 2 个极性可调整的输出 (MCOA 和 MCOB)
- 1 个周期中断、1 个脉宽中断和 1 个捕获中断
- 可以触发 ADC 转换

6.13 USART 接口控制器 (USART)

6.13.1 概述

VTM32030X 系列提供 2 个通用异步收/发器 (USART) 通道, 支持普通速度 USART, 并支持流控制。USART 控制器同时支持 IrDA SIR 功能、LIN 主/从功能和 RS-485 功能。每个 USART 控制器支持多种类型的中断。

6.13.2 特性

- 全双工，异步通信
- 独立的接收/发送 32 字节 FIFO 用户装载数据
- 支持硬件自动流控/流控制功能(CTS, RTS)
- 可编程的接收缓冲触发级别
- 每个通道都支持独立的可编程的波特率发生器
- 支持接收超时功能，20 位计数器
- 支持 break 错误，帧错误，奇偶校验错误和接收/发送缓冲溢出检测功能
- 支持 MSB 和 LSB 模式
- 完全可编程的串行接口特性
 - ◆ 可编程的数据位, 5, 6, 7, 8 和 9 位
 - ◆ 可编程的奇偶校验位, 偶校验、奇校验、无校验位或 stick 校验位发生和检测
 - ◆ 可编程停止位, 1 或 2 停止位产生
- 支持 IrDA SIR 功能
 - ◆ 普通模式下支持 3/16 位持续时间
- 支持 LIN 功能
 - ◆ 支持 LIN 主/从模式
 - ◆ 支持发送端可编程的 break 产生功能
 - ◆ 支持接收端 break 检测功能
- 支持 RS-485 模式.
 - ◆ 支持 RS-485 9 位模式

- ◆ 支持硬件或软件编程 RTS/DTR 引脚控制收发器的传输方向

6.14 窗看门狗定时器 (WWDT)

6.14.1 概述

VTM32030X 系列窗看门狗定时器被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

6.14.2 特性

- 带内部预分频的可编程 32 位计数器
- 可编程的递减计数器
- 未在一个特定的窗口时间内喂狗会导致产生中断或复位
- 可产生早期唤醒中断

6.15 独立看门狗定时器 (IWDG)

6.15.1 概述

VTM32030X 系列独立看门狗定时器由专用的内部 10K 振荡器时钟驱动, 即使主时钟发生故障它也仍然有效。适合应用于那些需要看门狗作为一个在主程序之外, 能够完全独立工作, 并且对时间精度要求较低场合。

6.15.2 特性

- 由内部 10K 振荡器驱动, 即使系统主时钟失效也可继续工作
- 可编程的递减计数器
- 计数到 0 时产生中断

6.16 实时时钟控制器 (RTC)

6.16.1 概述

VTM030 系列微控制包含一个精简的 RTC, 模拟部分只有包含一个 32bit 的

计数器，计数频率在 1Hz，所以待机功耗可以很小；32bit 分频计数器一共可以不间断计时 136 年。

6.16.2 特性

- 32bit 计数器可以不间断计数 136 年
- 模拟和数字部分单独供电
- 模拟部分可由电池供电，提供 uA 级的待机功耗

6.17 圆函数运算控制器（Cordic）

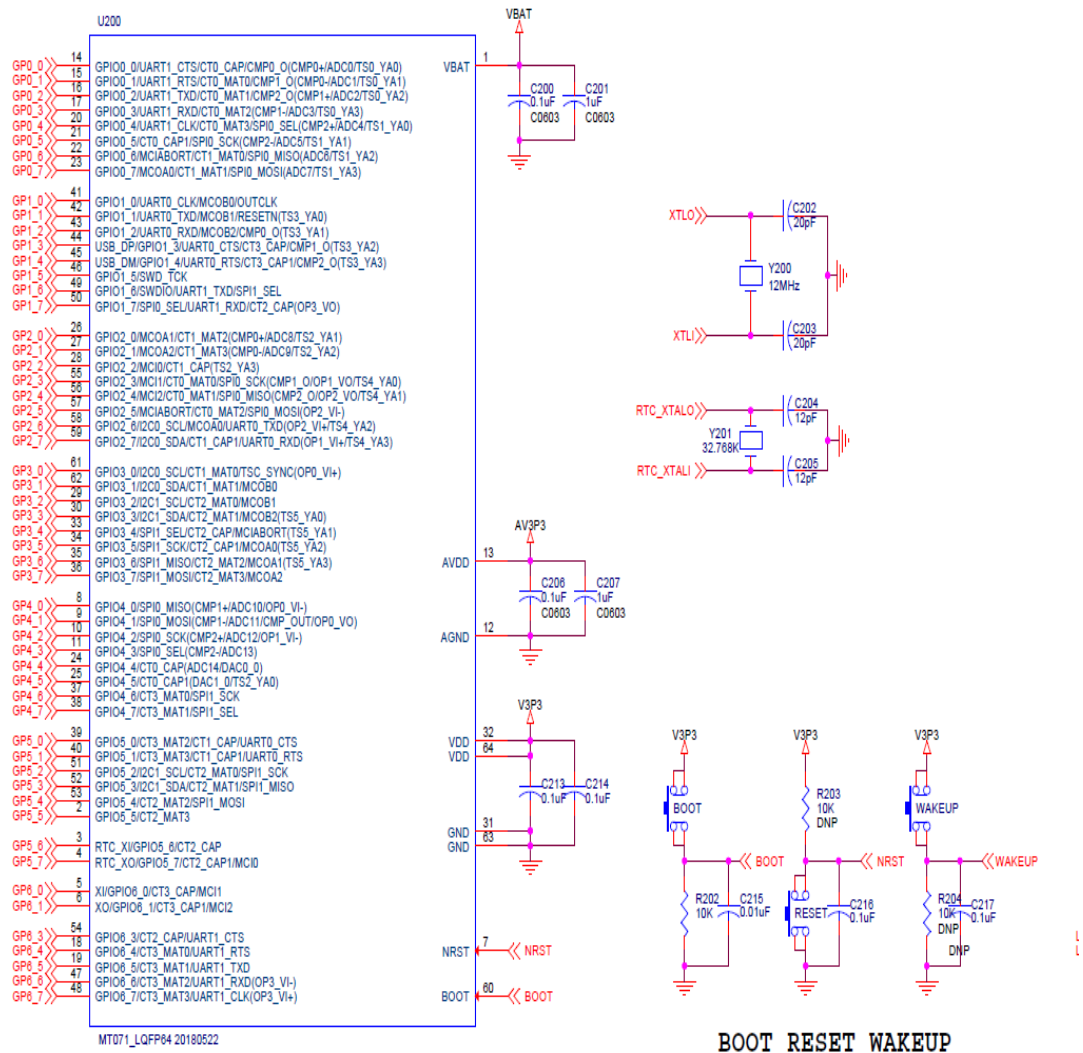
6.17.1 概述

Cordic 运算单元包含除法、CRC32 及 CORDIC（圆函数）运算单元，由于运算过程由硬件完成，转化速率快，为程序运行节省了大量的时间。

6.17.2 特性

- 32bit 除法
- CRC32
- CORDIC 运算

7. 典型应用电路



8. VTM030 电气特性

8.1 绝对最大额定值

符号	参数	最小值	最大值	单位
$V_{DD} - V_{SS}$	直流电源电压	-0.3	+5.5	V
V_{IN}	5V 容忍 IO 的输入电压	$V_{SS} - 0.3$	$V_{DD} + 3.7$	V
V_{IN}	非 5V 容忍 IO 的输入电压	$V_{SS} - 0.3$	$V_{DD} + 0.3$	V
$1/t_{CLCL}$	晶振频率	4	24	MHz
T_A	工作温度	-40	+105	°C
T_{ST}	贮存温度	-55	+150	°C
I_{DD}	VDD 最大流入电流	-	120	mA
I_{SS}	VSS 最大流出电流	-	120	mA
I_{IO}	单一管脚最大灌电流	-	16	mA
	单一管脚最大流出电流	-	16	mA
	所有管脚最大灌电流总和	-	96	mA
	所有管脚最大输出电流总和	-	96	mA

注：上表所列的条件中，其极限值可能对设备的稳定性有反作用

8.2 DC 电气特性

($V_{DD} - V_{SS} = 2.0 \sim 5.5V$, $T_A = 25^\circ C$)

符号	参数	最小值	典型值	最大值	单位	测试条件
V_{DD}	工作电压	2.0	-	5.5	V	VDD=2.0-5.5V up to 84Mhz
V_{SS} / AV_{SS}	电源地	-0.3	0			

V_{LDO}	LDO 输出电压	1.35	1.5	1.65	V	VDD>2.0V		
V_{BG}	带隙电压	1.16	1.25	1.34	V	VDD=2.0-5.5V $T_A=25^{\circ}\text{C}$		
		1.14	1.25	1.36	V	VDD=2.0-5.5V $T_A=-40-85^{\circ}\text{C}$		
$V_{DD} - AV_{DD}$	允许的工作电压和模拟工作电压差	-0.3	0	0.3	V			
I_{DD1}	正常运行模式下的工作电流		30		mA	VDD	PLL	All Digital module
						5V	V	V
I_{DD2}	@84Mhz		29		mA	3.3V	V	V
I_{DD3}	while(1){} Excuted		16		mA	5V	V	X
I_{DD4}	from Flash		15		mA	3.3V	V	X
I_{DD5}	正常运行模式下的工作电流		16		mA	5V	V	V
I_{DD6}	@48Mhz		15		mA	3.3V	V	V
I_{DD7}	while(1){} Excuted		10		mA	5V	V	X
I_{DD8}	from Flash		10		mA	3.3V	V	X
I_{DD9}	正常运行模式下的工作电流		5		mA	5V	X	V
I_{DD10}	@12Mhz		5		mA	3.3V	X	V
I_{DD11}	while(1){} Excuted		3		mA	5V	X	X
I_{DD12}	from Flash		3		mA	3.3V	X	X
I_{DD13}	正常运行模式下的工作电流		1.2		mA	5V	X	V
I_{DD14}	@1Mhz		1.2		mA	3.3V	X	V
I_{DD15}	while(1){} Excuted		0.9		mA	5V	X	X
I_{DD16}	from Flash		0.9		mA	3.3V	X	X

I_{DD17}	正常运行模式下的工作电流 @10Khz while(1){} Excuted from Flash		0.7		mA	5V	X	V
I_{DD18}			0.7		mA	3.3V	X	V
I_{DD19}			0.5		mA	5V	X	X
I_{DD20}			0.5		mA	3.3V	X	X
I_{DD21}	Deepsleep 模式		25		uA	5V	X	X
I_{DD22}			25		uA	3.3V	X	X
I_{DD23}	掉电模式	2.1	2.5	3	uA	内核掉电, RTC On。 32.768K 晶振工作,		
I_{DD24}			0.3		uA	VDD=3.3V, RTC off		

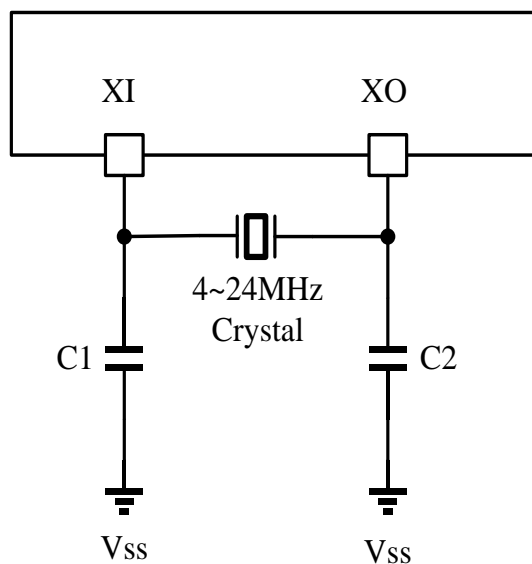
8.3 AC 电气特性

8.3.1 外部振荡器

符号	参数	最小值	典型值	最大值	单位	条件
V_{HXT}	工作电压	2.0	3.3	5.5	V	-
T_A	温度	-40	25	105	°C	-
I_{HXT}	工作电流		2		mA	12MHz, VDD=5.5V
			0.8		mA	12MHz, VDD=3.3V
f_{HXT}	输入时钟频率	4	12	24	MHz	-
R_F	反馈电阻	800k	1M	1.2	Ω	12MHz, VDD=3.3V
t_{SU}	启动时间	800u	1m	1.5m	S	12MHz, VDD=3.3V

8.3.2 外部高速晶振典型应用电路

晶振	C1	C2
4MHz~24MHz	10-20pF	10~20pF



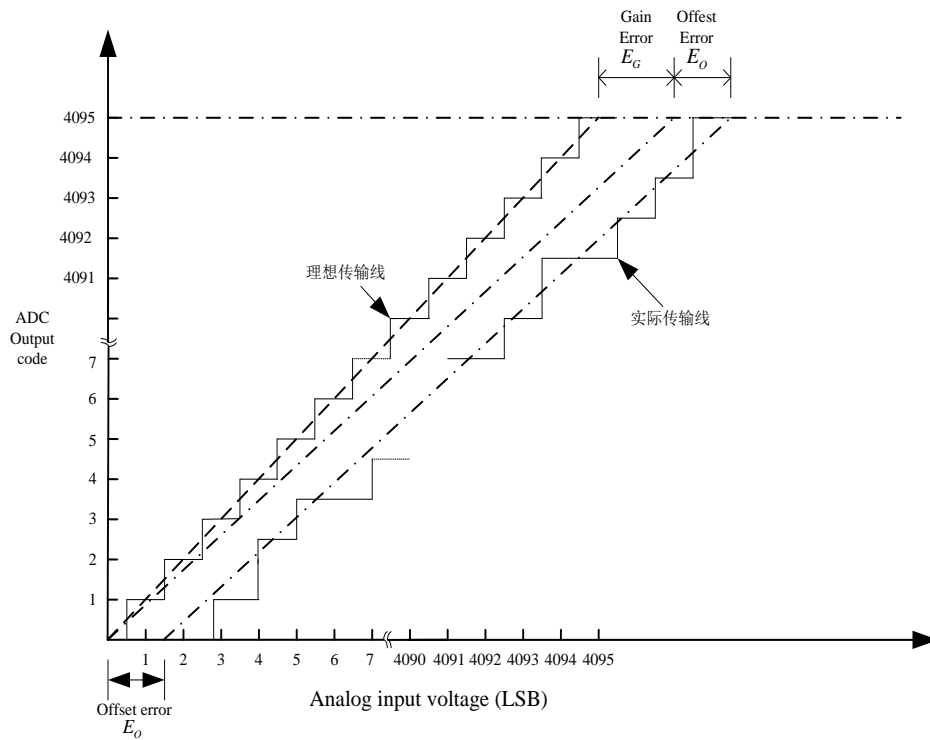
8.3.3 内部 12MHZ 高速 RC 振荡器

符号	参数	条件	最小值	典型值	最大值	单位
V_{HRC}	工作电压	-	2.0	3.3	5.5	V
f_{HRC}	中心频率	-	11.88	12	12.12	MHZ
	校准之后	$T_A = 25^{\circ}\text{C}$ $V_{DD} = 3.3\text{V}$	-1.0		+1.0	%
		$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $V_{DD} = 2.0\text{V} \sim 5.5\text{V}$	-3		+3	%
I_{HRC}	工作电流	-		200		uA

8.4 模拟量特性

8.4.1 12-bit SARADC 规格

符号	参数	条件	最小值	典型值	最大值	单位
-	分辨率	-		12		Bit
DNL	微分非线性			± 1	-1~+1	LSB
INL	积分非线性			± 2	± 4	LSB
E_o	偏移误差			2	4	LSB
E_G	增益误差			-2	-4	LSB
E_A	绝对误差			3	4	LSB
-	一致性	-	保证			
F_{ADC}	ADC 时钟频率		1.5	12	24	MHz
F_s	采样率		0.107	0.857	1.7	MSPS
T_{ACQ}	采集时间		2			$1 / F_{ADC}$
T_{CONV}	总转换时间		14			$1 / F_{ADC}$
AV_{DD}	工作电压		2.0	3.3	5.5	V
I_{DDA}	工作电流 (平均)			1.5		mA
V_{IN}	输入电压范围		0		AV_{DD}	V
C_{IN}	采样保持电容		3	4	5	pF
R_{IN}	片内通道阻抗			2		k Ω



8.4.2 LDO 规格与 POWER 管理

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	输入电压	-	2.0	-	5.5	V
V_{LDO}	输出电压	-	1.35	1.5	1.65	V
T_A	温度	-	-40	25	105	°C
I_{LOAD}	负载电流	输入电源 3.3V			150	mA
V_{step}	调节步进	输入电源 3.3V		30		mV
I_{ocp}	过流保护	输入电源 3.3V		200		mA
$I_{DC} (1)$	正常工作 静态功耗	输入电源 3.3V		200		uA
$I_{DC} (2)$	低功耗工	输入电源		1.1		uA

	作静态功 耗	3.3V				
--	-----------	------	--	--	--	--

注：建议在靠近芯片引脚处，在 VDD 和 VSS 引脚之间接一个 0.1uF 的电容。

8.4.3 低压复位规格

符号	参数	最小值	典型值	最大值	单位	条件
AV_{DD}	工作电压	2.0	3.3	5.5	V	
T_A	工作温度	-40	25	105	°C	
I_{BOR}	静态电流			50	uA	$AV_{DD}=3.3V$
V_{BOR}	低压阈值		1.8		V	BORVAL[1:0]=00
			2.2		V	BORVAL[1:0]=01
			2.7		V	BORVAL[1:0]=10
			3.7		V	BORVAL[1:0]=11

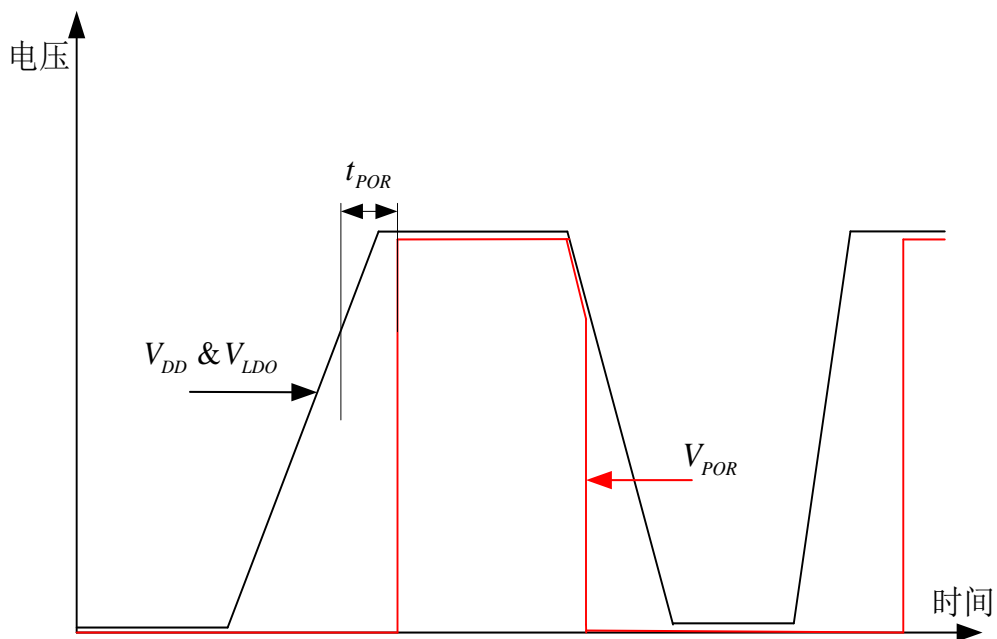
8.4.4 欠压检测规格

符号	参数	最小值	典型值	最大值	单位	条件
AV_{DD}	工作电压	2.0	3.3	5.5	V	
T_A	工作温度	-40	25	105	°C	
I_{BOD}	静态电流			60	uA	$AV_{DD}=3.3V$
V_{BOD}	欠压阈值		2.2		V	BODVAL[1:0]=00
			2.7		V	BODVAL[1:0]=01
			3.7		V	BODVAL[1:0]=10
			4.4		V	BODVAL[1:0]=11

8.4.5 上电复位规格

符号	参数	最小值	典型值	最大值	单位	条件
T_A	工作温度	-40	25	105	°C	
V_{POR}	复位电压		0		V	

t_{POR}	复位时间	90	110	135	uS	
-----------	------	----	-----	-----	----	--



8.4.6 温度传感器规格

符号	参数	最小值	典型值	最大值	单位	条件
V_{TEMP}	工作电压	2.0	3.3	5.5	V	
T_A	工作温度	-40	25	105	°C	
I_{TEMP}	静态电流		35		uA	$AV_{DD}=3.3V$
G_{ain}	增益	-4.1	-4.2	-4.3	mV/°C	
Offset	偏移	1300	1380	1450	mV	$T_A=0^{\circ}C$

注：芯片当前温度的计算公式为：

$$Temperature(^{\circ}C) = \frac{V_{sense} - offset}{G_{ain}}, \quad \text{其中 } V_{sense} \text{ 是 ADC 读取的传感电压。}$$

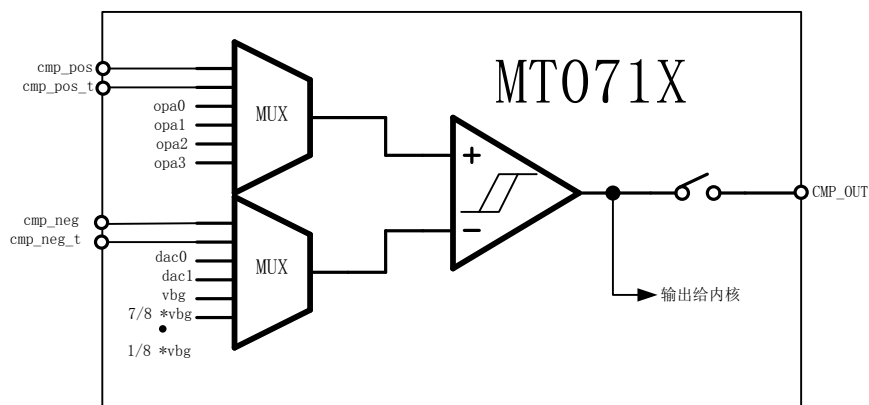
例如，如果 ADC 读取的传感电压为 1000mV，则芯片温度为 $\frac{1000-1380}{-4.2} \approx 90.5^{\circ}C$ 。

另外，在用 ADC 采样芯片温度时（ADC 通道 15），请将 ADC 的采样频

率设置为 $\leq 100\text{KSPS}$ 。

8.4.7 比较器规格

符号	参数	最小值	典型值	最大值	单位	条件
V_{DDA}	工作电压	2.0	3.3	5.5	V	
V_{IN}	输入电压 范围	0		V_{DDA}	V	
T_A	工作温度	-40	25	105	°C	
I_{CMP}	静态电流	32	36	40	uA	$AV_{DD}=3.3\text{V}$
V_{OFF}	输入失调 电压			± 5	mV	$AV_{DD}=3.3\text{V}$, 输入 电压 1.65V
V_{COM}	输入范围	0.05		$AV_{DD}-0.05$	V	
V_{SW}	输出摆幅	0.05		$AV_{DD}-0.05$	V	
G_{ain}	DC 增益	65	69	71	dB	
T_{delay}	传输延迟		120		nS	$V_{COM}=1.65\text{V}$ $V_{DIFF}=0.1\text{V}$
V_{HYS}	迟滞电压		50		mV	HYS_SEL[1:0]=11
			20		mV	HYS_SEL[1:0]=10
			10		mV	HYS_SEL[1:0]=01
			0		mV	HYS_SEL[1:0]=00
T_{STB}	稳定时间			500	nS	



比较器典型应用图

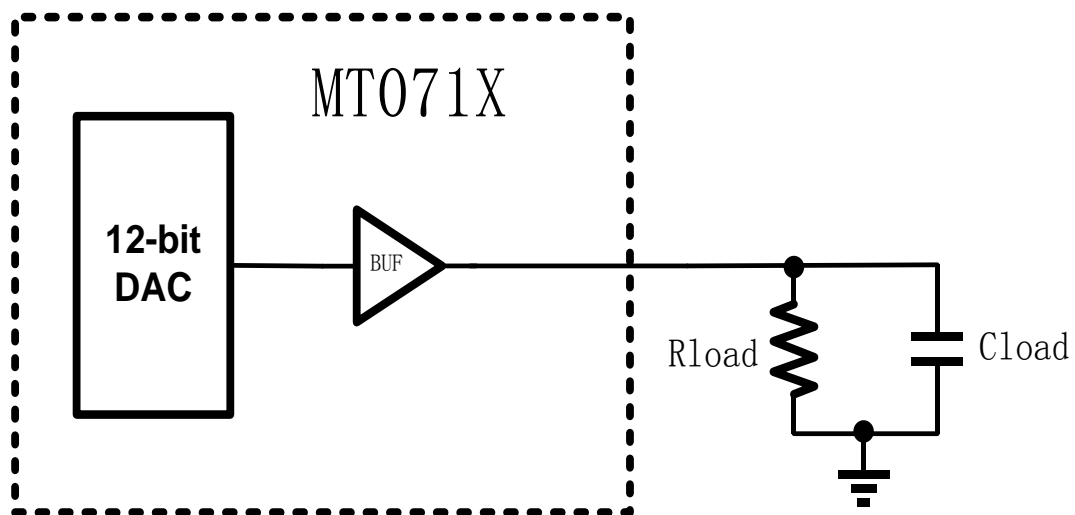
8.4.8 12-bit DAC 规格

符号	参数	最小值	典型值	最大值	单位	条件
V_{DAC}	工作电压	2.0	3.3	5.5	V	
R_{LOAD}	负载阻抗	5			k Ω	BUF 开启, 负载一端接地
R_O	输出阻抗			60	k Ω	BUF 关闭, 此时 DAC 要求输出到地不可以有阻性负载
C_{LOAD}	负载电容			50	pF	BUF 开启,
DAC_OUT_min	输出最低电压	0.2			V	BUF 开启, 负载 5K 并 50pF 电容

DAC_OUT _{max}	输出最大电压			VDDA-0.2	V	BUF 开启, 负载 5K 并 50pF 电容
DAC_OUT _{min}	输出最低电压	0.5			mV	BUF 关闭, 电源 3.3V, 负载 50pF 电容
DAC_OUT _{max}	输出最大电压			VDDA-1LSB	V	BUF 关闭, 电源 3.3V, 负载 50pF 电容
I_{DDA}	直流功耗	0.8	1	1.2	mA	3.3V 模拟电源, 负载 5k 并 5pF 电容
DNL	微分非线性			±2	LSB	
INL	积分非线性			±4	LSB	
offset	失配			±10mV	mV	电源电压 3.3V, 无负载, BUF 开启, DAC 输入 code 12h'800
Gain error	增益误差			±1	%	电源电压 3.3V, 无负载, BUF

						开启,
t_{settle}	稳 定 时 间,			4	uS	电源电压 3.3V, 无 负 载 , BUF 开启, 负载 5k 并 5pF 电容。
update rate	片 内 同 步时钟		1		Mhz	
t_{wakeup}	唤 醒 时 间			10	uS	电源电压 3.3V, 无 负 载 , BUF 开启, 负载 5k 并 5pF 电容。

DAC 典型应用图



DAC 典型应用电路图

8.5 Flash DC 特性

符号	参数	最小值	典型值	最大值	单位	条件
$V_{Flash}^{[1]}$	工作电压	1.35	1.5	1.65	V	
T_{RET}	数据保留	100			Year	$T_A=25^{\circ}\text{C}$
N_{end}	擦写次数	20,000			次	
T_{ERASE}	页擦除时间	4		6	ms	
T_{PROG}	编程时间	6		7.5	us	
I_{DD1}	读电流			8	mA	
I_{DD2}	编程/擦除电流			6	mA	

注：(1)： V_{Flash} 是芯片 LDO 的输出芯片，通过开关和 V_{LDO} 相连。

(2)：Guaranteed by design, and not tested in production.

8.6 GPIO DC 特性

符号	参数	最小值	典型值	最大值	单位	条件
V_{IL}	输入低电平			$0.3*V_{DDIO}$	V	
V_{IH}	输入高电平	$0.7*V_{DDIO}$			V	
I_{lkg}	输入信号漏电流			1	uA	
R_{PU}	片内上拉电阻		100		k Ω	
R_{PD}	片内下拉电阻		100		k Ω	
C_{IO}	GPIO 寄生电容			5	pF	
R_{ANA}	模拟通道阻抗			10	Ω	
V_{OL}	输出低电位			0.3	V	8mA 驱动 能力

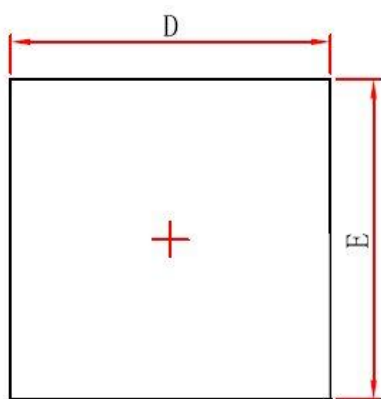
V_{OH}	输出高电位	VDDIO-0.2				8mA 驱动 能力
Drive current	驱动电流		4		mA	DR=1
			8		mA	DR=0
slew rate(*)	转换速率		200		V/uS	SR=1, Clload =50p
			400		V/uS	SR=0, Clload =50p

注：当 GPIO 片内上拉时，上拉部位位于片内逻辑前部，而不是直接上拉的芯片引脚，此时测试时，片外测量到的有可能不是严格的 VDDIO 电平，但不影响内部逻辑。

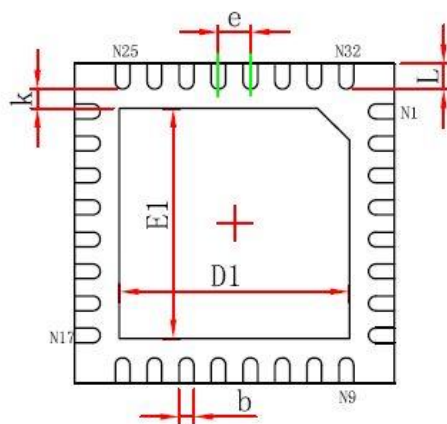
(*) 注：设计数据，不是实际测试数据。

9. 封装尺寸

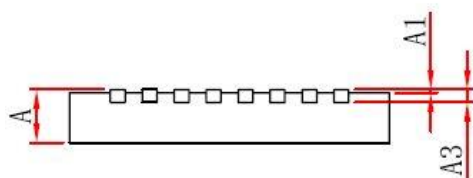
9.1 QFN32



Top View



Bottom View

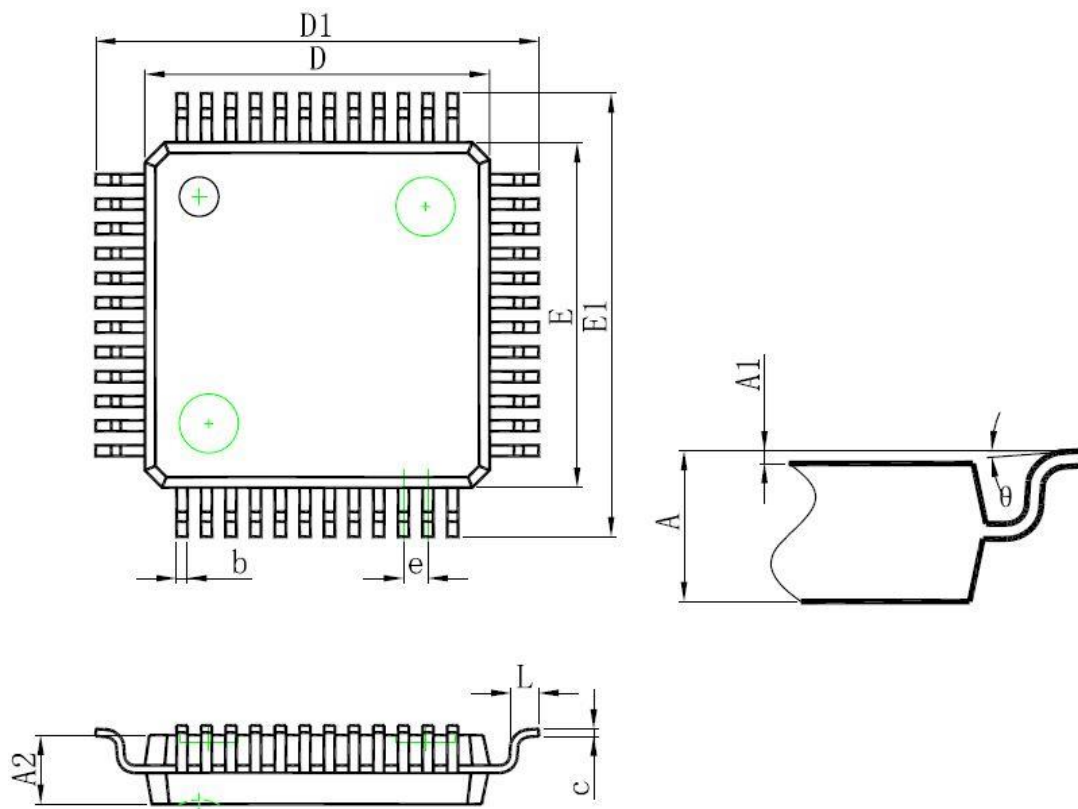


Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035

A1	0.000	0.050	0.000	0.002
A3	0.203REF		0.008REF	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN		0.008MIN	
b	0.180	0.300	0.007	0.012
e	0.500TYP		0.020TYP	
L	0.324	0.476	0.013	0.019

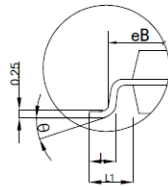
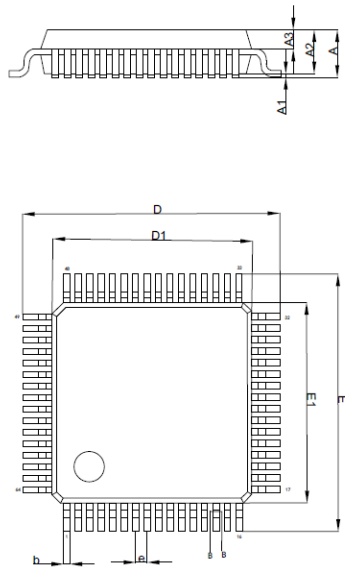
9.2 LQFP48



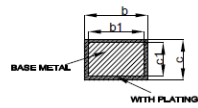
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A		1.600		0.063
A1	0.050	0.150	0.002	0.006
A2	1.350	1.450	0.053	0.057
b	0.190	0.260	0.007	0.010
c	0.090	0.200	0.004	0.008
D	6.900	7.100	0.272	0.280
D1	8.850	9.150	0.348	0.360
E	6.900	7.100	0.272	0.280
E1	8.850	9.150	0.348	0.360

e	0.500(BSC)		0.020(BSC)	
L	0.450	0.750	0.018	0.030
θ	1°	7°	1°	7°

9.3 LQFP64



DETAIL F



SECTION B-B

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.6
A1	0.05	—	0.15
A2	1.35	1.4	1.45
A3	0.6	—	0.64
b	0.16	—	0.24
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	—	8.25
e	0.40BSC		
L	0.40	—	0.65
L1	1.0REF		
θ	0°	—	8°

Title

LQFP64L (0707X1.4) POD

10. 版本历史

版本	日期	页	描述
V01	2019 年 3 月 15 日		初次发行中文版本
V02	2019 年 6 月 20 日		添加各个模块参数
V03	2020 年 6 月 29 日		添加芯片对比表
V04	2020 年 11 月 18 日		修改描述错误
V12	2021 年 4 月 10 日		修改 LQFP64 封装外形尺寸图