

EDA 大作业一

二进制运算器及其数码管扫描显示电路

实验报告

姓名：常成
班级：自 75 班
学号：2017010252

一、实验目的

1. 学习面向 FPGA 的简单数字系统的设计流程。
2. 掌握 EDA 软件 Quartus II 的原理图输入方式。
3. 熟悉实验装置——实验板，掌握板上外设的工作原理。

二、预习报告

按照预习要求，列写预习报告如下：

1. 电路模块与功能实现：

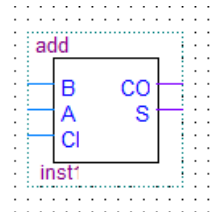
(1) 一位二进制全加器：(add)

输入信号：B、A、CI

输出信号：CO、S

实现方式：简单门电路方式实现

实现功能：实现了一位二进制数的加法



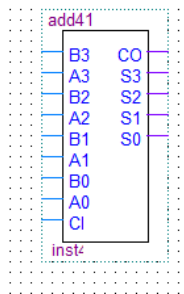
(2) 四位二进制全加器 (add41)

输入信号：B[0 1 2 3]、A[0 1 2 3]、CI

输出信号：S[0 1 2 3]、CO

实现方式：四个一位二进制全加器级联

实现功能：实现了四位二进制数的加法



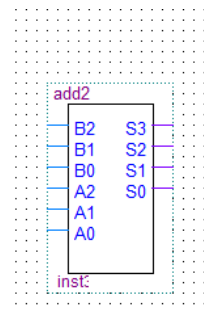
(3) 二进制运算器 (add2)

输入信号：B[0 1 2]、A[0 1 2]

输出信号：S[0 1 2 3]

实现方式：四位二进制全加器+门电路

实现功能：实现了三位有符号位的二进制数的加法



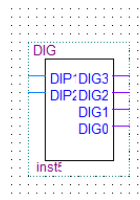
(4) DIG 控制模块 (DIG)

输入信号：DIP1、DIP2

输出信号：DIG[0 1 2 3]

实现功能：控制 DIG 端的逻辑值

实现方式：门电路



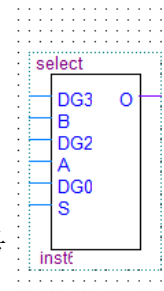
(5) DIG 选通信号模块 (select)

输入信号：DIG (0 2 3)、A、B、S

输出信号：O

实现方式：门电路

实现功能：通过不同 DIG 端的模块控制输出哪个信号



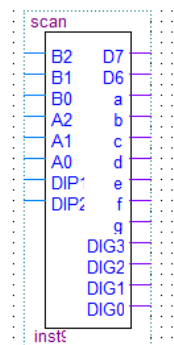
(6) 扫描显示电路模块 (scan)

输入信号：DIP1、DIP2、B[0 1 2]、A[0 1 2]

输出信号：abcdefg、D7、D6

实现方式：上述各模块+7448 译码器+门电路

实现功能：数码管的扫描显示



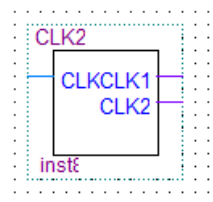
(7) 时钟信号 (CLK\CLK2)

在这部分我采取了两种方式予以实现

CLK: Verilog 语言实现分频器

CLK2: 电路结构实现

输入信号：CLK



输出信号：CLK、CLK2

实现方式：通过五个 74160 加 JK 触发器构成二十万进制计数器以分频

功能：对时钟信号分频以使电路具有动态显示功能

(8) 动态显示电路模块 (dynamic1\dynamic2)

dynamic1 插入 CLK 分频

dynamic2 插入 CLK2 分频

其余部分电路结构相同

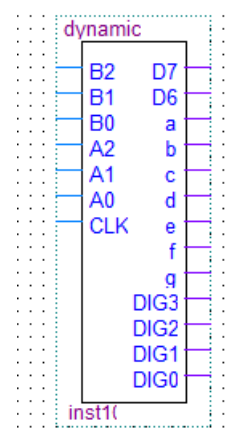
两种方式分别全编译烧录后均正确

输入信号：A[0 1 2 3]、B[0 1 2 3]、CLK

输出信号：abcdefg、DIG[0 1 2 3]、D6、D7

实现方式：时钟分频器模块+必做扫描显示模块

功能：实现电路的动态显示



2. FPGA 实验板的外设资源与工作原理

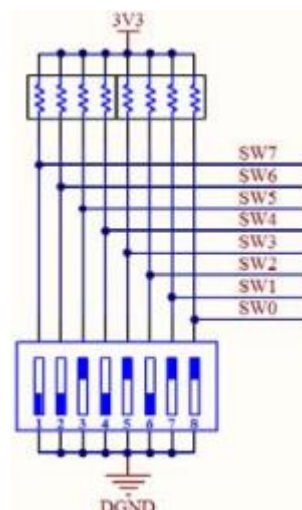
FPGA 实验板使用 USB 供电。板上 FPGA 芯片型号是 EP2C5Q208C8，芯片外围配有晶振、FPGA 配置芯片和 USB_Blaster 下载芯片；围绕 FPGA 芯片的输入、输出模块有 4 位扫描数码管、矩阵键盘、RS232-USB 接口。

本次实验需要用到的模块：

(1) 拨码开关

引脚连接关系：

DIP1	PIN_12
DIP2	PIN_11
DIP3	PIN_10
DIP4	PIN_8
DIP5	PIN_6
DIP6	PIN_5
DIP7	PIN_4
DIP8	PIN_3



拨码开关原理图如右图所示，SW0~SW7 接 FPGA 芯片引脚。当拨码开关拨向“1”时开关断开，SW7 输出高电平；反之 SW7 输出低电平

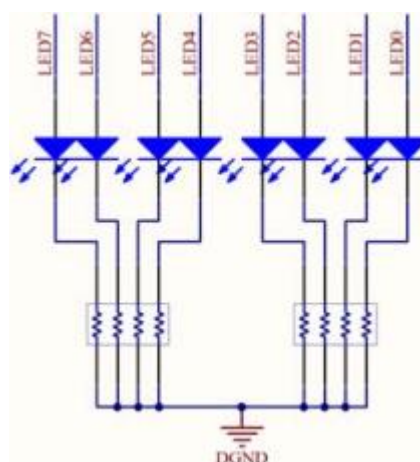
(2) LED

LED 又叫发光二极管，二极管中有电流通过时被点亮

原理图如右图所示：

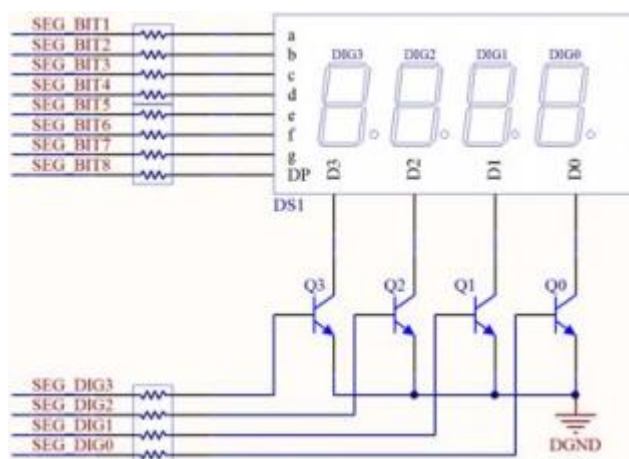
引脚连接关系：

D7	PIN_56
D6	PIN_57
D5	PIN_58
D4	PIN_59
D3	PIN_60
D2	PIN_61
D1	PIN_63
D0	PIN_64



(3) 四位扫描显示数码管

DIG3	PIN_39
DIG2	PIN_37
DIG1	PIN_36
DIG0	PIN_35
DP	PIN_46
G	PIN_43
F	PIN_41
E	PIN_48
D	PIN_47
C	PIN_45
B	PIN_40
A	PIN_44

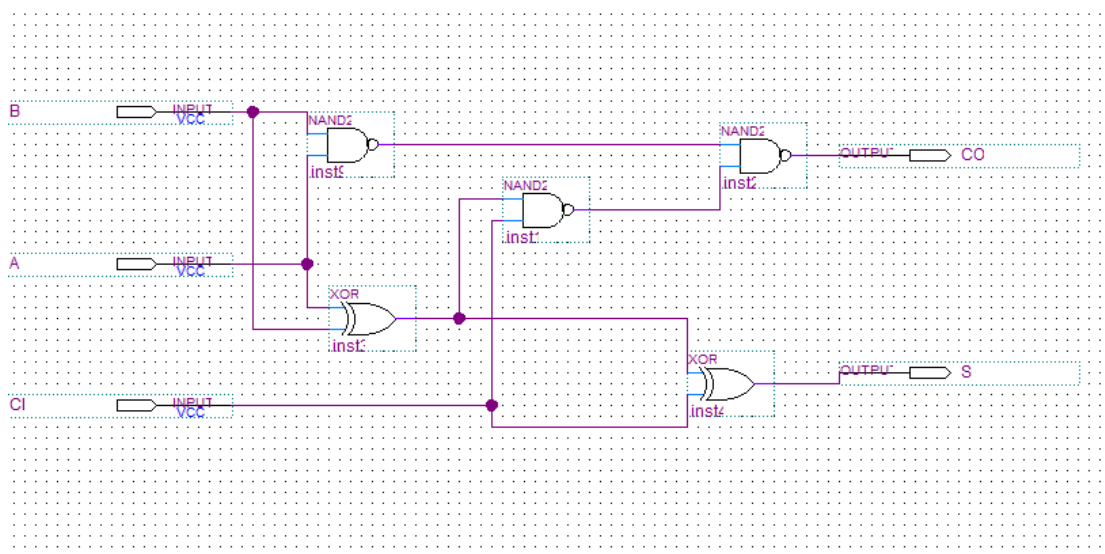


(4) 晶振

FPGA 芯片输入时钟使用频率为 50MHz 的晶振。

三、电路模块设计及仿真分析

1. 一位二进制全加器



设计思路：

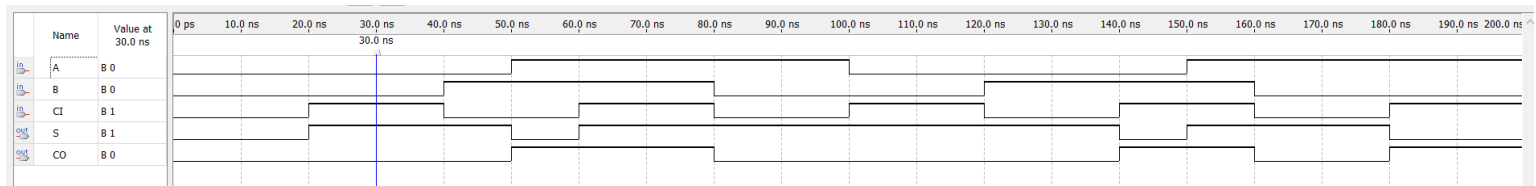
对于一位全加器列写真值表如下：

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

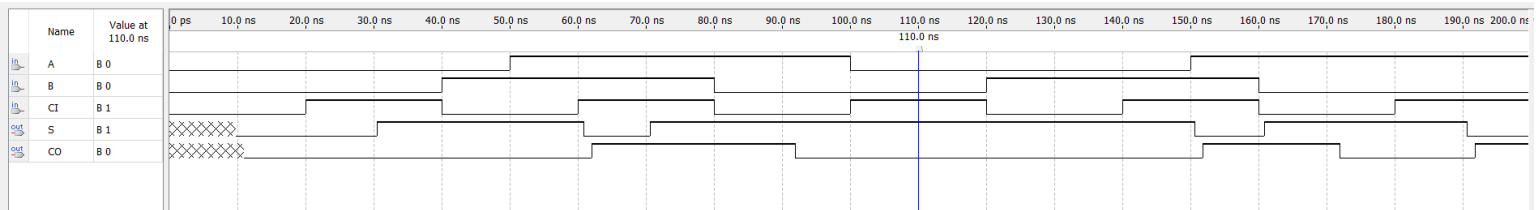
由此得到逻辑式为：

$S = A \oplus B \oplus CI$, $CO = A \cdot B + A \cdot CI + B \cdot CI$ 并根据逻辑式设计门电路结构

功能仿真：



时序仿真：



举例验证：

功能仿真：在 30ns 时， $A=B=0$ $CI=1$ 输出 $S=1$ $CO=0$ 结果正确

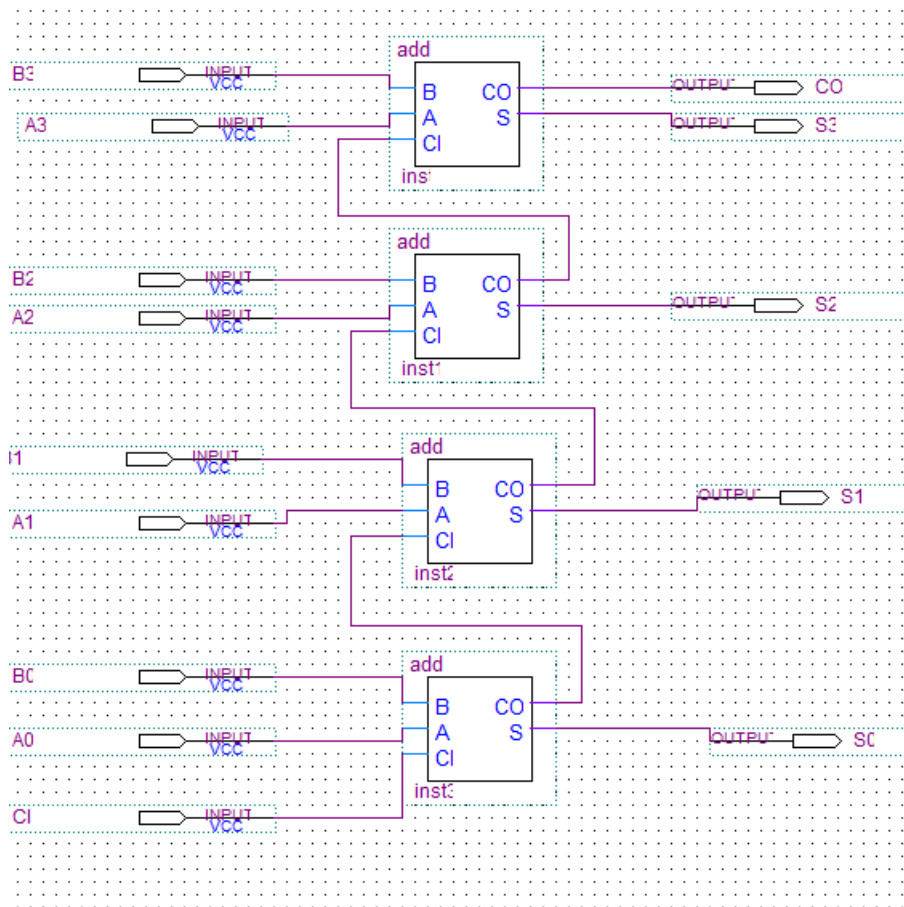
在 50~60ns 时， $A=B=1$ $CI=0$ 输出 $S=0$ $CO=1$ 结果正确

时序仿真：在 110ns 时， $A=B=0$ $CI=1$ 输出 $S=1$ $CO=0$ 结果正确

在 130~140ns 时， $A=C=0$ $B=1$ 输出 $S=1$ $CO=0$ 结果正确

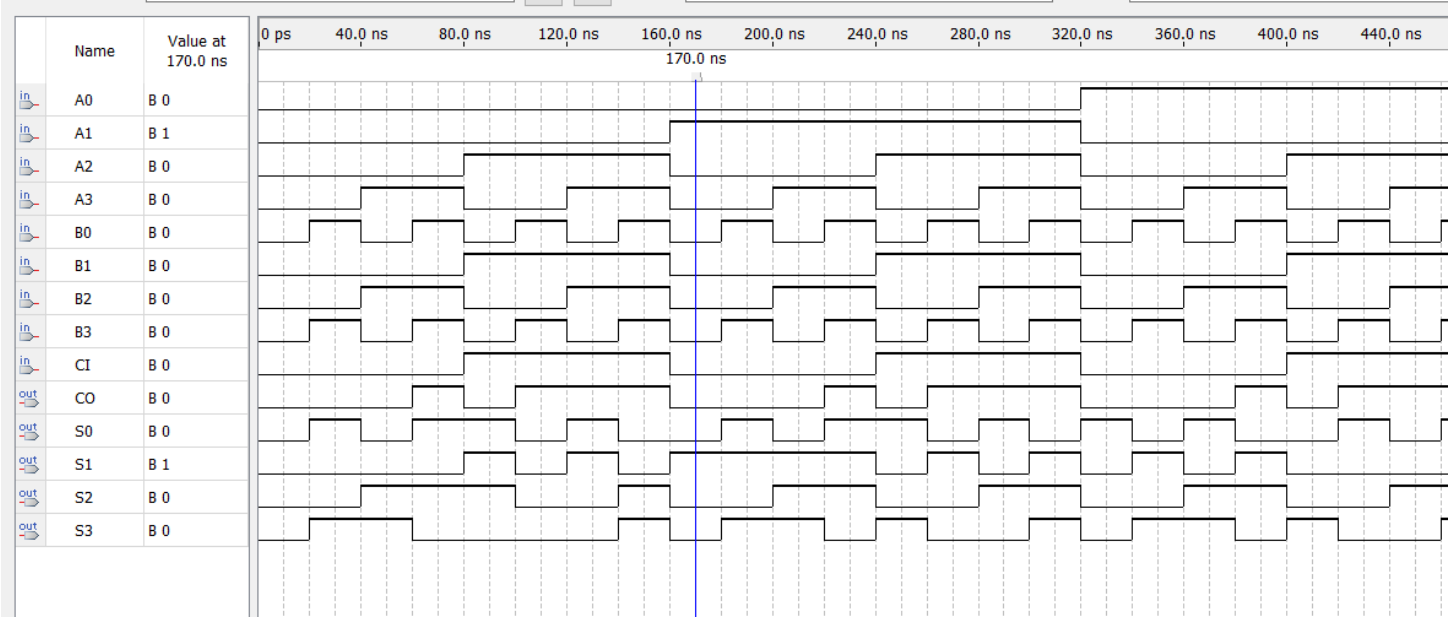
其余情况经验证均正确

2. 四位二进制全加器

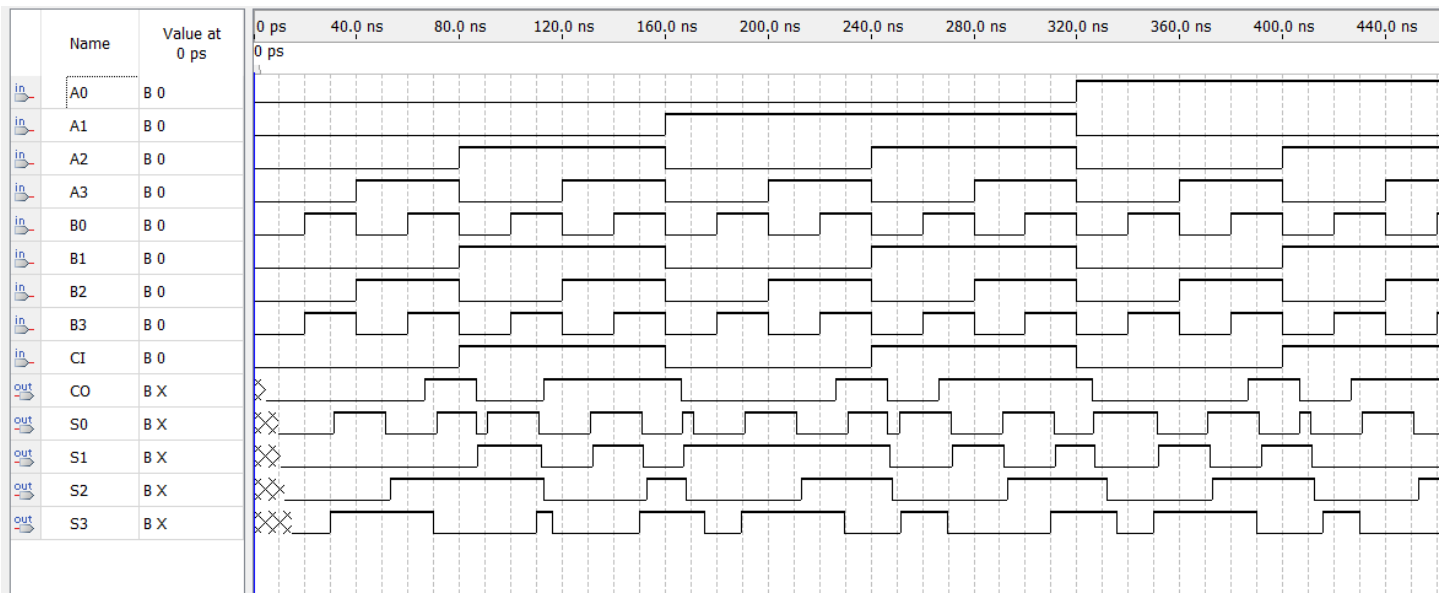


设计思路：四个一位二进制全加器级联

功能仿真：



时序仿真：



举例验证：

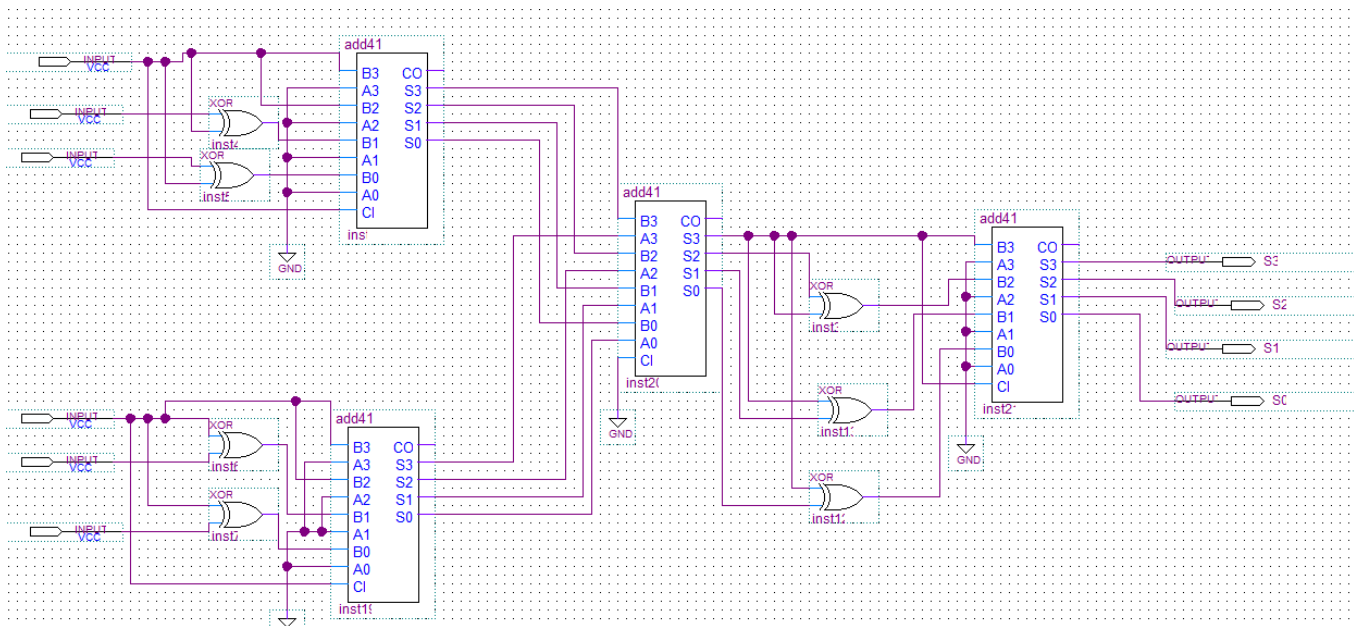
功能仿真：在 170ns 时， $A3=A0=A2=0$ $A1=1$ ， $B3=B2=B1=B0=0$ ， $CI=0$ 输出 $S1=1$ $S0=S2=S3=CO=0$ ，结果正确；

在 200~220ns 之间时， $A0=A2=0$ ， $A1=A3=1$ ， $B0=B1=B3=0$ ， $B2=1$ ，输出结果 $S3=S2=S1=1$ ， $S0=0$ ，结果正确；

时序仿真：在 160~180ns 时， $A3=A2=A0=0$ ， $A1=1$ ， $B3=B2=B1=B0=0$ ， $CI=0$ 输出 $S1=1$ $S0=S2=S3=CO=0$ ，结果正确；

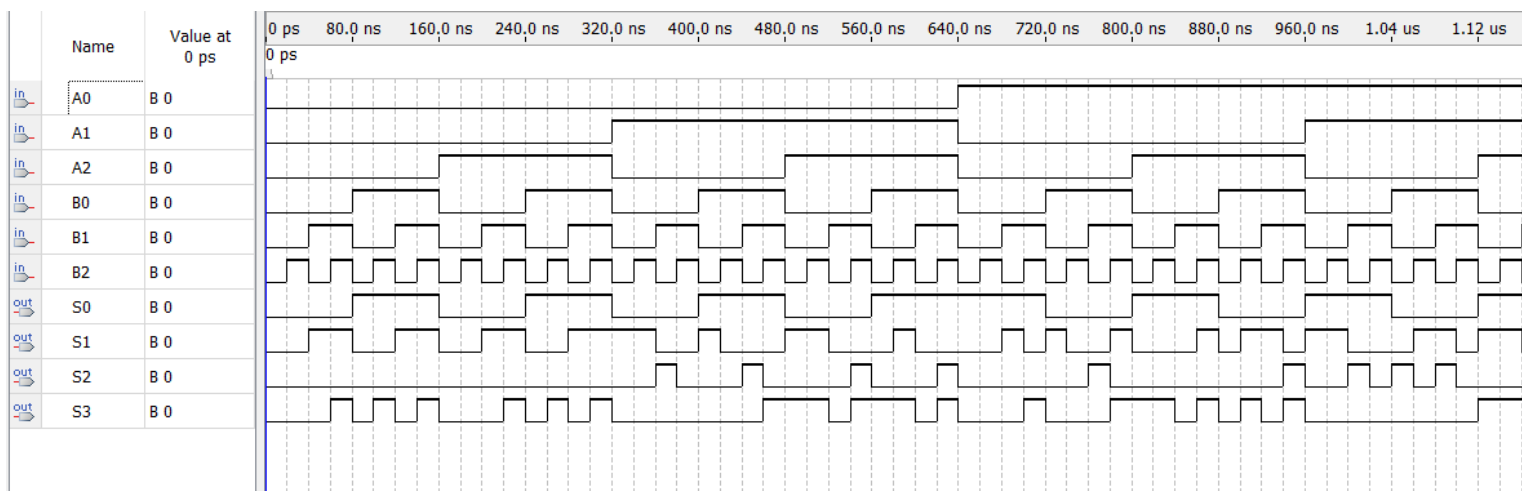
其余情况经验证均正确，且在时序仿真中可以明显地观察到传输延迟和竞争冒险现象，因此在设定输入信号变化的周期时，要注意时间不能太短，否则可能无法观察到信号的变化；

3. 二进制运算器

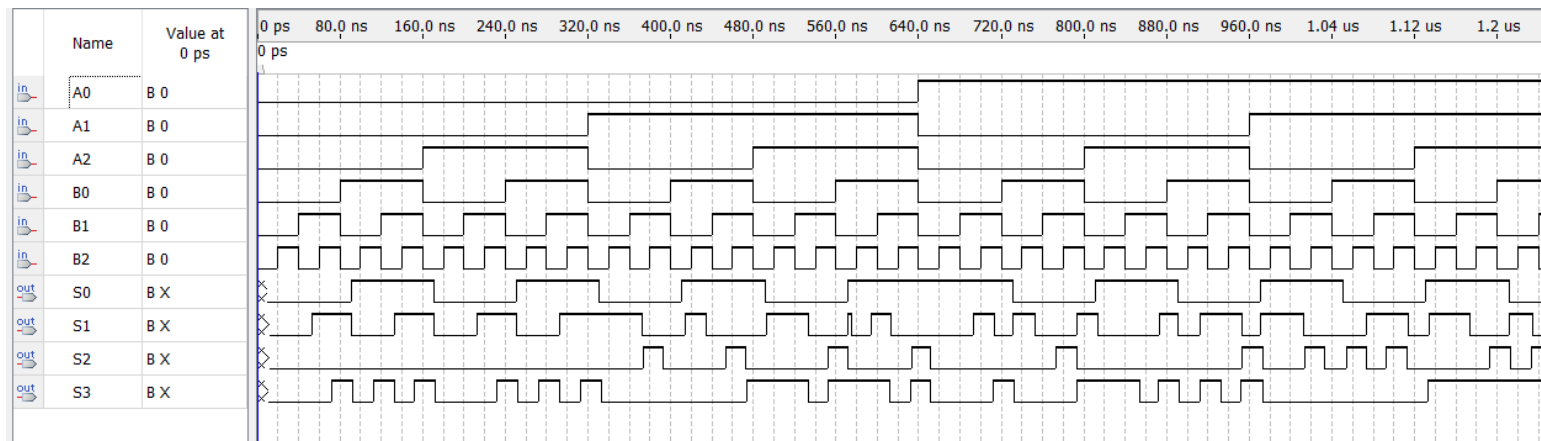


设计思路：首先通过异或门和四位二进制运算器的组合将三位带符号数的原码转化为补码，再通过四位二进制运算器将两数的补码相加，得到结果后再转化为原码，如此得到输出结果。

功能仿真：



时序仿真：



举例验证：

功能仿真：在 320~340ns 时间段， $A0=A3=A2=0$ ， $A1=1$ ， $B0=B1=B2=B3=0$ ，输出 $S1=1$ ， $S0=S2=S3=0$ ，结果正确；

在 300~320ns 时间段， $A0=A1=0$ ， $A2=1$ ， $B0=B1=B2=1$ ，输出 $S0=S1=S3=1$ ， $S2=0$ ，结果正确；

时序仿真：在 600~620ns 时间内， $A0=0$ ， $A1=A2=1$ ， $B2=0$ ， $B0=B1=1$ ，输出 $S0=1$ ， $S1=S2=S3=0$ ，结果正确；

其余情况经验证均正确，且在时序仿真中可以见到明显的传输延迟和竞争冒险现象；

4. DIG 控制模块

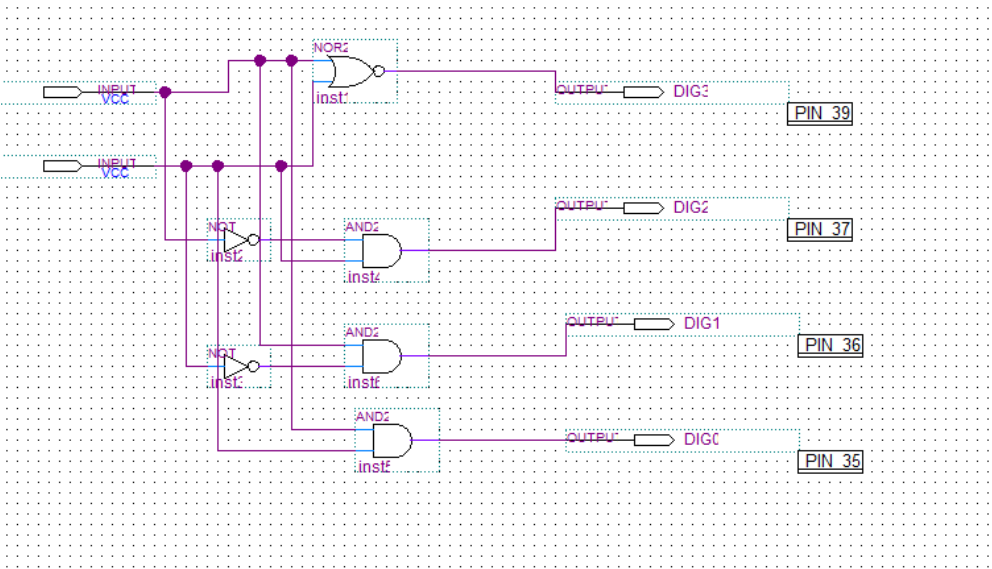


表 1 拨码开关与数码管状态表

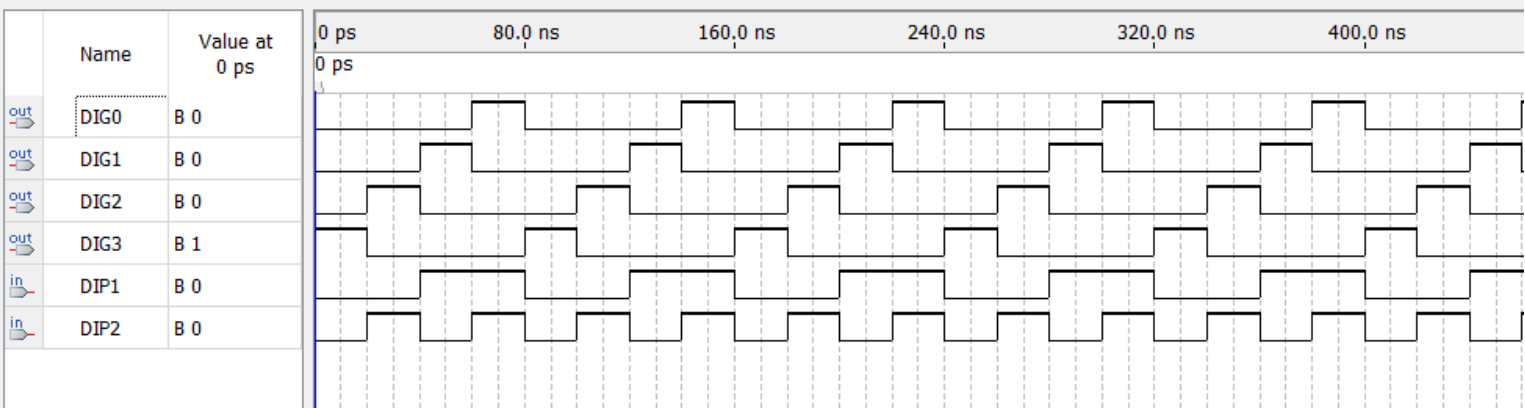
DIP1、DIP2	数码管 3 (DIG3)	数码管 2 (DIG2)	数码管 1 (DIG1)	数码管 0 (DIG0)
00	M	不亮	不亮	不亮
01	不亮	N	不亮	不亮
10	不亮	不亮	S（正负标志）	不亮
11	不亮	不亮	不亮	S（运算结果）

逻辑式：

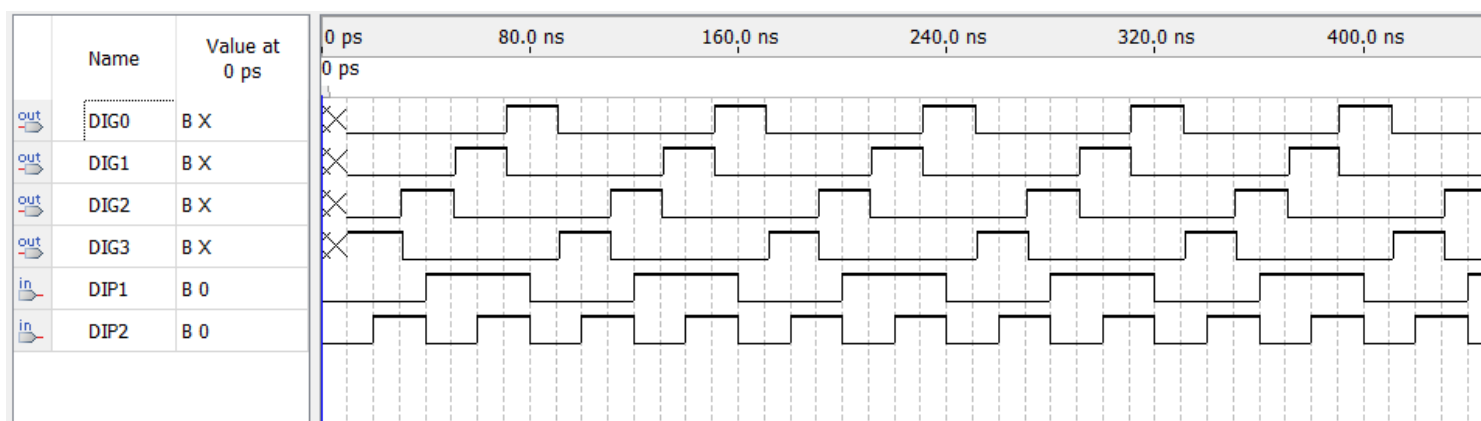
$DIG3 = DIP1' \cdot DIP2'$
$DIG2 = DIP1' \cdot DIP2$
$DIG1 = DIP1 \cdot DIP2'$
$DIG0 = DIP1 \cdot DIP2$

设计思路：按照题目要求，当 DIP1 和 DIP2 输入不同的数字时，不同的 DIG 端口起作用，基于这种考虑，设定了 DIG 控制模块；

功能仿真：



时序仿真：



举例验证：

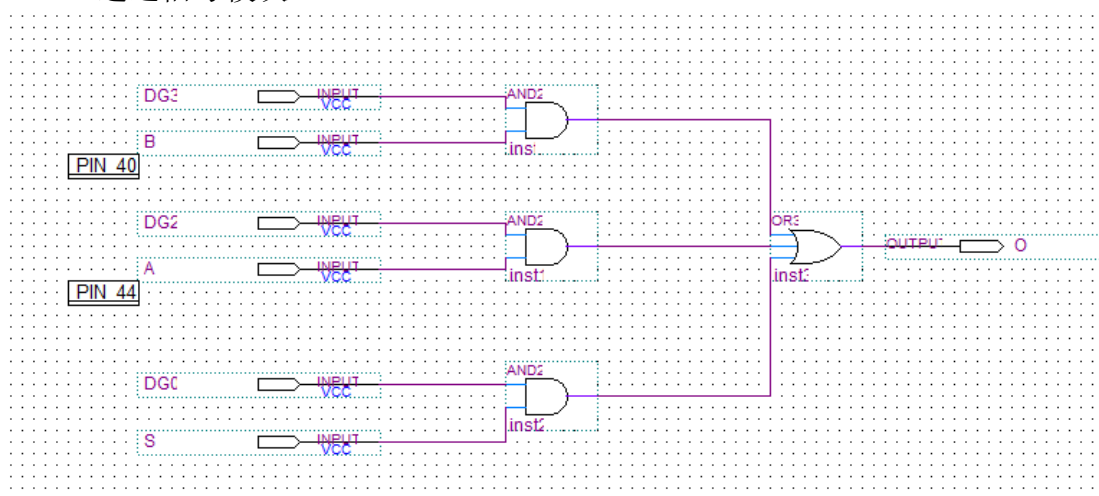
功能仿真：在 60~80ns 时间段内，DIP1=DIP2=1，DIG0=1,其余 DIG 端均为 0，结果正确；

在 80~100ns 时间段内，DIP1=DIP2=0,DIG3=1,其余 DIG 端均为 0，结果正确；

时序仿真：在 140~160ns 时间段内，DIP1=DIP2=1，DIG0=1,其余 DIG 端均为 0，结果正确；

其余情况经验证结果均正确，且在时序仿真中有大致 10ns 的传输延迟；

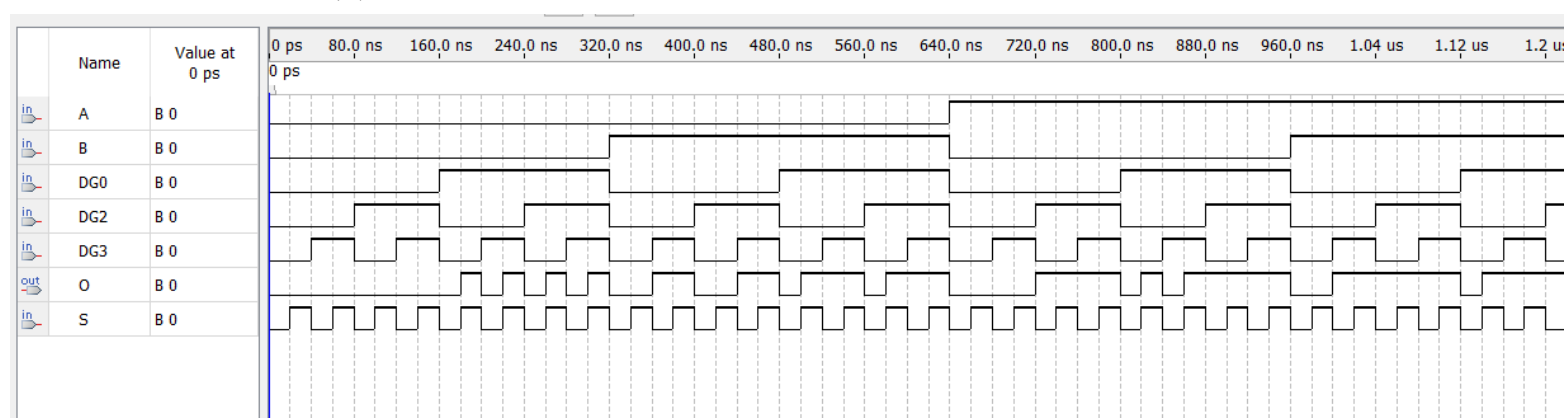
5. DIG 选通信号模块（select）



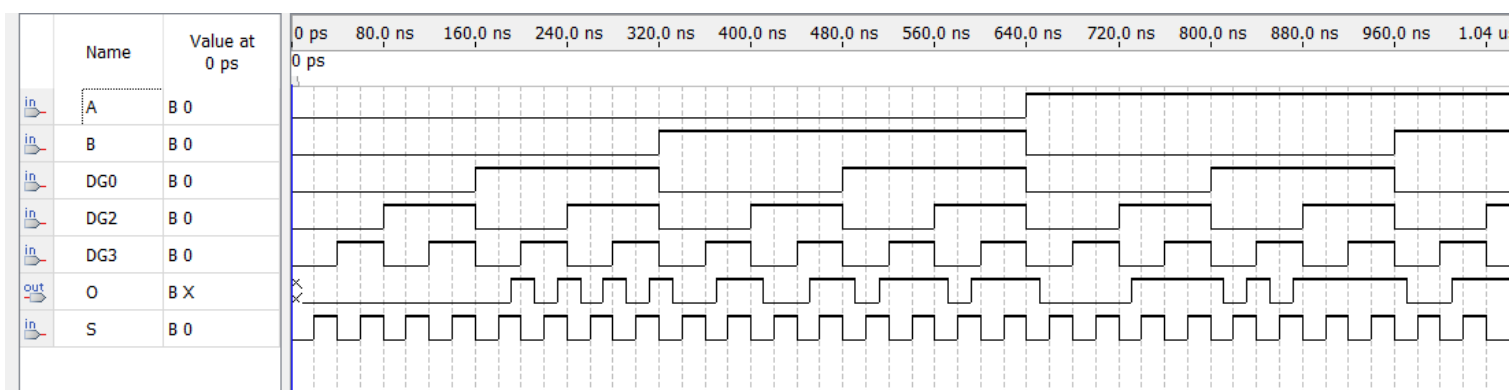
逻辑式： $O = DG3 \cdot B + DG2 \cdot A + DG0 \cdot S$

设计思路：当不同的 DIG 端起作用时，输出端会取来自于 B、A、S 输出端的不同信号，基于这种考虑，设计选通信号模块，使最终电路结构更加简洁

功能仿真：



时序仿真：



举例验证：

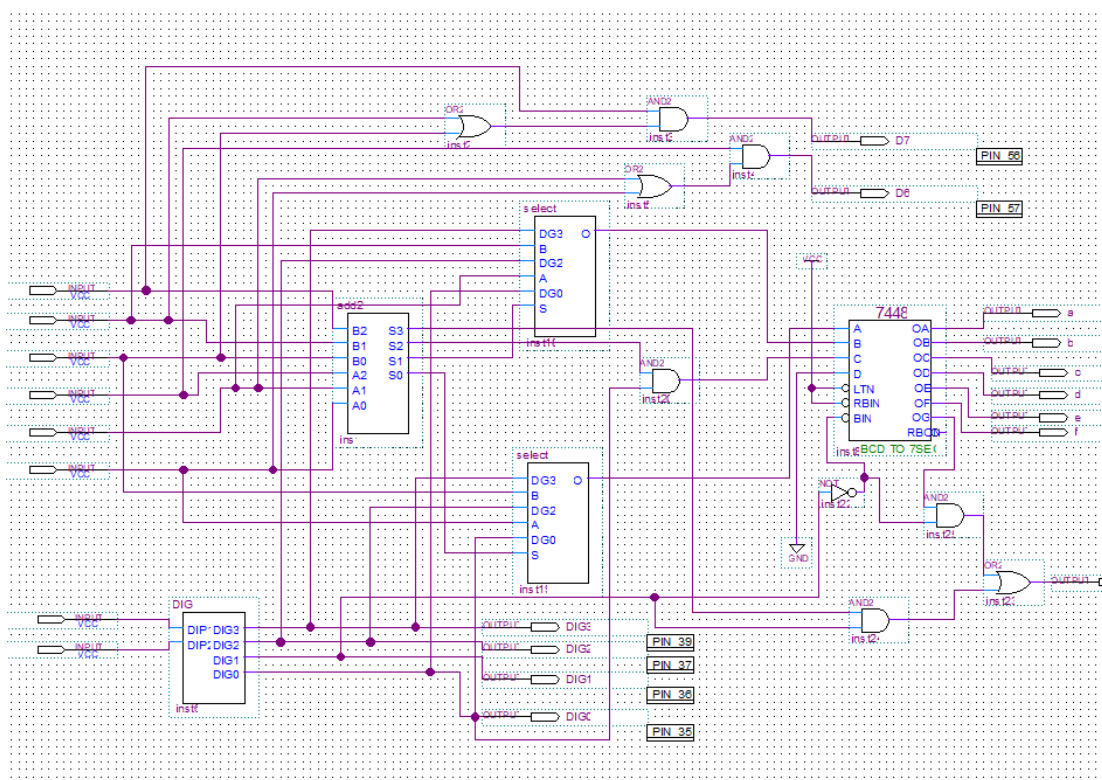
功能仿真：在 160ns~180ns 时间段内，DIG0 为 1，输出端 O 与 S 保持一致；

在 720~740ns 的时间段内，DIG2 为 1，输出端 O 与 A 保持一致；

时序仿真：在 360~400ns 的时间段内，DIG3 为 1，输出端 O 将与 B 保持一致，但会有明显的延迟；

其余情况的仿真结果经验证均正确；

6. 扫描显示电路（scan）（必做）



设计思路：

D7、D6 两端控制二极管，当输入数字为负数（即最高位为 1 且后两位不全为 0 时），两个 LED 灯发光表示负数；

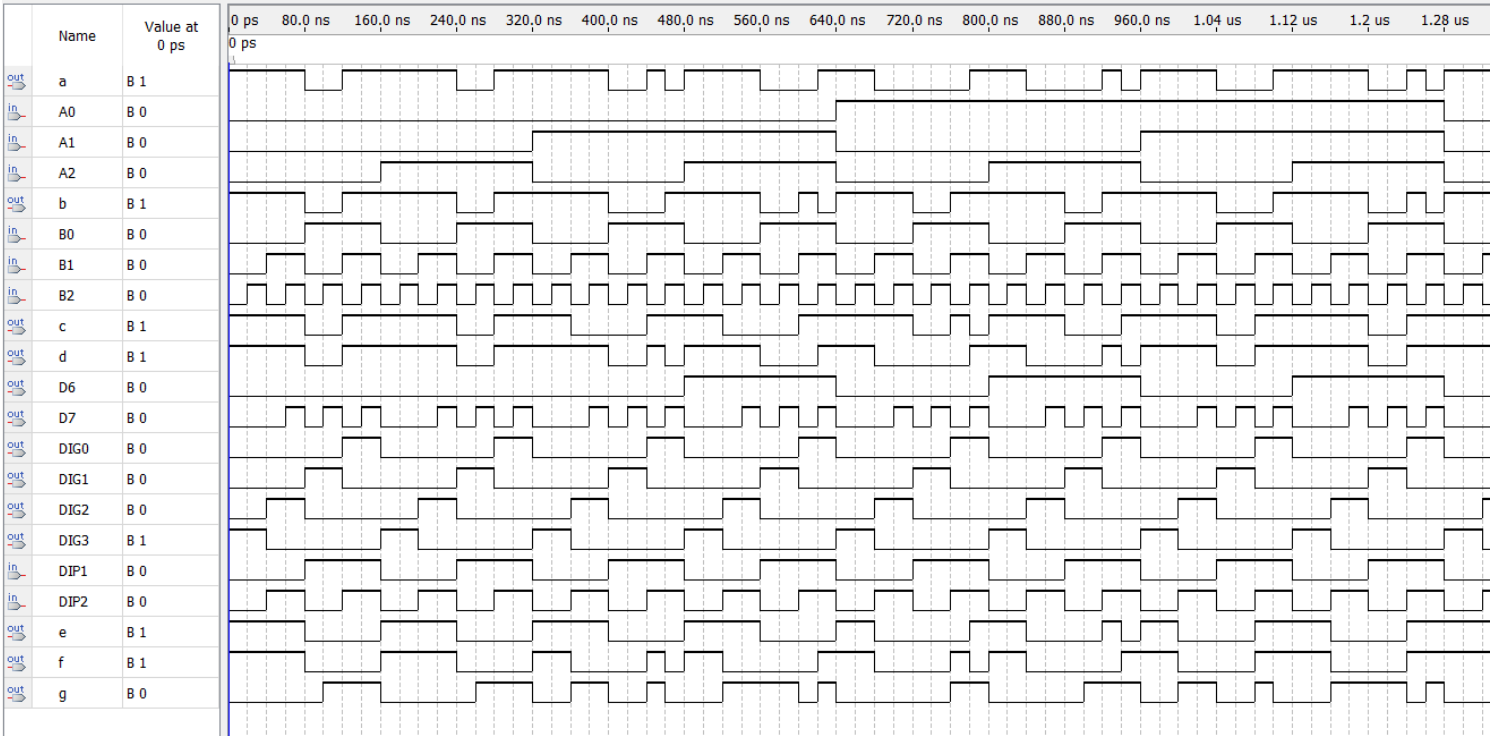
输出端 S0 与 S1 通过选通 select 模块与 DIG 端相连，以选通控制输出的信号，并将输出信号分别与译码器的 A 和 B 输入端相连；

运算结果的最高位在 DIG0 控制下加到译码器 C 端；

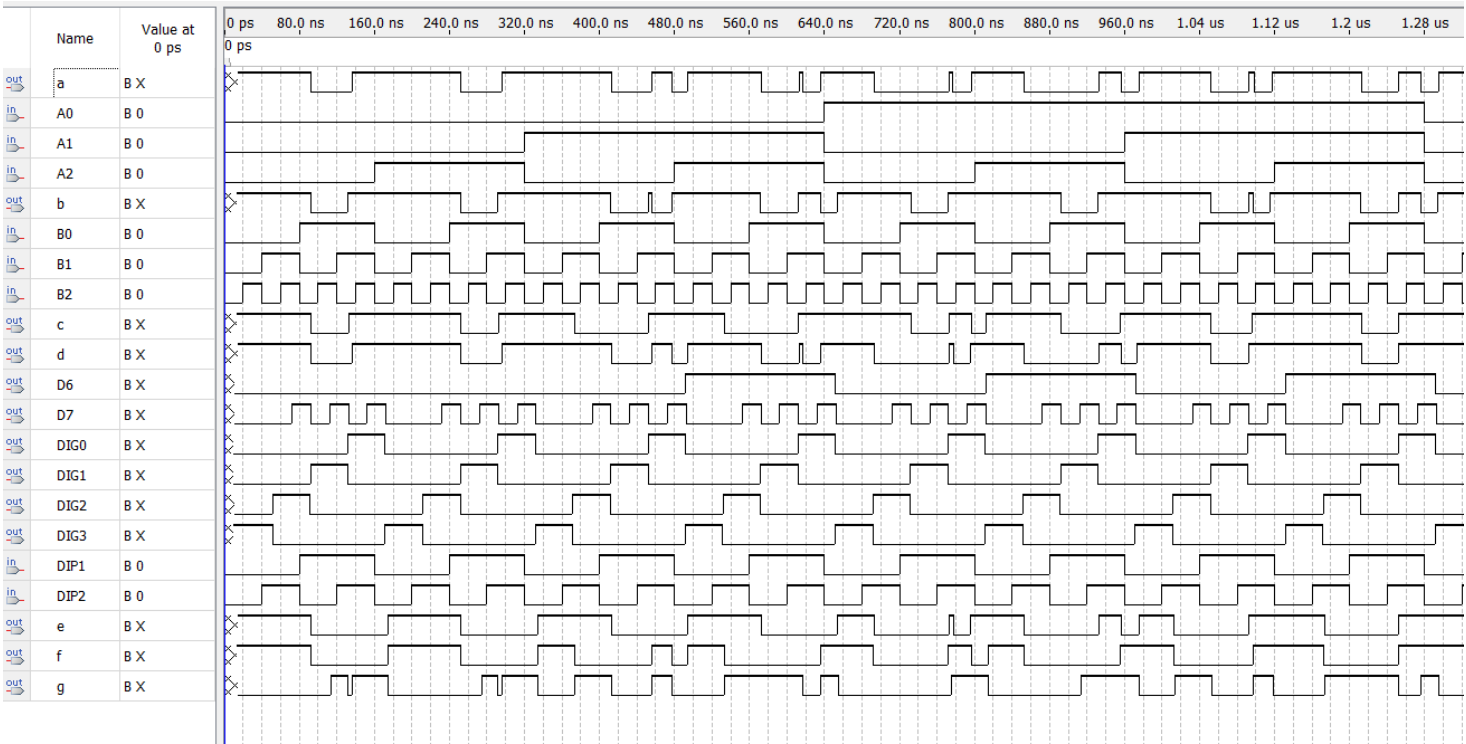
由于电路设计不需用到 7448 译码器的最高位，故输入端 D 接地，LTN 和 RBIN

等接高电平；
在译码器的作用下，*abcdef*等输出端正常显示，*g* 端在输出数字时与其它端口无异，在显示结果数正负时，要通过选通端 **DIG2** 控制，首先将显示的数字熄灭，通过输出端 *g* 的暗亮显示结果数的正负；

功能仿真：

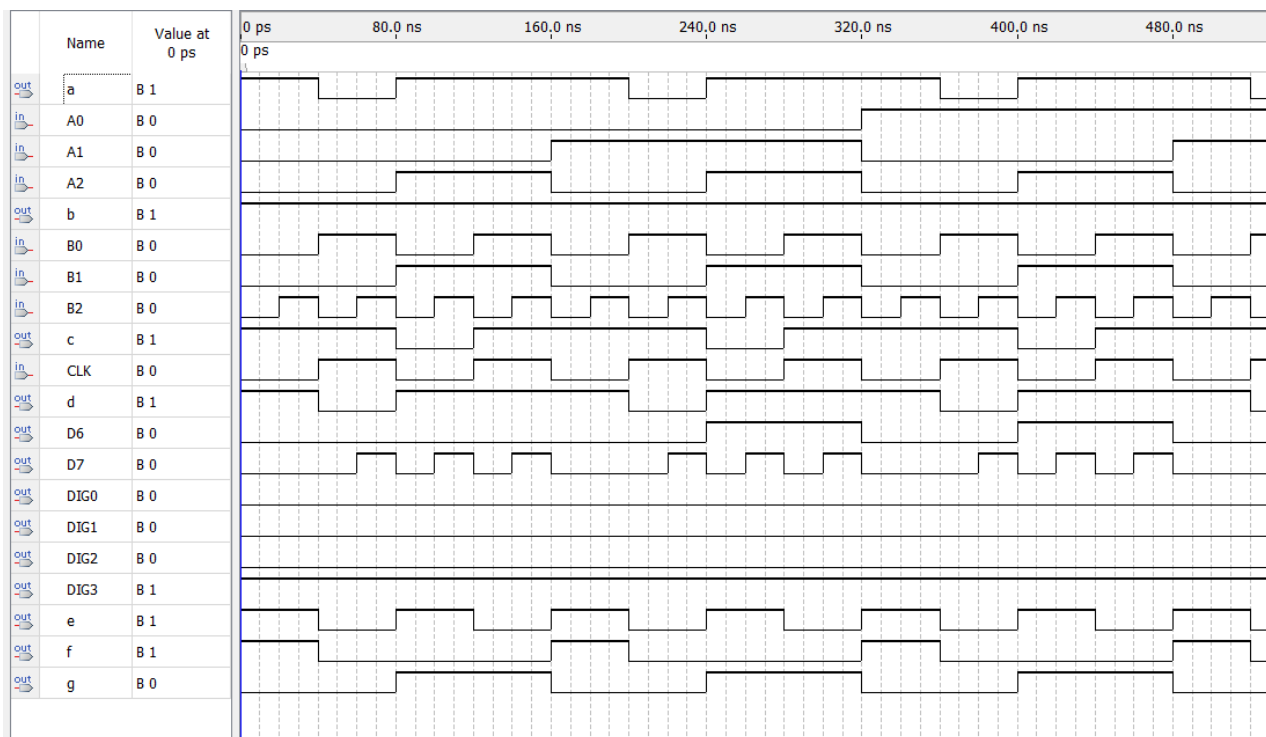


时序仿真：

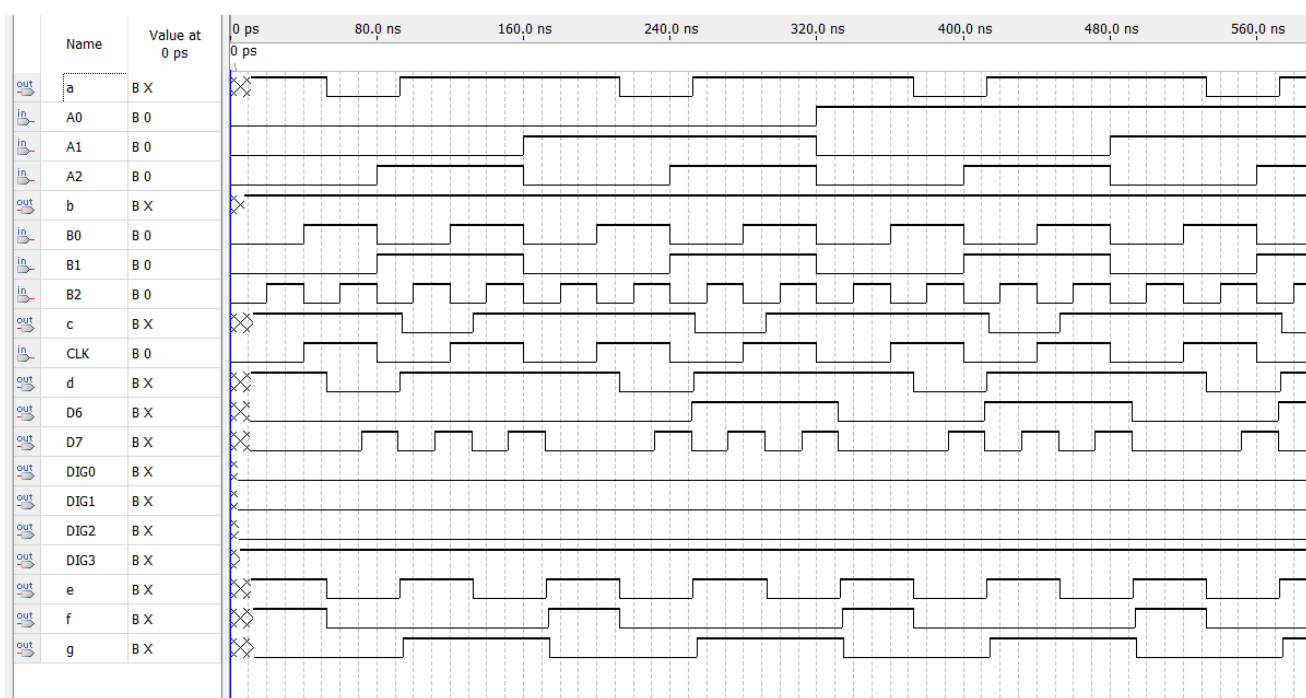


时序仿真：验证结果与功能仿真相同，只是存在较多延迟时间与竞争冒险；其余结果经验证均正确；

CLK2 由纯电路结构实现:



时序仿真：



可以观察到 DIG3 端口时钟处于高电平的位置，在分频器的作用下，DIG 端口不会遍历所有情况，但是由之前必做扫描电路仿真文件波形的测试可以推知动态显示电路逻辑关系也是正确的。

两种 CLK 方式实现的电路功能与波形仿真是相同的。

上述各模块时序仿真波形均存在延迟时间，其中电路中的 t_{pd} 是指从有效到有效的时间， t_{cd} 是指从无效到无效的时间，可以利用仿真文件中的游标移动到相关位置读出来。

波形仿真文件周期设定的解释：

在做各模块的功能仿真时，需要标定各个信号的周期，在标定时要遵循一定的原

则，经过仿真多次之后，我是按照以下几点标定的：

(1) 首先在全编译报告中找到 Propagation delay

Table of Contents		Propagation Delay					
	Input Port	Output Port	RR	RF	FR	FF	
1	A0	D6	12.697			12.697	
2	A0	a	19.749	19.749	19.749	19.749	
3	A0	b	19.348	19.348	19.348	19.348	
4	A0	c	19.730	19.730	19.730	19.730	
5	A0	d	19.829	19.829	19.829	19.829	
6	A0	e	19.912	19.912	19.912	19.912	
7	A0	f	19.358	19.358	19.358	19.358	
8	A0	g	19.929	19.929	19.929	19.929	
9	A1	D6	12.231			12.231	
10	A1	a	19.408	19.408	19.408	19.408	
11	A1	b	19.007	19.007	19.007	19.007	
12	A1	c	19.389	19.389	19.389	19.389	
13	A1	d	19.488	19.488	19.488	19.488	
14	A1	e	19.571	19.571	19.571	19.571	
15	A1	f	19.017	19.017	19.017	19.017	
16	A1	g	19.588	19.588	19.588	19.588	
17	A2	D6	11.985			11.985	
18	A2	a	19.157	19.157	19.157	19.157	
19	A2	b	18.756	18.756	18.756	18.756	
20	A2	c	19.138	19.138	19.138	19.138	
21	A2	d	19.237	19.237	19.237	19.237	
22	A2	e	19.320	19.320	19.320	19.320	
23	A2	f	18.766	18.766	18.766	18.766	
24	A2	g	19.337	19.337	19.337	19.337	
25	B0	D7	12.891			12.891	
26	B0	a	20.109	20.109	20.109	20.109	
27	B0	b	19.708	19.708	19.708	19.708	
28	B0	c	20.090	20.090	20.090	20.090	
29	B0	d	20.189	20.189	20.189	20.189	
30	B0	e	20.272	20.272	20.272	20.272	
31	B0	f	19.718	19.718	19.718	19.718	
32	B0	g	20.289	20.289	20.289	20.289	

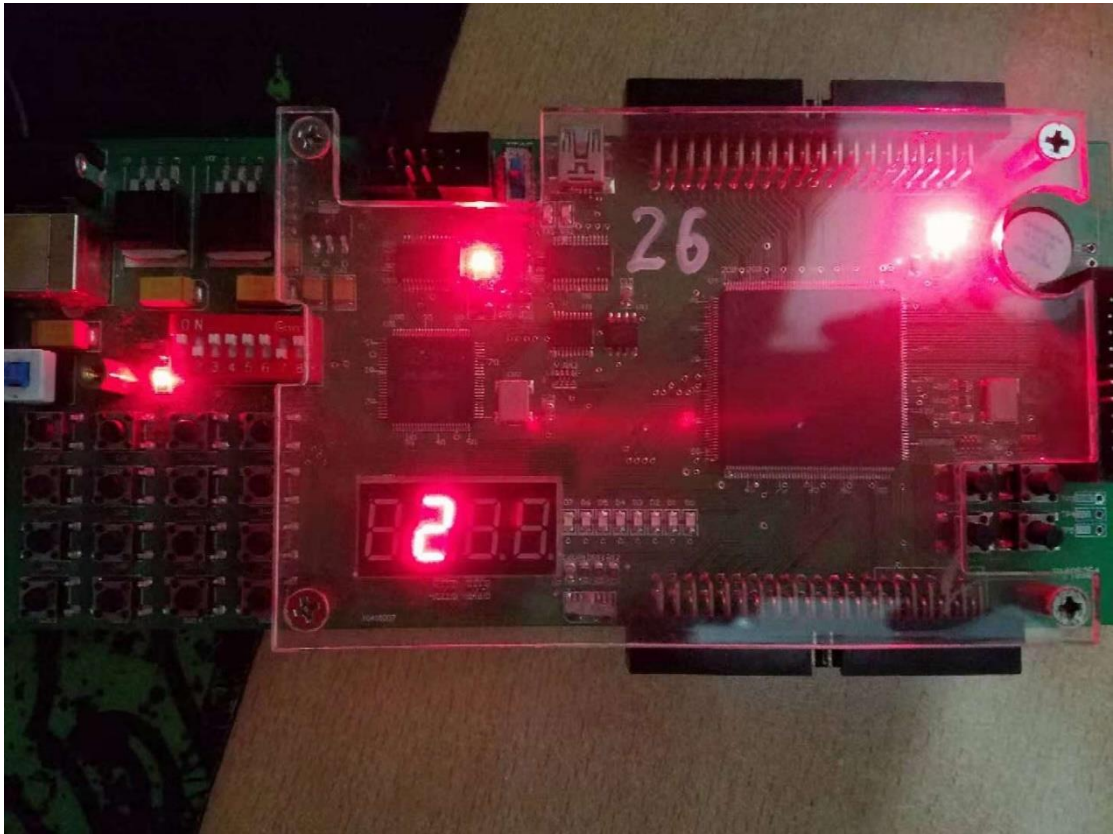
我们可以从编译报告中看到传输延迟时间，其中包括 RR、RF、FR、FF 四种时间延迟，R 代表 rise 即上升沿,F 代表 fall 即下降沿，从每个端口的最长和最短时间可以找到对应的 t_{pd} 和 t_{cd} ，在设定输入端变化周期时，一定不能低于传输延迟时间，否则可能输出端未发生变化时，输入端就已经跳变到下一个状态了。

(2) 在标定时间时，要根据输入端的数目来确定最大周期和截止时间，然后其他每个输入端以 1/2 的倍数减少周期，这样做的目的是遍历输入变量的所有取值可能，来最大限度减少电路搭接的错误；

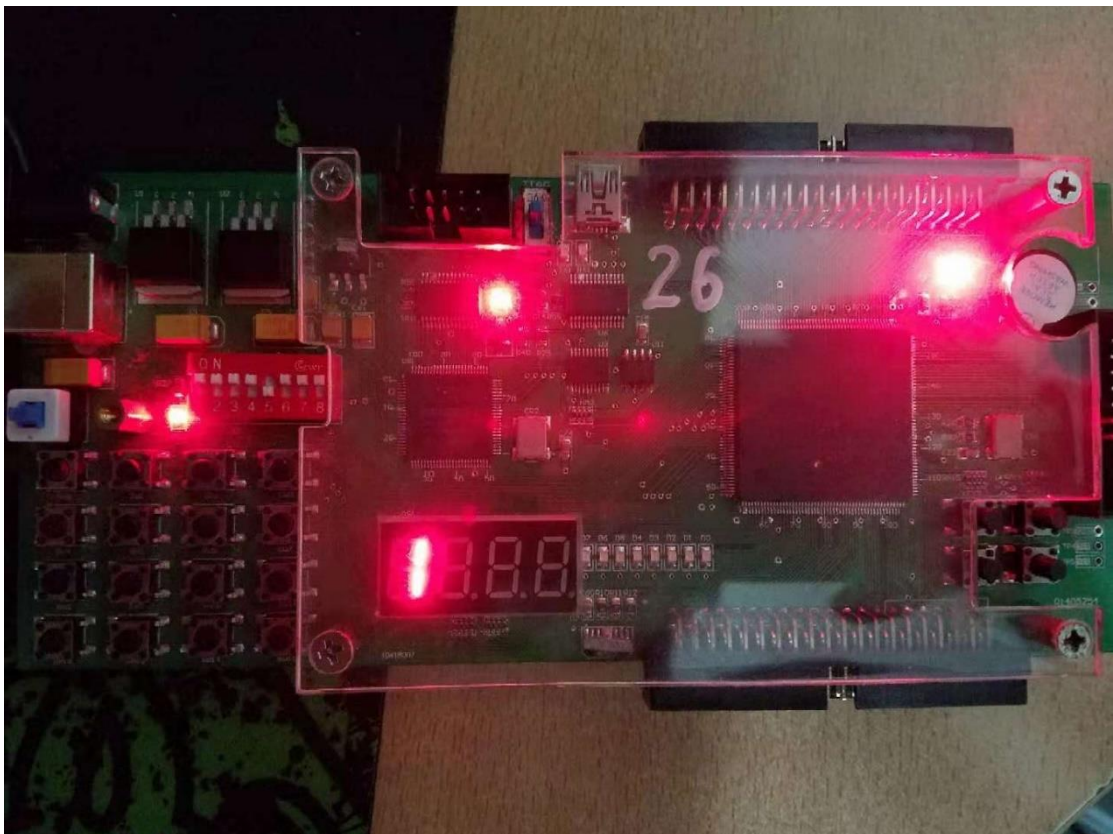
四、连接 USB-Blaster 检验结果

必做检验：

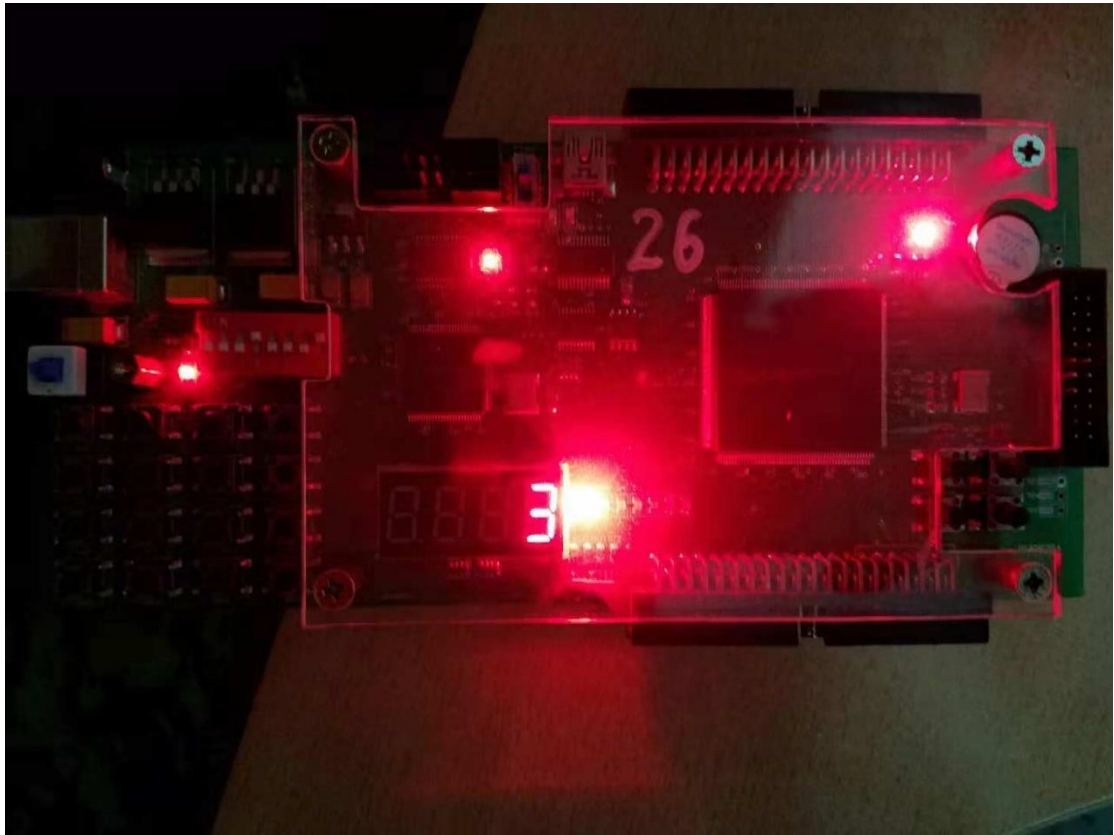
DIP1=0 DIP2=1 显示第二个运算数 $A1=1$ $A2=A0=0$ ，所以为 2



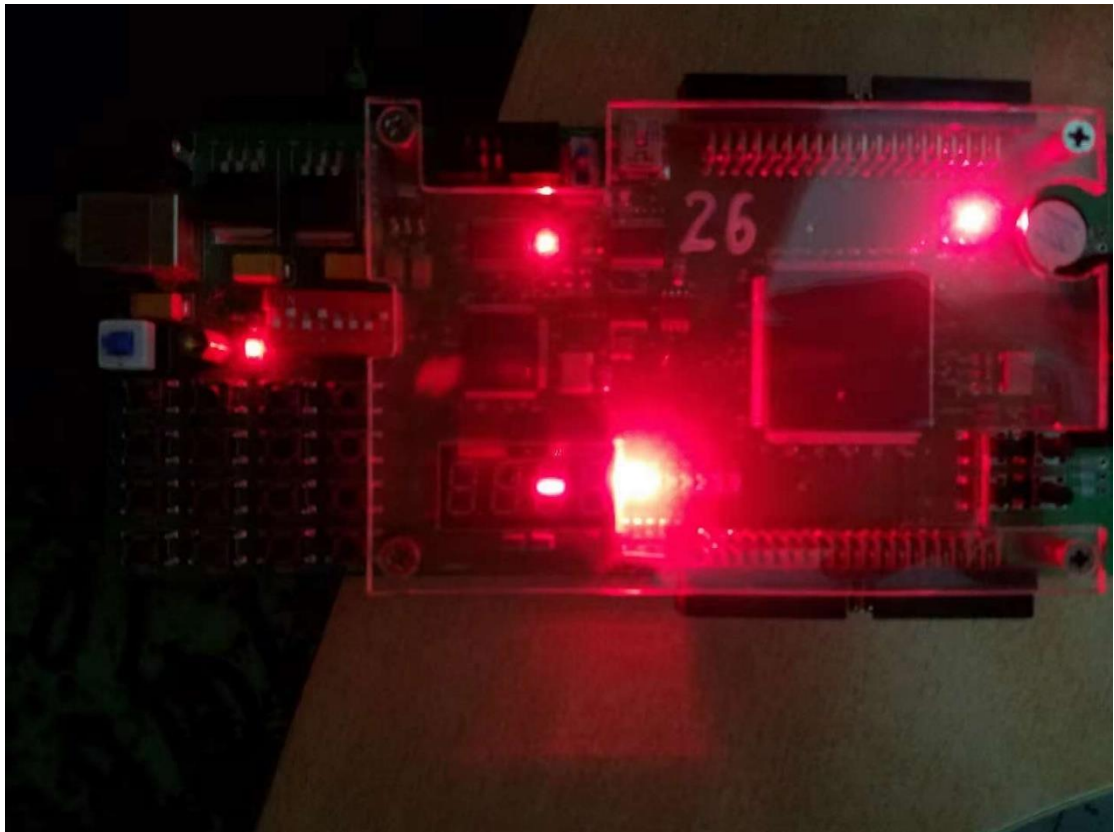
DIP1=0 DIP2=0 显示第一个运算数 $B0=1$ $B2=B1=0$ ，所以为 1



DIP1=1 DIP2=1 显示结果数，因为 $B1=0$ $B2=B0=1$ ， $A2=A1=1$ ， $A0=0$ ，所以为 $-1-2=-3$

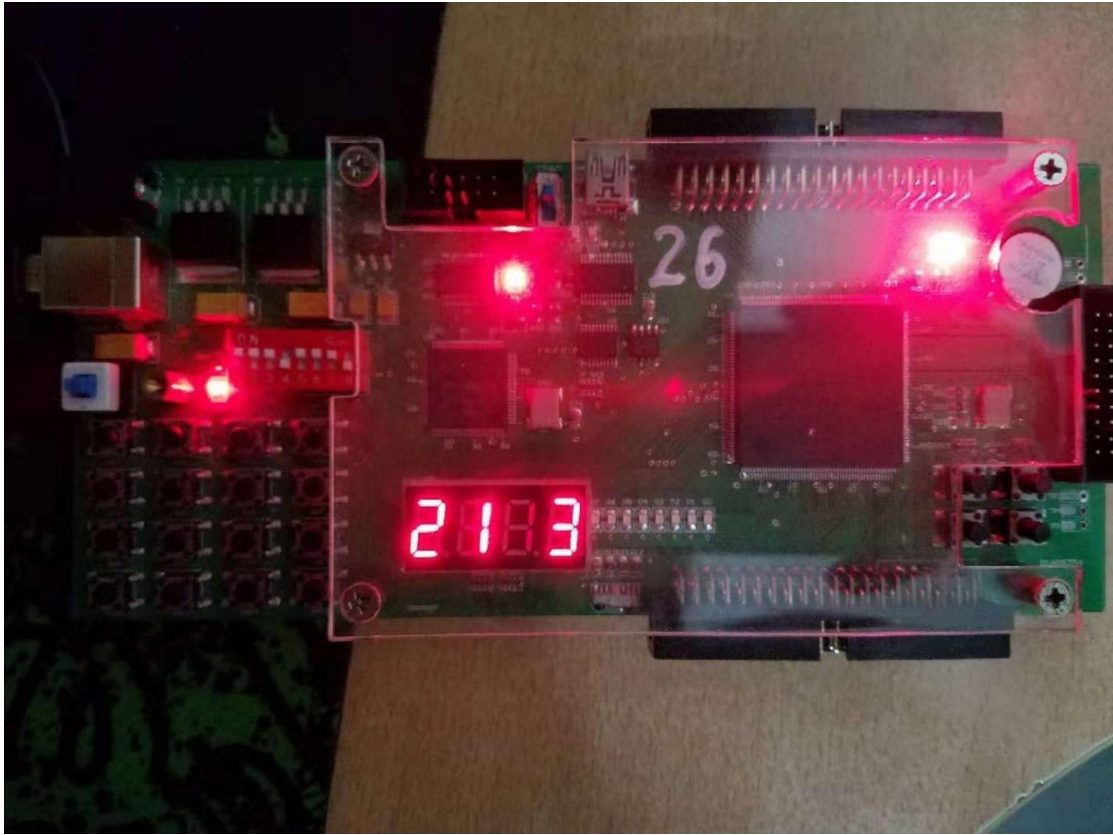


DIP1=1 DIP2=1 显示符号，因为 $B1=0$ $B2=B0=1$ ， $A2=A1=1$ ， $A0=0$ ，所以为 $-1-2=-3$ ，故显示负号

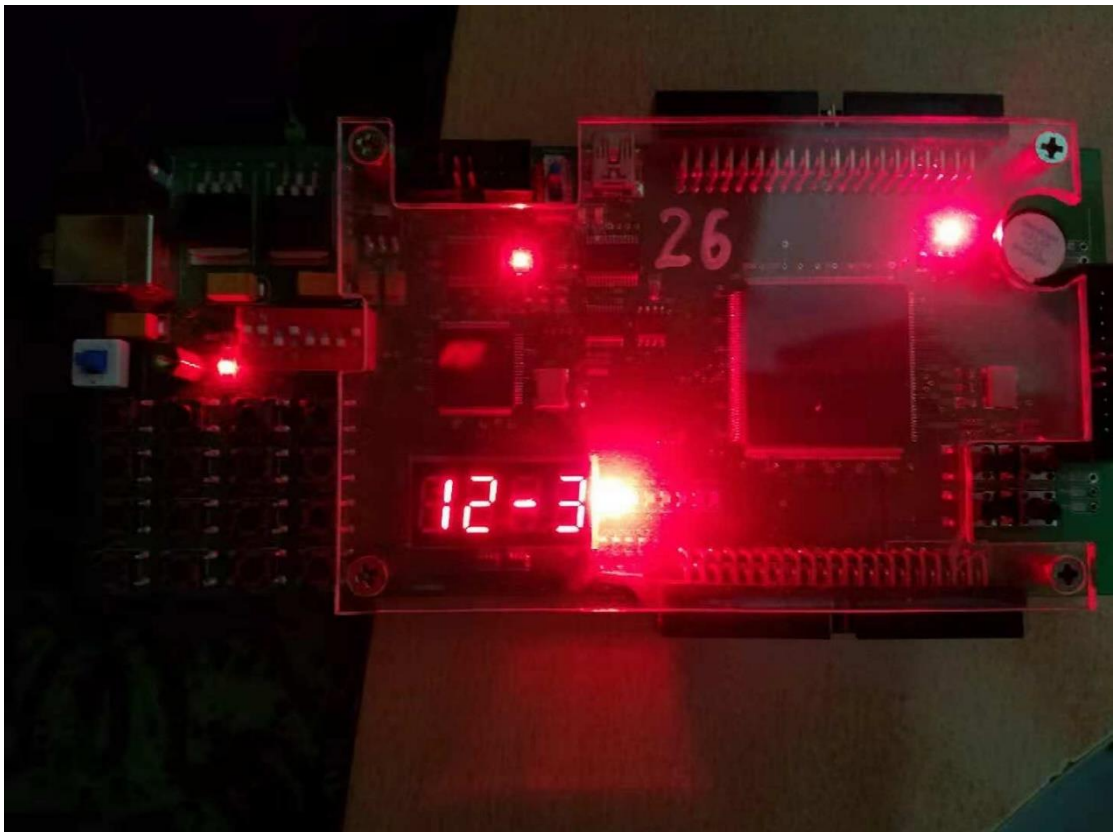


选作检验：

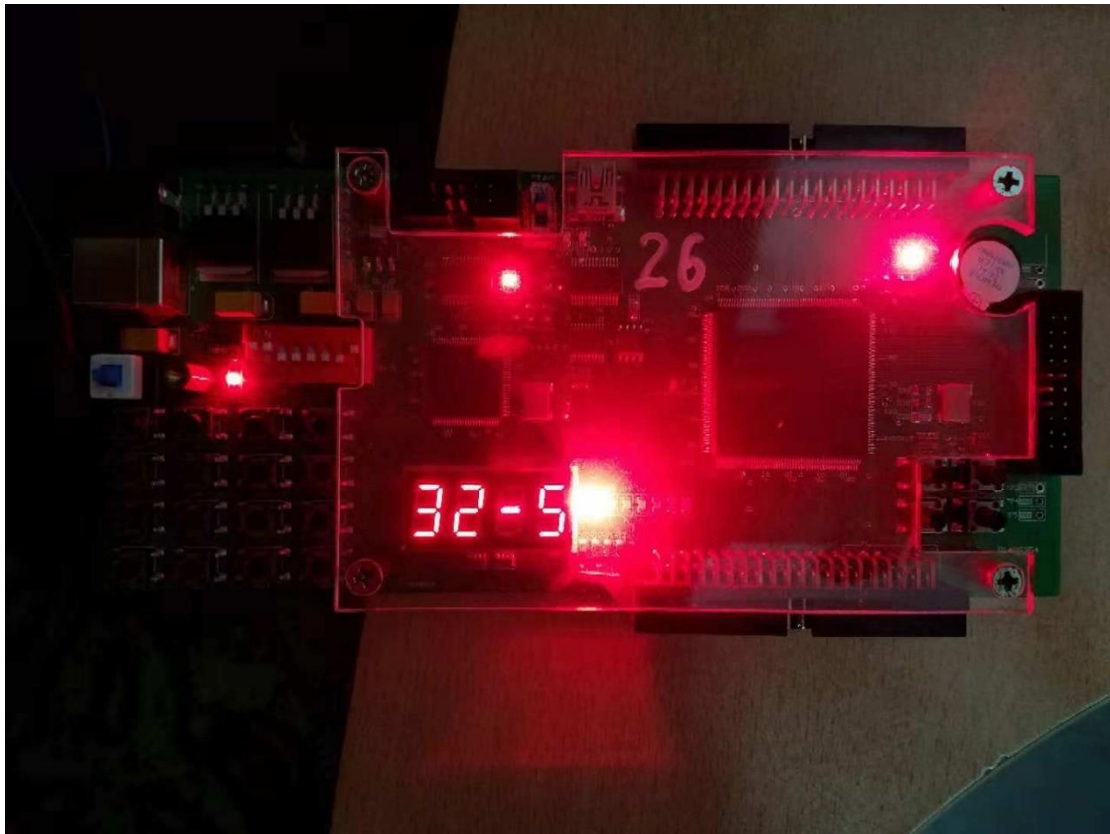
$B_0=B_2=0$ $B_1=1$ $A_0=1$ $A_1=A_2=0$ 结果为 $2+1=3$



$B_0=B_2=1$ $B_1=0$ $A_0=0$ $A_1=A_2=1$ 结果为 $-1-2=-3$



$B_0=B_2=B_1=1$ $A_0=0$ $A_1=A_2=1$ 结果为 $-3-2=-5$



五、 作业总结与收获

1. 这次大作业的全加器部分与组合逻辑电路实验十分相似，其中一位全加器的设计沿用了上次实验的电路，在转化为补码以及补码运算的电路设计中，灵感同样来自于组合逻辑电路实验；
2. 在这次大作业的设计过程中，电路也出现很多次错误，由于顶层电路的连线较多，在连接的过程中经常出现中间导线误连的情况，也因此导致了逻辑错误，后来仔细检查之后排除故障；设计文件和封装模块不可用数字开头命名，之前我将四位全加器模块命名为 4add，无法进行波形仿真，重命名之后问题得到解决；
3. 要注意将进行波形仿真的文件置为顶层实体，并进行全编译；
4. 在刚进行大作业设计的时候，《数字电子技术基础》课程还没有介绍到计数器与分频器应用，因此我最开始采用 Verilog 语言设计分频器，后来在学习过这部分内容之后，又采用标准的二十万计数器电路模块实现了这部分内容，在工程文件中存在 CLK、CLK2 两种分频电路，且均可以正常工作；
5. 电路封装之后可以大大增强设计的可读性，且使顶层电路更加简洁，发生错误时也便于检查，要注意将模块按照功能命名，方便查找；
6. 最后感谢老师和助教们给予我的帮助！

六、 说明

本次 EDA 设计作业采用 Quartus II 软件平台设计，FPGA 板拨码开关对应输入端口从左到右依次为：DIP1、DIP2、B2、B1、B0、A2、A1、A0，通过 USB—Blaster 连接到计算机，按下开关，采用 JTAG 模式烧录即可工作。