Slack

Design Timing Summary

Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	6.300 ns	Worst Hold Slack (WHS):	0.147 ns	Worst Pulse Width Slack (WPWS):	9.500 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns	Total Pulse Width Negative Slack (TPWS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	59	Total Number of Endpoints:	59	Total Number of Endpoints:	51

All user specified timing constraints are met.

Max delay path

(1.)　timing report 顯示的最長路徑資訊如下:

可以看到 data path delay = 15.285ns, input delay = 2ns, output delay = 1ns, clock uncertainty = 0.035ns。我給定 clock cycle = 20ns，扣掉 (input delay + data path delay + output delay + clock uncertainty) 後，也就是 20 - 2 - 15.285 -1 - 0.0.35=1.679 是我最整個電路最長路徑的 slack。

Slack (MET) : 1.679ns (required time - arrival time)
Source: tap_Do[16]
(input port clocked by axis_clk {rise@0.000ns fall@10.000ns period=20.000ns})
Destination: sm_tdata[31]
(output port clocked by axis_clk {rise@0.000ns fall@10.000ns period=20.000ns})
Path Group: axis_clk
Path Type: Max at Slow Process Corner
Requirement: 20.000ns (axis_clk rise@20.000ns - axis_clk rise@0.000ns)
Data Path Delay: 15.285ns (logic 11.586ns (75.799%) route 3.699ns (24.201%))
Logic Levels: 12 (CARRY4=5 DSP48E1=2 IBUF=1 LUT2=2 LUT6=1 OBUF=1)
Input Delay: 2.000ns
Output Delay: 1.000ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.071ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns

(clock axis_clk rise edge)

		20.000	20.000
	clock pessimism	0.000	20.000
	clock uncertainty	-0.035	19.965
	output delay	-1.000	18.965
	required time		18.965
	arrival time		-17.285
	slack		1.679

尋找最大操作頻率與過程心得

在尋找最大操作頻率時，我們必須先找到最長路徑，在觀看合成報告時，可以明顯看到FIR的32bit乘加運算會造成很大的data path delay，比對後發現此路徑就是最長的路徑，因此我們必須把clock cycle time 提高，在這裡我的data path delay是15.285ns 因此，我的最高操作頻率大概落在16ns/次，也就是62.5MHz。

在觀看timing report時，我發現如果destination如果是latch，那這個timing report將不會考慮資料到latch的時間，因此不太精準，因此必須將latch改掉，如此才能知道更精確的delay時間。得知正確的delay time後，也必須對clock cycle time進行修正來維持功能的正常。