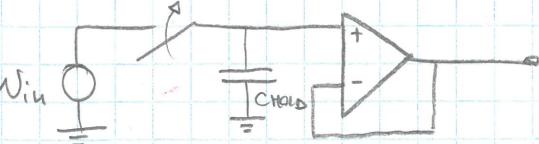
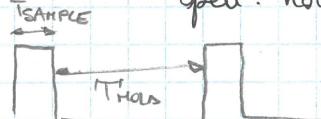


# Circuito di Sample & hold



Interruttore Closed : sample      Open : hold       $T_s = T_{\text{sample}} + T_{\text{hold}}$



L'interruttore è realizzato come un MOS



$$V_{as} > V_{in}$$

$$V_g > V_{in} + V_{in \text{ min}}$$

- Sample : carica della capacità  $\Rightarrow$  MOS in zona ohmica  $\rightarrow R_{DS\ ON}$  ( $V_{as} > V_{in}$ )
- Hold : capacità isolata da qualsiasi cosa  $\Rightarrow$  MOS spento  $\Rightarrow V_{as} < V_{in}$  ( $V_{as} < V_{in}$ )  $\rightarrow$  Ho che  $N_{in} \in [N_{in \text{ min}}, N_{in \text{ max}}]$

$$\rightarrow V_a < V_{in} + V_{in \text{ min}}$$

In fase di sample voglio avere un  $R_{DS\ ON}$  bassa:

$$R_{DS\ ON} = \frac{\partial V_{DS}}{\partial I_D} \Big|_{V_{DS}=0} = \frac{1}{2K_u(V_{as}-V_{in})} \rightarrow \text{dipende dal gate la dimensione del MOS}$$

(avviamente fissate le caratteristiche del MOS)

~~Nota~~

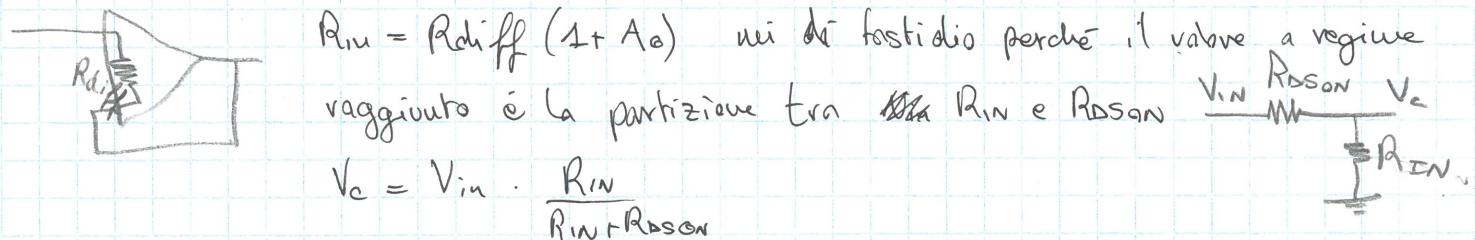


Non idealità

- ①  $\rightarrow$  errori statici  $\leftarrow$  finito del buffer  $\rightarrow$  buffer non ideale
- ②  $\rightarrow$  errori dinamici  $\leftarrow$  minima durata sample  $\rightarrow$  max durata hold
- $\rightarrow$  errori di iniezione di carica

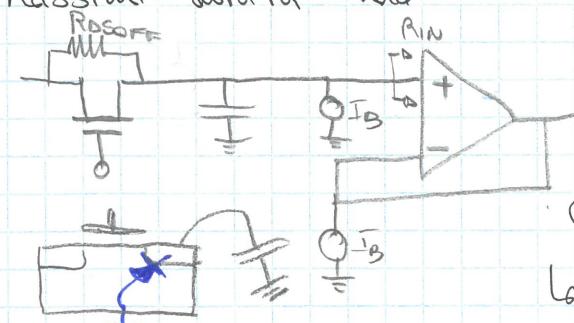
$$\textcircled{1} \bullet G_{id} = \frac{G_{idk}}{1 - \frac{1}{A_o}} = \frac{1}{1 + \frac{1}{A_o}} \quad C_{load} = -A_o \quad G_{id} = 1 \rightarrow \text{possiamo però correggere facilmente questo problema con un initorio}$$

- Rin finito del buffer



Tuttavia  $R_{in} \gg R_{DS\ ON}$   $\rightarrow$  nella pratica praticamente non è rilevante.

Massima durata hold



MOS: abbiamo un  $R_{DS\ OFF}$  e abbiamo anche una giunzione PN equivalente in pol. inverso  $\rightarrow$  corrente di leakage del MOS

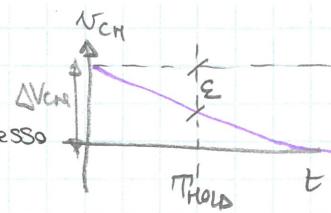
Aggiungeremo le correnti di bias dell'opamp +  $R_{in}$

Otteneremo diversi fattori che faranno varicare la tensione sul condensatore.

La tensione ad esempio decresce nel tempo, generalmente esponenzialmente

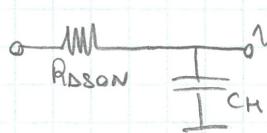
$$\text{con } V = C_{\text{HOLD}} \cdot (R_{D\text{S OFF}} // R_{IN})$$

Approssimo l'esponentiale con un andamento lineare. L'errore commesso durante l'hold è  $\epsilon = \frac{\Delta V_{CH}}{V}$ .  $T_{\text{HOLD}}$



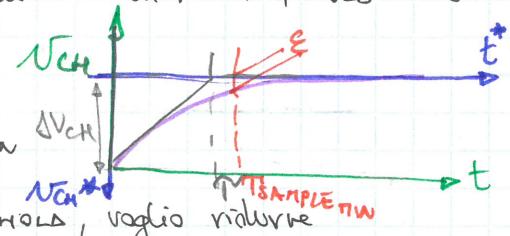
Dopo scendere a compromessi per avere una buona velocità di carica rispetto alla lunghezza del tempo di hold. Idealmente  $T_{\text{SAMPLE}} = 0\text{s}$ ,  $T_{\text{HOLD}} = \infty\text{s}$

### Minima durata tempo di sample



La carica è legata a  $V = C_H \cdot R_{D\text{SON}}$

Se  $C_H$  è grossa per avere lungo  $T_{\text{HOLD}}$ , voglio ridurre il più possibile  $R_{D\text{SON}}$



Fissando un max errore  $\epsilon$  ammesso, ottengo il minimo tempo di sample

$$N_{CH}^* = \Delta V_{CH} \cdot e^{-\frac{t}{T_{\text{sample min}}}} \quad (\text{oss: ho invertito l'asse}) \quad \epsilon = \Delta V_{CH} e^{-\frac{T_{\text{sample min}}}{T_{\text{sample min}}}}$$

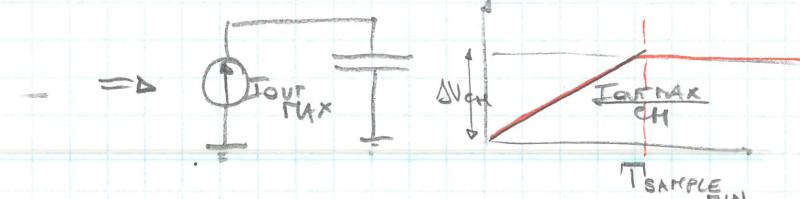
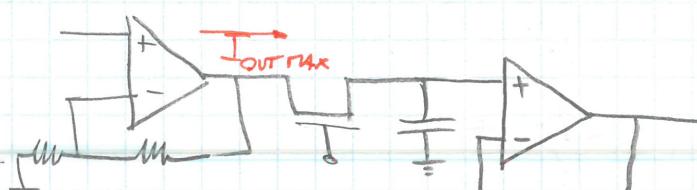
$$T_{\text{sample min}} = \frac{V}{I_{\text{out}}} \ln \frac{\Delta V_{CH}}{\epsilon}$$

**SA (limitazione dell'uscita)**

(Se uno avesse messo l'asse  $N_{CH}^*$  avrei dovuto fare  $N_{CH} = \Delta V_{CH} [1 - e^{-\frac{t}{T_{\text{sample min}}}}]$ )

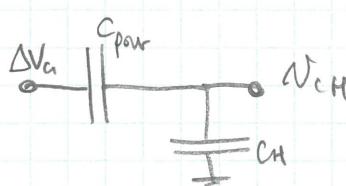
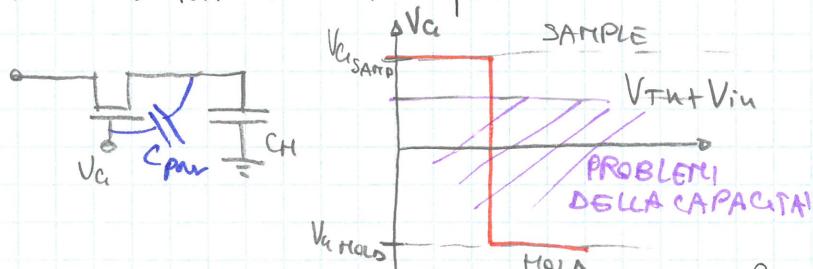
e poi  $\Delta V_{CH} - \epsilon = \Delta V_{CH} [1 - e^{-\frac{T_{\text{sample min}}}{T_{\text{sample min}}}}]$  e trovo la stessa espressione

Se ho una slew rate ho un'altra perdita che mi pone l'limitazione dell'uscita esempio di SA. Generalmente l'input arriva da un altro opamp affatto da SR



$$\Delta V_{CH} = \frac{I_{\text{out max}}}{C_H} \cdot T_{\text{sample min}} \quad \text{Questo con la limitazione della corrente dell'opamp}$$

Considero infine l'effetto parassita



$$\Delta V_{CH} = \Delta V_{a} \cdot \frac{C_{\text{par}}}{C_{\text{par}} + C_H}$$

Generalmente  $C_H > 100 C_{\text{par}}$  quindi

c'sono due freg odg tra i condensatori. Talvolta però questo causa problemi

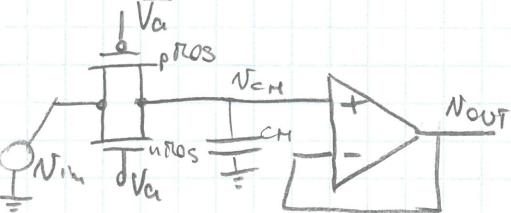
Quando sono in sample  $V_{CH}$  è imposta da  $V_{in}$  → non si considera  $C_{\text{par}}$  assita

Quando però  $V_{CH} = V_{TH}$   $V_a - V_{in} = V_{TH} \Rightarrow V_a = V_{TH} + V_{in}$

Per comodità considero il caso peggiore  $\Delta V_{th}$  (escursione massima) piuttosto che  $V_{Th} + V_{in} - V_{Th,hold}$  (escursione reale che vediamo)

Ho anche un CDS parassita, ma se  $V_{in}$  per Shmoo non varia poco tra un  $T_s$  e l'altro, CDS esso ha un basso e lento accoppiamento capacitivo  $\Rightarrow$  generalmente trascurabile

- Come mi libero dall'iniezione di carica? Modifico il circuito



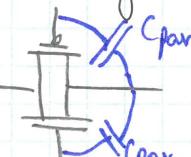
SAMPLE:  $V_{ds} > V_{Th}$  e  $\bar{V}_{ds} < V_{Tp}$   
 $(V_{ds} > V_{Th}) \quad (\bar{V}_{ds} < V_{Tp})$

HOLD:  $V_{ds} < V_{Th}$  e  $\bar{V}_{ds} \geq V_{Tp}$   
 $(V_{ds} < V_{Th}) \quad (\bar{V}_{ds} \geq V_{Tp})$

Svantaggi: ho 2 transistor e devo ricavare  $\bar{V}_d$

Vantaggi: •  $R_{load} \parallel R_{load,p} \rightarrow$  ho un  $R_{load}$  più piccolo, ma ciò lo farei anche con un solo uMOS grande il doppio

- Guadagno nell'iniezione di carica

 Se  $V_u$  e  $\bar{V}_g$  sono uguali opposte e  $C_{parallel}$  sono uguali, ottengo un solo uguale e opposto  $\rightarrow$  zero effetti

Dovrò considerare solo il mismatch tra  $C_{parallel,p}$  e  $C_{parallel,n}$