

Betriebssysteme und Rechnerarchitekturen

LV 4112

Übungsblatt 4

23.04.12

Aufgabe 4.1:

Wie groß ist die effektive Wartezeit eines Systems mit einem einstufigen Cache, wenn der Hauptspeicherzugriff 8 Nanosekunden Wartezeit erfordert und der Zugriff auf den Cache nur eine Nanosekunde. Die Trefferrate des Caches sei 70%,

Aufgabe 4.2:

Im Folgenden werden Caches verschiedener Organisationsformen betrachtet. Für alle Beispiele gilt:

- 32 Adressbits
- Cache-Größe: 65536 Byte (64KB)
- Cache-Zeilengröße: 256 Byte

Bei einem vollassoziativen, direkt abbildenden oder zweifach assoziativen Cache werde jeweils auf ein 32-Bit-Wort unter der Speicheradresse 0x002A2564 zugegriffen. Für **alle drei** Fälle soll beantwortet werden:

- (a) Auf welche Cache-Zeile wird zugegriffen?
- (b) Wie lautet der beim Vergleich benutzte Tag?
- (c) Wo in der Cache-Zeile steht das adressierte 32-Bit-Wort?

Aufgabe 4.3:

Der **direkt abbildende** Cache aus Aufg. 4.2 werde als L1 Datencache benutzt. Wie groß sind die Trefferraten im Cache, wenn das Programm in einer Schleife mehrfach einen zusammenhängenden Speicherbereich von

- (a) 32767 Byte (32KB)
- (b) 65535 Byte (64KB)
- (c) 131072 Byte (128KB)

anspricht?

Aufgabe 4.4:

Der **vollassoziative** Cache aus Aufg. 4.2 werde als L1 Befehls-cache benutzt. Ein Programm adressiert in einer Schleife mehrfach einen zusammenhängenden Codebereich von 81920 Bytes im Hauptspeicher. Wie groß sind die Trefferraten im Cache ab dem zweiten Durchgang, wenn dieser mit . . .

- (a) . . . der LRU-Ersetzungsstrategie
- (b) . . . der LFU-Ersetzungsstrategie
- (c) . . . der FIFO-Ersetzungsstrategie
- (d) . . . der Random-Ersetzungsstrategie

arbeitet?

Aufgabe 4.5:

Ein Programm greift in einer Schleife mehrfach auf die 32-Bit-Adressen 0x00002091, 0x00005492, 0x00002093, 0x00005494, 0x0000109A, 0x0000F49B, 0x0000109C und 0x0000F49D zu. Wie sind die Trefferraten ab dem zweiten Schleifendurchlauf bei Verwendung folgender Caches (alle mit einer Cache-Zeilengröße von 16 Byte):

- (a) vollassoziativer Cache mit 64 Zeilen?
- (b) direkt abbildender Cache mit 64 Zeilen?
- (c) zweifach assoziativer Cache mit 32 Sätzen zu je 2 Zeilen?
- (d) vierfach assoziativer Cache mit 16 Sätzen zu je 4 Zeilen?

- (e) Wie groß sind die Kapazitäten dieser Caches?

Hinweis: Die Aufgaben 4.3 bis 4.5 können allein nach der „Methode des scharfen Hinsehens“ gelöst werden. Alternativ gibt es auch die Möglichkeit, ein Programm zur Simulation des Cache-Verhaltens zu schreiben und sich die Lösungen von diesem Programm ermitteln zu lassen. Ein Muster eines solchen Programmes (in dem allerdings die zentrale Simulationsfunktion noch fehlt) findet sich auf der Webseite der Veranstaltung.