**VHDLを用いた簡易プロセッサの試作**

仕様書

2018年1月25日

A-2班

15173009 加藤 大登

15173046 久朗津 宏樹

15173088 佐藤 竜郎

15173091 高田 大樹

目次

**1 はじめに**

本実験では,VHDLを用いた簡易プロセッサの試作を行った.本仕様書では,実際に試作したプロセッサの仕様を記述している.

**2　開発環境**

OS … Windows 8.1

開発ツール,シミュレータ … ModelSim-Altera10.3c

**3 役割分担**

本実験を進めていくうえで行った役割と氏名をまとめたものを以下の表1に示す.

|  |  |
| --- | --- |
| 氏名 | 役割 |
| 加藤 |  |
| 久朗津 |  |
| 佐藤 |  |
| 高田 |  |

**4 設計指針**

　本実験では整数の平方根を求めることができるプロセッサの制作を目的として行った.

**5 プロセッサ仕様**

5章ではプロセッサの仕様について記述する.

**5.1 メモリ,レジスタ,フラグレジスタの仕様**

　今回制作したプロセッサでは,命令メモリ,データメモリ共に幅が16bit,深さが8bit(アドレス:0~255)とした.　メモリのアドレスが0~255としているのは,全ての命令を1ワードとしたため,命令フィールドのアドレス指定部分が16bitとできないためである.

　レジスタはGR0~GR15までの16個で構成されている.それらはすべて16bitのデータを格納する.

　フラグレジスタは, 演算結果の先頭のbitが1であるときに1となるサインフラグS(1bit),演算結果がすべて0になったときに1となるゼロフラグZ(1bit),演算結果がオーバーフローしたときに1となるオーバーフローフラグO(1bit)がある.

**5.2 命令フィールド**

命令フィールドは以下の表2に示す通りであり(N…ニモニック),レジスタ間命令,レジスタアドレス間命令ともにこの命令フィールドである.ただしレジスタが16個で構成されているため,8bitのレジスタ間命令の際は右詰めで4bitを記述し,残りの左側の4bitはすべて0で埋める.

表2　命令フィールド

|  |  |  |
| --- | --- | --- |
| N | r1 | r2 |
| 4 | 4 | 8 |

**5.3 命令セット**

以下に今回作成したプロセッサの命令セットをまとめたものを記述する.

|  |  |  |
| --- | --- | --- |
| 命令 | 機械語 | 内容 |
| HALT | 0000（なし） | 終了 |
| LD① | 0001 r1 0000 r2 | r2の内容をr1にコピー |
| LD② | 0010 r1 addr | メモリアドレスの内容をr1にコピー |
| LAD | 0011 rA addr | メモリアドレスのアドレス値をr1にコピー |
| STR | 0100 r1 addr | r1の内容をメモリアドレスの場所にコピー |
| ADD | 0101 r1 0000 r2 | r1＋r2の答えをr1に入れる FFFFを超えるならフラグOを1にする |
| SUB | 0110 r1 0000 r2 | r1－r2の答えをr1に入れる. 負になるならフラグSを1にする |
| SL | 0111 r1 0000 r2 | r1のビットをr2の内容分だけ左へ動かす 一番右(下)の桁は0になる |
| SR | 1000 r1 0000 r2 | r1のビットをr2の内容分だけ右へ動かす 一番左(上)の桁は0になる |
| NAND | 1001 r1 0000 r2 | r1 nand r2の答えをr1に入れる |
| JMP | 1010 r1 addr | メモリアドレスのアドレス値をプログラムレジスタにコピー |
| JZE | 1011 r1 addr | フラグZが1なら、メモリアドレスのアドレス値をプログラムレジスタにコピー |
| JMI | 1100 r1addr | フラグSが1なら、メモリアドレスのアドレス値をプログラムレジスタにコピー |
| JOV | 1101 r1 addr | フラグOが1なら、メモリアドレスのアドレス値をプログラムレジスタにコピー |
| RJMP | 1110 r1 0000 0000 | r1の内容をプログラムレジスタにコピーした後、プログラムレジスタの値を1増加する |
| DISP | 1111 r1 0000 r2 | r1の下4ビットをr2で指定する7セグメントLEDに出力 |

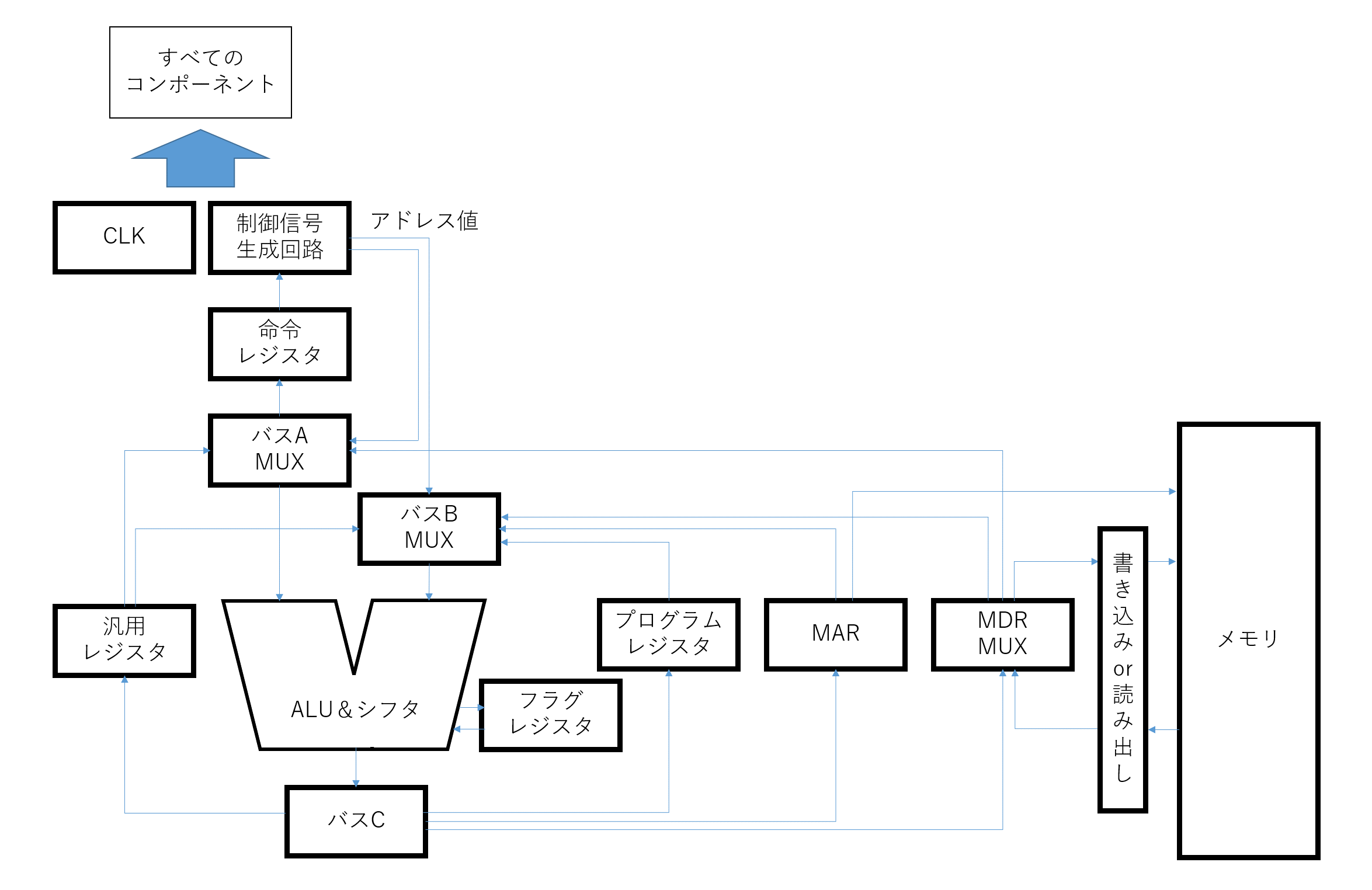
※JMP, JZE, JMI, JOV はレジスタAに0を指定しないとき、レジスタAにジャンプ前のアドレスを書き込む

**5.4 デコーダ**

**5.5 ALU**

**5.6 回路図**

以下にプロセッサを作成するための概略図である簡単な回路図を図1に示す.

**図1 回路図**