

컴퓨터공학실험II

5장 De Morgan의 정리



*Be as proud of Sogang
As Sogang is proud of you*

- ◆ De Morgan의 정리/Boolean 함수의 동작 이해 및 확인
- ◆ Verilog를 사용하여 De Morgan의 정리 및 Boolean 함수의 동작 구현
- ◆ 입력 신호 생성 후 Simulation을 통하여 구현된 결과 확인
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인

◆ 드 모르간(De-Morgan)의 법칙

- De-Morgan의 법칙은 AND와 OR 연산을 서로 바꾸고, 각 변수의 보수(부정)을 취한다.

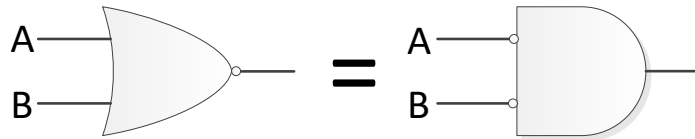
$$\overline{A+B} = \overline{A} \cdot \overline{B} \text{ (논리합} \rightarrow \text{논리곱)} \text{ De-Morgan의 제 1법칙}$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \text{ (논리곱} \rightarrow \text{논리합)} \text{ De-Morgan의 제 2법칙}$$

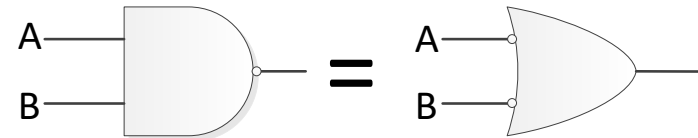
- De-Morgan 의 제 1법칙 : $A+B$ 의 보수 취한 것이 A 의 보수와 B 의 보수와 곱한 것과 같다.
- De-Morgan 의 제 2법칙 : $A \cdot B$ 의 보수 취한 것이 A 의 보수와 B 의 보수와 합한 것과 같다.

◆ 드 모르간(De-Morgan)의 법칙

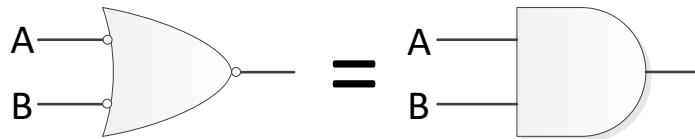
$$\overline{A+B} = \overline{A} \cdot \overline{B}$$



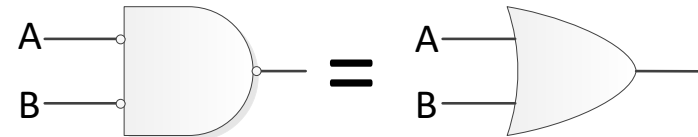
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$



$$\overline{\overline{A} + \overline{B}} = A \cdot B$$



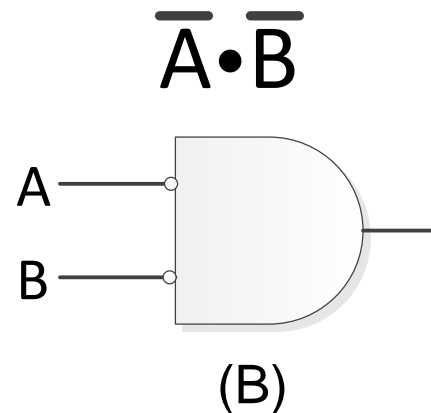
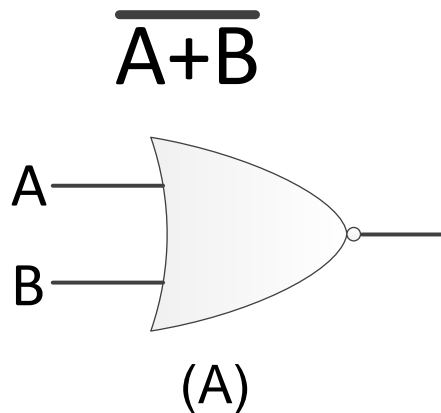
$$\overline{\overline{A} \cdot \overline{B}} = A + B$$



- ◆ 항등원 법칙 (a) $x+0=x$ (b) $x*1=x$
- ◆ 보수 법칙 (a) $x+x'=1$ (b) $x*x'=0$
- ◆ 등역 법칙 (a) $x+x=x$ (b) $x*x=x$
- ◆ 경계 법칙 (a) $x+1=1$ (b) $x*0=0$
- ◆ 대합 법칙 (a) $(x')'=x$
- ◆ 교환 법칙 (a) $x+y=y+x$ (b) $xy=yx$
- ◆ 연관 법칙 (a) $x+(y+z)=(x+y)+z$ (b) $x(yz)=(xy)z$
- ◆ 분배 법칙 (a) $x(y+z)=xy+xz$ (b) $x+yz=(x+y)(x+z)$
- ◆ 드모르간 법칙 (a) $(x+y)'=x'y'$ (b) $(xy)'=x'+y'$
- ◆ 흡수 법칙 (a) $x+xy=x(1+y)=x*1=x$ (b) $x(x+y)=x$

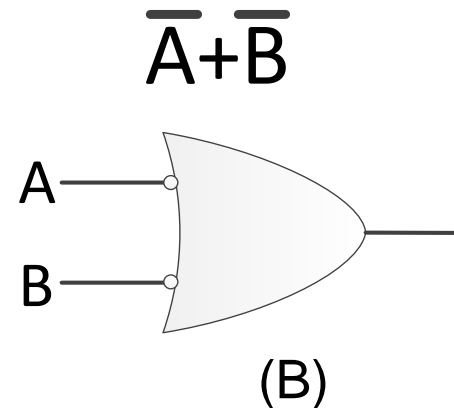
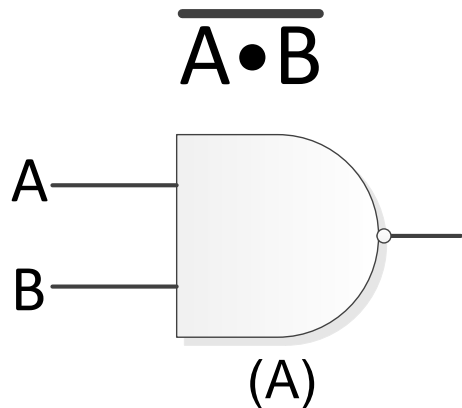
◆ 드 모르간(De-Morgan)의 제 1법칙

- (A)와 (B)의 Schematic 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- (A) , (B) , NOR 와 비교



◆ 드 모르간(De-Morgan)의 제 2법칙

- (A)와 (B)의 Schematic 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- (A) , (B) , NAND 와 비교



◆ 드 모르간(De-Morgan)의 정리 진리표 작성

A	B	$A+B$	$A \cdot B$	A'	B'	$(A+B)'$	$A' \cdot B'$	$(A \cdot B)'$	$A'+B'$
0	0								
0	1								
1	0								
1	1								

◆ Boolean Function

- (A)와 (B)의 Schematic 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교

$$(\overline{A} + \overline{B}) \bullet \overline{C}$$

(A)

$$\overline{((A \bullet B) + C)}$$

(B)

◆ Boolean Function 진리표 작성

IN A	IN B	IN C	OUT D
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

◆ Boolean Function

- (A)와 (B)의 Schematic 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교

$$(\overline{A} \bullet \overline{B}) + \overline{C}$$

(A)

$$\overline{((A+B) \bullet C)}$$

(B)

◆ Boolean Function 진리표 작성

IN A	IN B	IN C	OUT D
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

◆ 1Bit 비교기

- 1Bit 비교기 의 Schematic 작성
- 1Bit 비교기 의 Verilog 코딩
- 1Bit 비교기 의 Simulation 결과
- 1Bit 비교기 의 FPGA 동작 결과

◆ 1Bit 비교기 진리표

A	B	$A=B$	$A \neq B$	$A > B$	$A < B$
0	0	1	0	0	0
0	1	0	1	0	1
1	0	0	1	1	0
1	1	1	0	0	0