

Rechnerarchitekturgroßpraktikum

Entwicklung eines *RISC-V*-Prozessors

Pflichtenheft

Dominik Fuchsgruber

Charlie Groh

Franz Rieger

Jan Schuchardt

2. Juni 2016

1 Basisziele

- Entwicklung eines Prozessors, der auf dem gegebenen FPGA funktioniert.
- Dieser Prozessor soll mit einigen Einschränkungen alle Befehle der *RV32I Base Integer Instruction Set* Spezifikation der *RISC-V*-ISA ausführen können.

Diese Einschränkungen sind:

- Statt den *FENCE*-, *FENCE.I*-, *SCALL*- und *SBREAK*-Befehlen wird ein NOP ausgeführt.
- Der Prozessor soll keine Hardwareunterstützung für einen Multitaskingbetrieb bieten.
- Zusätzlich zu den Befehlen aus der ISA soll der Prozessor dem Programmierer eine Möglichkeit bieten, die Ein- und Ausgänge des FPGA anzusprechen.
- Außerdem soll ein Debugging-Interface implementiert werden, sodass man z.B. die Inhalte der Register auf einem VGA-Monitor anzeigen kann und Ausführung eines Befehls “live” beobachten kann.

2 Erweiterungsziele

- Erweiterung des Prozessors um die Funktionalität der *RV32M Standard Extension for Integer Multiplication and Division*, *RV32F Standard Extension for Single-Precision Floating-Point* und/oder *RV32D Standard Extension for Double-Precision Floating-Point* Erweiterungen. Eventuell sind auch hier Einschränkungen nötig.
- Entwicklung einer Prefetch-Einheit, sodass der Prozessor gleichzeitig zur Ausführung des aktuellen Befehls das Lesen des folgenden Befehls anstoßen kann.
- Entwicklung eines Demo-Programms, welches auf dem Prozessor ausgeführt wird und mit dem dann gezeigt werden kann, dass der Prozessor korrekt arbeitet.