

# 0. EXTRAKCE PARAMETRŮ MOSFET

Cvičení na počítači

Vilém Kledrowetz

LS 2025

## Simulacemi zjistěte tyto parametry tranzistorů NMOS a PMOS:

- 1) Transkonduktanční parametr  $KP$  při  $W/L = (5/1) \mu\text{m}$   
při  $I_D = 10 \mu\text{A}$
- 2) Prahového napětí  $U_{TH0}$  pro dvě různé řady rozměrů tranzistorů
  - a) konstantní poměr  $W/L = 5$   
 $L = 0.18\mu, 0.3\mu, 0.5\mu, 0.8\mu, 1\mu, 2\mu, 3\mu, 5\mu, 10\mu$   
( $W = 0.9\mu, 1.5\mu, 2.5\mu, 4\mu, 5\mu, 10\mu, 15\mu, 25\mu, 50\mu$ )
  - b) různé poměry:  $W/L = 0.22\mu/0.18\mu, 1\mu/0.5\mu, 2\mu/0.5\mu, 2\mu/1\mu, 5\mu/1\mu, 5\mu/2\mu, 10\mu/5\mu, 10\mu/10\mu, 40\mu/10\mu$
- 3) Vliv napětí  $U_{SB}/U_{BS}$  na prahové napětí  $U_{TH}$  (bulk efekt)  
hodnoty prahového napětí  $U_{TH}$  pro napětí  $U_{SB}$  (NMOS) resp.  $U_{BS}$  (PMOS) v rozsahu 0 V až 1 V s krokem 100 mV
- 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )  
pro délku  $L$  v rozmezí  $0,18 \mu\text{m}$  až  $10 \mu\text{m}$

## ad 1) Transkonduktanční parametr $KP$ při $W/L = (5/1) \mu\text{m}$

- Transkonduktanční parametr  $KP$  je technologický parametr platný pro režim saturace, který je daný jako součin vodivosti  $\mu_0$  a kapacity oxidové vrstvy  $C_{OX}$ .

$$KP = \mu_0 \cdot C_{OX}$$

- Pro jednoduchý model (Shichman & Hodges, tj. LEVEL =1) platí:

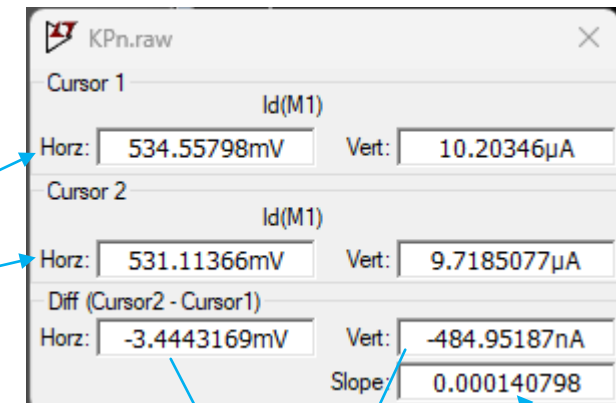
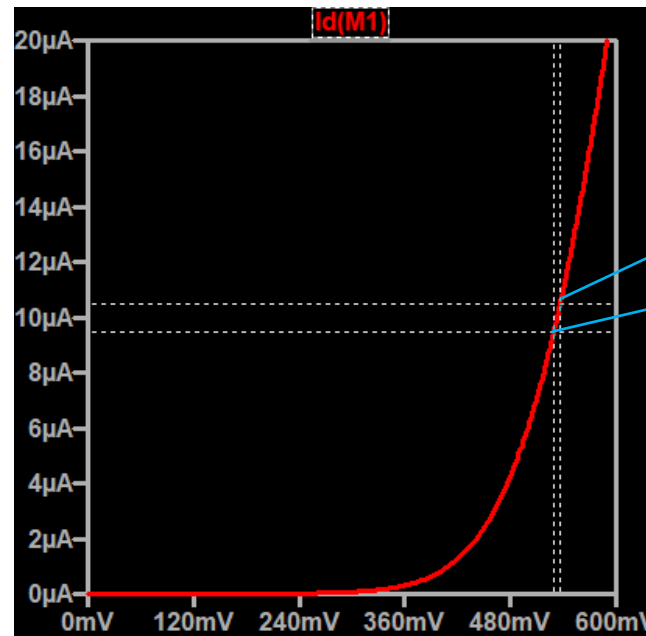
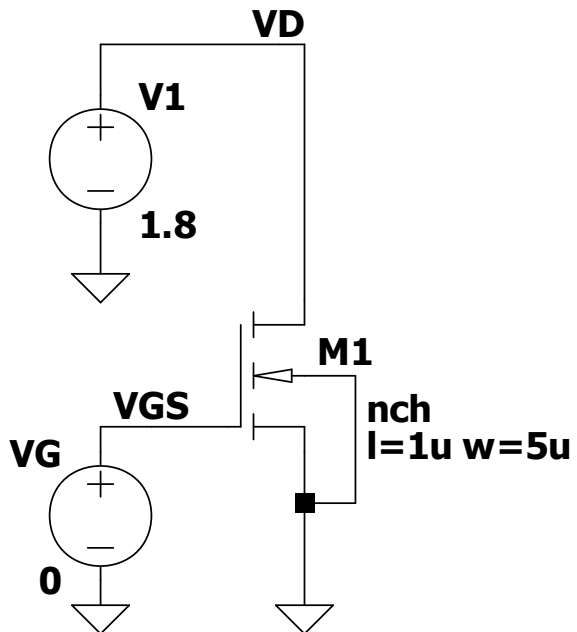
$$g_m \cong \sqrt{2 \cdot KP \cdot \frac{W}{L} \cdot |I_D|} \Rightarrow KP = \frac{g_m^2 \cdot L}{2 \cdot |I_D| \cdot W}$$

$$g_m = \frac{\delta I_D}{\delta U_{GS}}$$

# ad 1) Transkonduktanční parametr $KP$ při $W/L = (5/1) \mu\text{m}$

Jak nastavit simulaci?

- $U_{DS} = \text{konst.}$  napětí o takové velikosti, aby tranzistor byl v saturaci (např.  $U_{CC}$ )
- rozmítání napětí  $U_{GS}$  v rozmezí, kdy tranzistorem poteče proud  $I_D > 10 \mu\text{A}$  (ideálně bude v polovině rozsahu osy Y).



$$g_m = \frac{\delta I_D}{\delta U_{GS}} = \frac{484.95 \text{ nA}}{3.44 \text{ mV}} = 140.8 \mu\text{S}$$



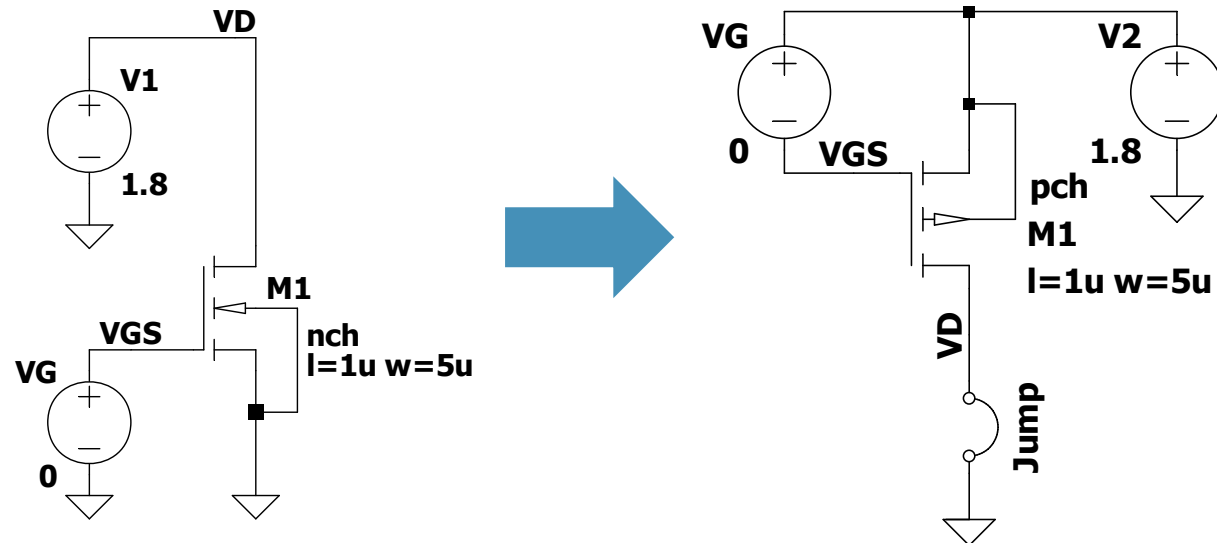
ad 1) Transkonduktanční parametr  $KP$  při  $W/L = (5/1) \mu\text{m}$

Výpočet  $KP_n$

$$KP_n = \frac{g_m^2 \cdot L}{2 \cdot |I_D| \cdot W} = \frac{(140.8\mu)^2 \cdot 1\mu}{2 \cdot 10\mu \cdot 5\mu} \cong 200 \mu\text{A} \cdot \text{V}^{-2}$$

Obdobně postupujte u tranzistoru PMOS

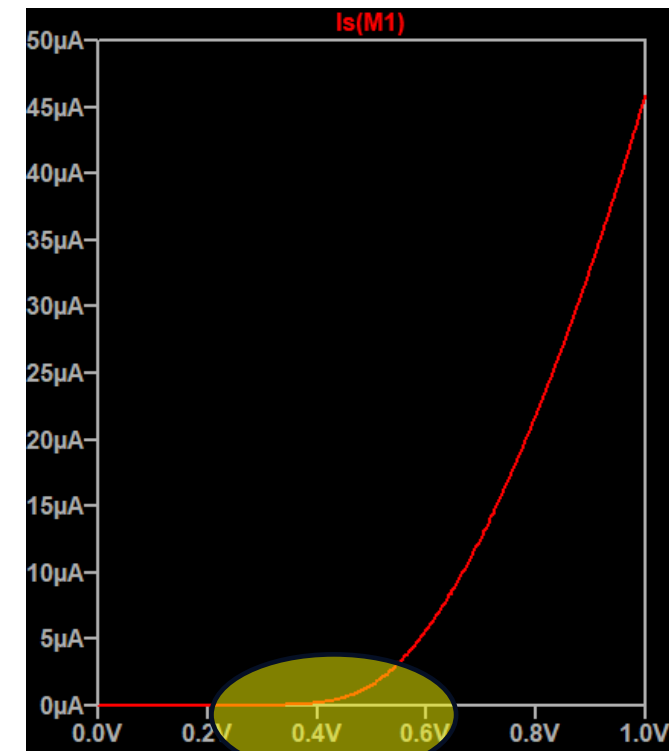
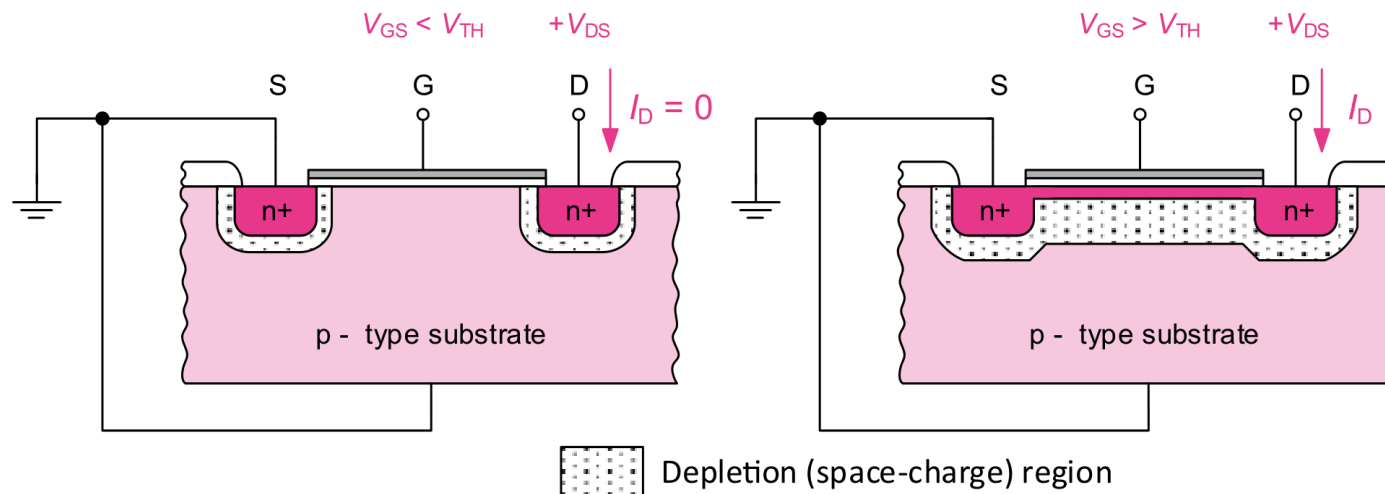
- očekávané  $KP_p$  cca  $50 \mu\text{A} \cdot \text{V}^{-2}$



## ad 2) Prahového napětí $U_{TH0}$ pro dvě různé řady rozměrů tranzistorů

### Co je prahové napětí?

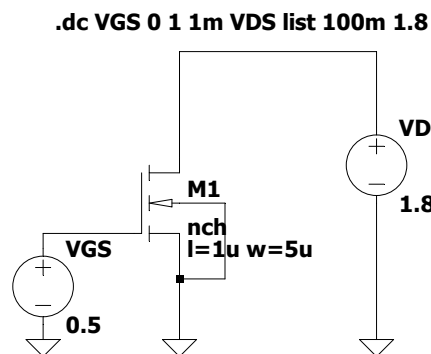
- Prahové napětí je napětí mezi gate a source, při kterém dochází k vytvoření vodivého kanálu mezi elektrodami source a drain.



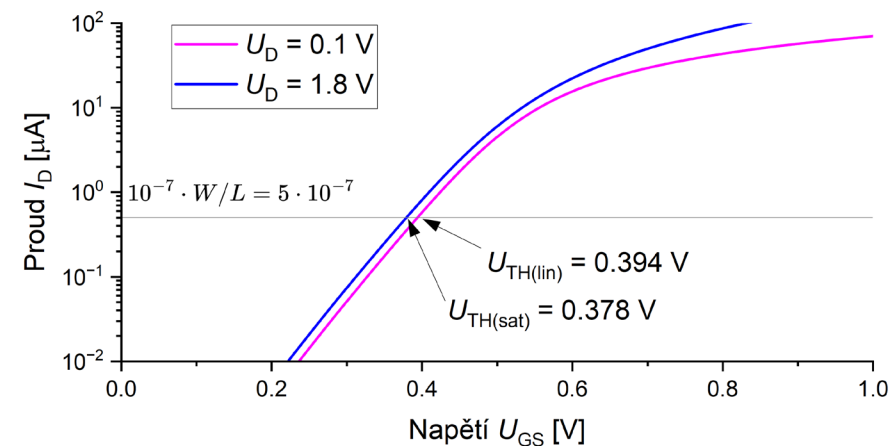
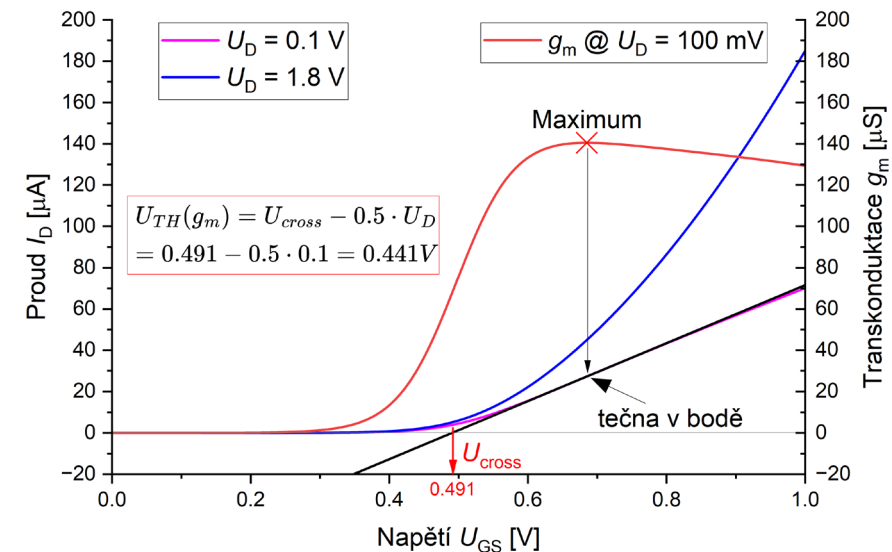
## ad 2) Prahového napětí $U_{TH}$ pro dvě různé řady rozměrů tranzistorů

### Údaje v dokumentaci technologie TSMC 180 nm

	W (μm)	L (μm)	Unit	NMOS		PMOS		Definition
ΔL (xl +/-dxl)			um	-0.015±0.0115		-0.015±0.0115		
ΔW(xw+/-dxw)			um	0±0.014		0±0.014		
Electrical_Tox			Å	39.81±0.800		40.6±0.800		
Vt_gm	10	10	V	0.442		0.432		Vg @Vd=0.1V, Vs=Vb=0
				0.030	-0.030	0.031	-0.031	
	10	0.18		0.514		0.511		
				0.050	-0.050	0.059	-0.060	
	0.22	0.18		0.455		0.489		
			0.090	-0.090	0.090	-0.090		
Vt_lin	10	10	V	0.364		0.436		Vg @Vd=0.1V, Vs=Vb=0 Vt_lin=Vg@Id= 1E-7*W/L
				0.030	-0.030	0.030	-0.030	
	10	0.18		0.440		0.494		
				0.048	-0.043	0.059	-0.056	
	0.22	0.18		0.342		0.472		
			0.084	-0.077	0.083	-0.090		
Vt_sat	10	10	V	0.361		0.433		Vg @Vd=Vdd, Vs=Vb=0 Vt_lin=Vg@Id= 1E-7*W/L
	10	0.18		0.393		0.453		
	0.22	0.18		0.301		0.439		



lineární extrapolační metoda  
metody s konstantním proudem

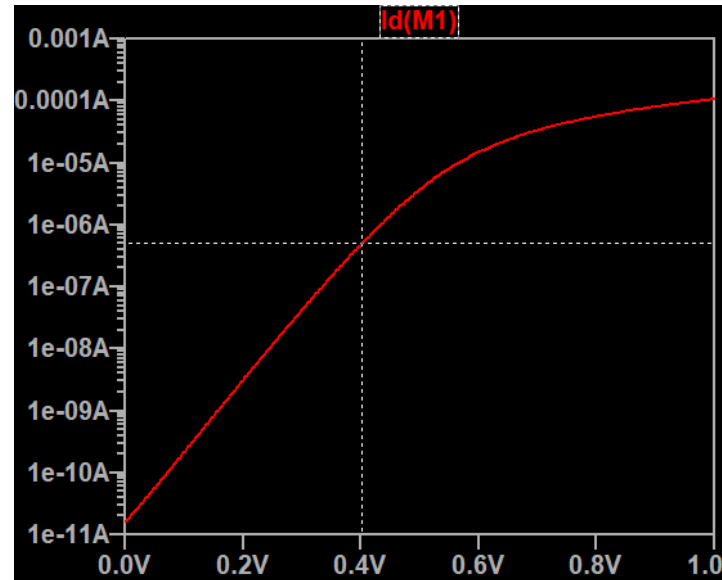
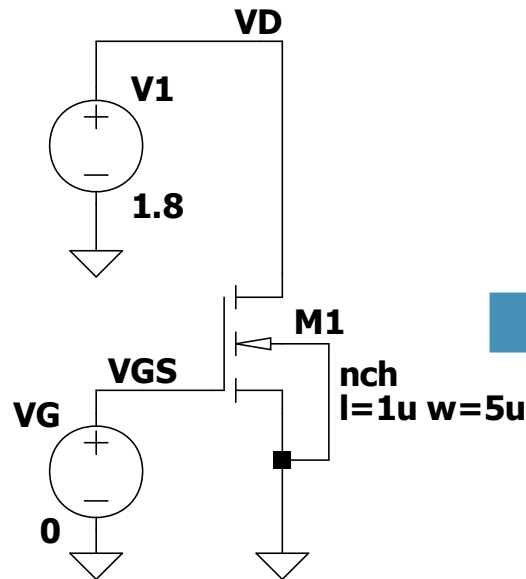


## ad 2) Prahového napětí $U_{TH0}$ pro dvě různé řady rozměrů tranzistorů

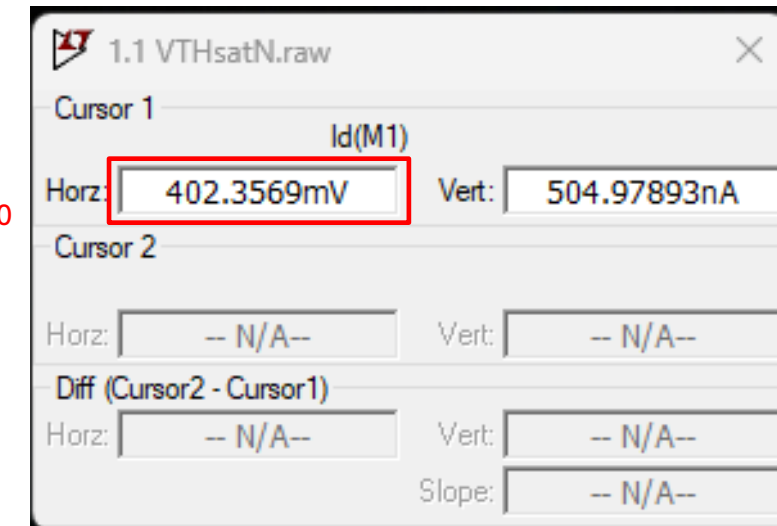
ad a) konstantní poměr  $W/L = 5$  a  $L = 0.18\mu, 0.3\mu, 0.5\mu, 0.8\mu, 1\mu, 2\mu, 3\mu, 5\mu, 10\mu$

Jak simulací zjistit  $U_{TH0}(\text{sat})$  (dále jen  $U_{TH0}$ ):

- 1) Držet konstantní  $U_D$
- 2) Rozmítat  $U_{GS}$  v dostatečném rozsahu
- 3) Odečíst z výstupního grafu napětí při  $I_D = 5e-7 \text{ A}$
- 4) Opakovat pro všechny zadané rozměry tranzistoru ☹️



$U_{TH0}$





## ad 2) Prahového napětí $U_{TH0}$ pro dvě různé řady rozměrů tranzistorů

Pro výrazné urychlení simulace bez přenastavování rozměrů tranzistoru a následného odečítání, lze využít dostupné funkce Ltspice:

- funkci TABLE pro automatické přepínání rozměrů tranzistoru
- funkci MEAS pro automatické odečítání  $U_{TH0}$

Stačí spustit jednu simulaci a hodnoty  $U_{TH0}$  pro všechny  $W/L$  budou dostupné ve Spice Output Log

## ad 2) Prahového napětí UTH0 pro dvě různé řady rozměrů tranzistorů



Jak použít funkci TABLE:

- nastavil  $W$  a  $L$  tranzistoru jako parametr (např. Wtab a Ltab)
- definovat parametr s využitím TABLE, např.

.param Wtab = table(n,1,0.9u, 2,1.5u)  $\longrightarrow$  význam: table(**n**, **n1**,n1hodnota, **n2**, n2hodnota)

.param Ltab = table(n,1,0.18u, 2,0.3u)

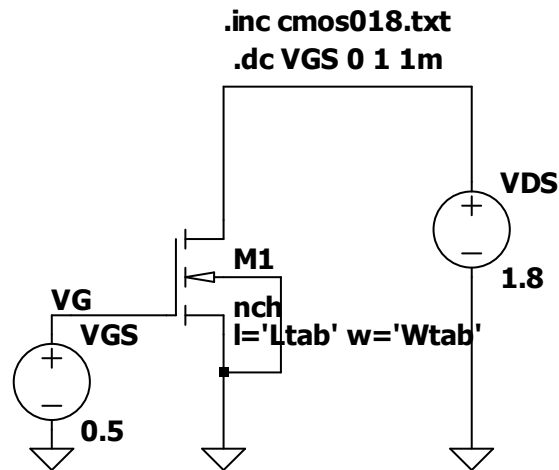
- rozmítat proměnnou  $n$

.step param n 1 2 1

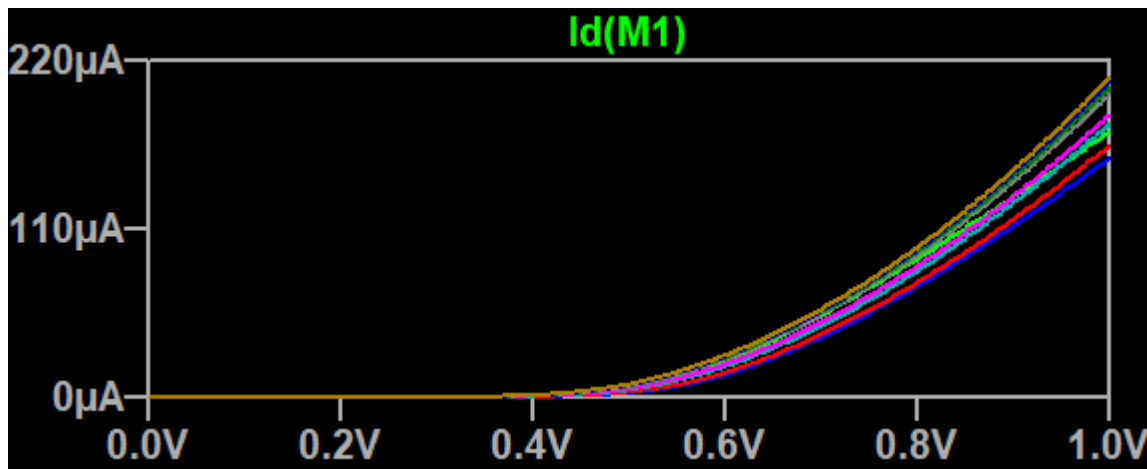
- simulace proběhne pro  $n=1$  a  $n=2$

<b>n</b>	<b>Wtab</b>	<b>Ltab</b>
1	0.9u	0.18u
2	1.5u	0.3u

## ad 2) Prahového napětí $U_{TH0}$ pro dvě různé řady rozměrů tranzistorů



```
.param Wtab=table(n,1,0.9u, 2,1.5u, 3,2.5u, 4,4u, 5,5u, 6,10u, 7,15u, 8,25u, 9,50u)
.param Ltab=table(n,1,0.18u, 2,0.3u, 3,0.5u, 4,0.8u, 5,1u, 6,2u, 7,3u, 8,5u, 9,10u)
.step param n 1 9 1
.meas DC VTH FIND V(VG) WHEN Id(m1)=1e-7*{Wtab/Ltab}
```



## SPICE Output Log

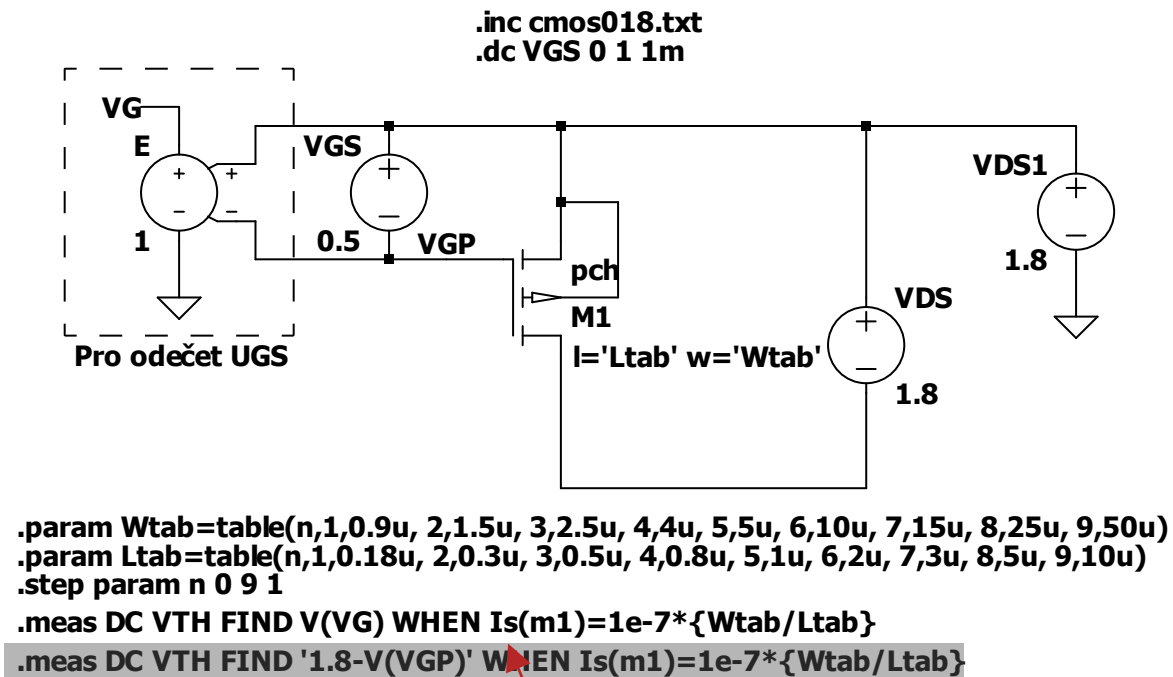
Measurement: VTH

step	V(VG)	at
1	0.387049336617	0.387049341265
2	0.416570362158	0.416570360919
3	0.407157842027	0.407157838814
4	0.387258215936	0.387258217048
5	0.379088867536	0.379088860573
6	0.363291725366	0.363291723638
7	0.358849832796	0.358849833485
8	0.355574911208	0.355574912205
9	0.352900920387	0.352900933893

Pomocí RMC lze vybraný soubor zobrazit v grafu

## ad 2) Prahového napětí $U_{TH0}$ pro dvě různé řady rozměrů tranzistorů

Obdobně s PMOS. Pozor na správné odečtení  $U_{GS}$ !



Pozor! Zde musí být  $I_s$ !

## SPICE Output Log

Measurement: VTH

step	V(VG)	at
1	0.450782025725	0.450782024408
2	0.450782025725	0.450782024408
3	0.44991541778	0.449915428612
4	0.446554663628	0.446554660994
5	0.439248777624	0.439248770336
6	0.435497297158	0.435497301177
7	0.426509431517	0.42650943903
8	0.423538470951	0.423538470016
9	0.421493920722	0.421493923266
10	0.420672776737	0.420672778462

Pomocí RMC lze vybraný soubor zobrazit v grafu

## ad 2) Prahového napětí UTH0 pro dvě různé řady rozměrů tranzistorů

### ad b) různé poměry $W/L$

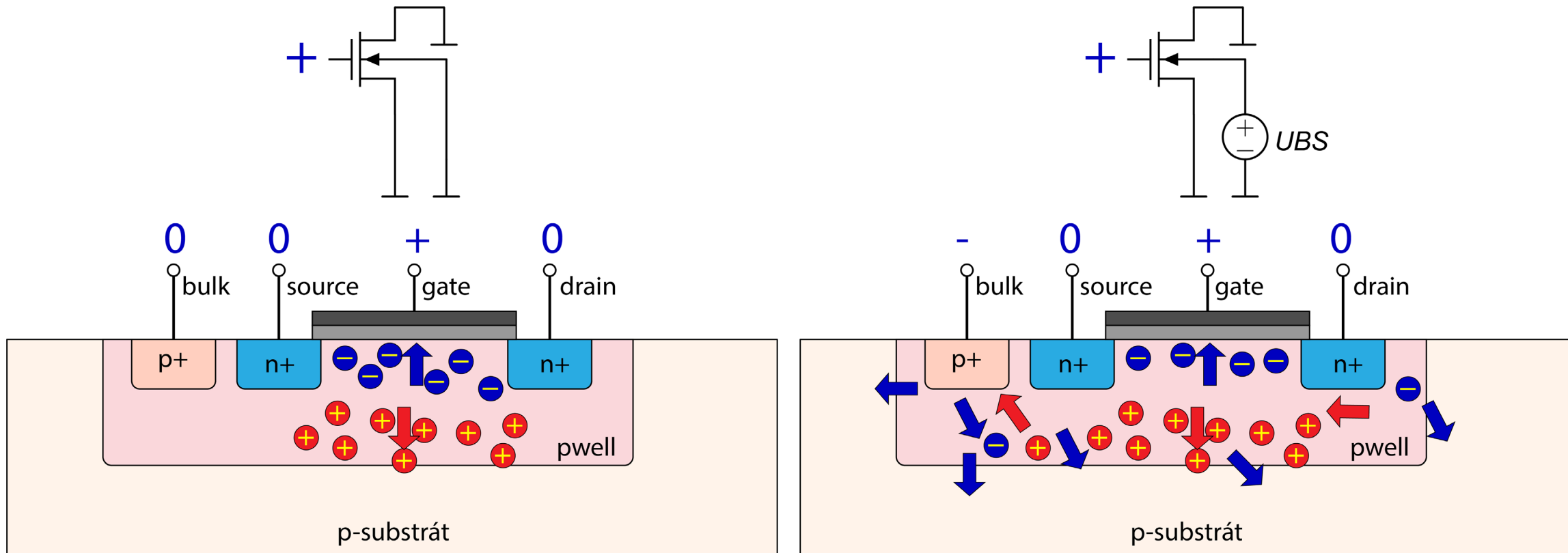
- stejný postup jako v předchozím případě, pouze s jinými hodnotami  $W/L$
- TIP: pro pohodlnější zápis doporučuji vytvořit TABLE matici např. ve Wordu a následně ji zkopírovat do LTspice.



### ad 3) Závislost prahového napětí $U_{TH}$ na $U_{SB}/U_{BS}$ (bulk efekt)

#### Co je bulk efekt?

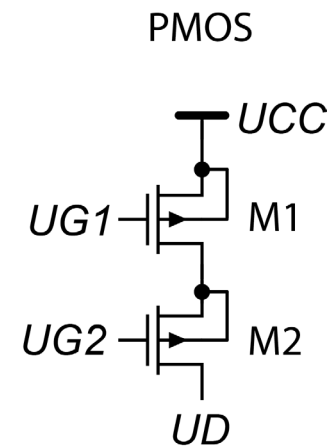
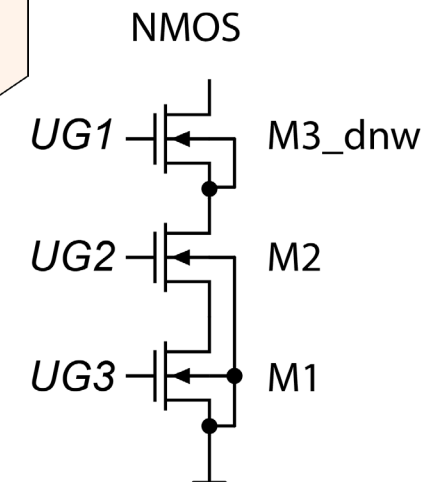
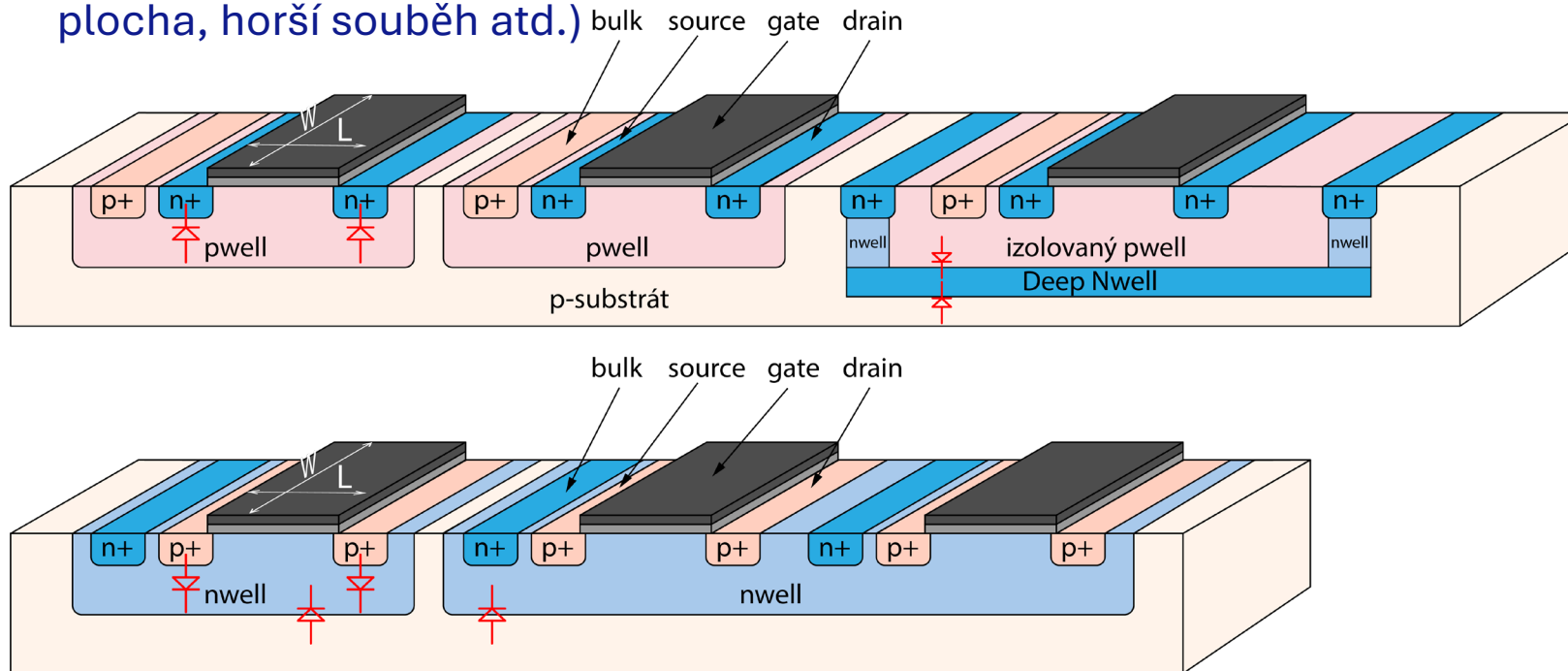
- Pokud není source na stejném potenciálu jako bulk ( $U_{GS} \neq 0$ ), dochází ke změně prahového napětí ( $U_{TH} \neq U_{TH0}$ )



### ad 3) Závislost prahového napětí $U_{TH}$ na $U_{SB}/U_{BS}$ (bulk efekt)

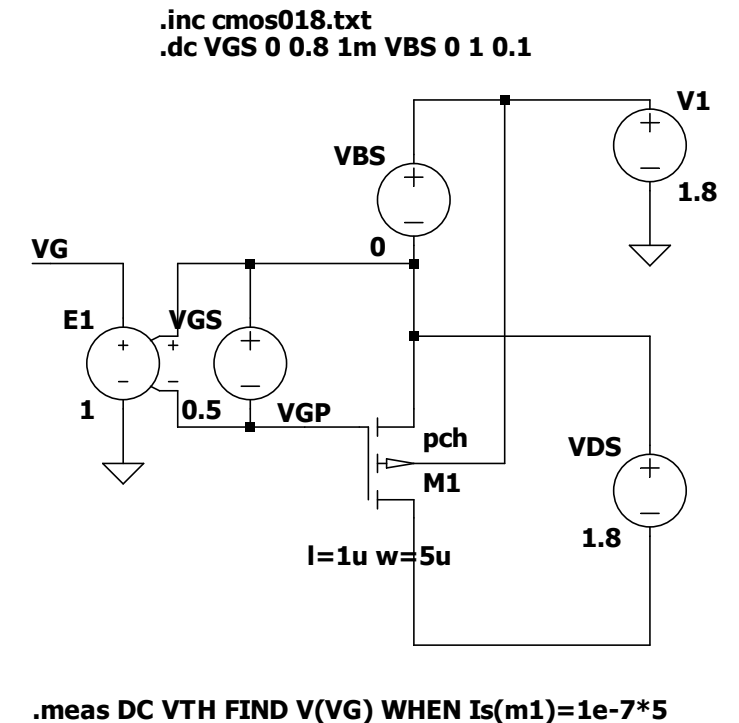
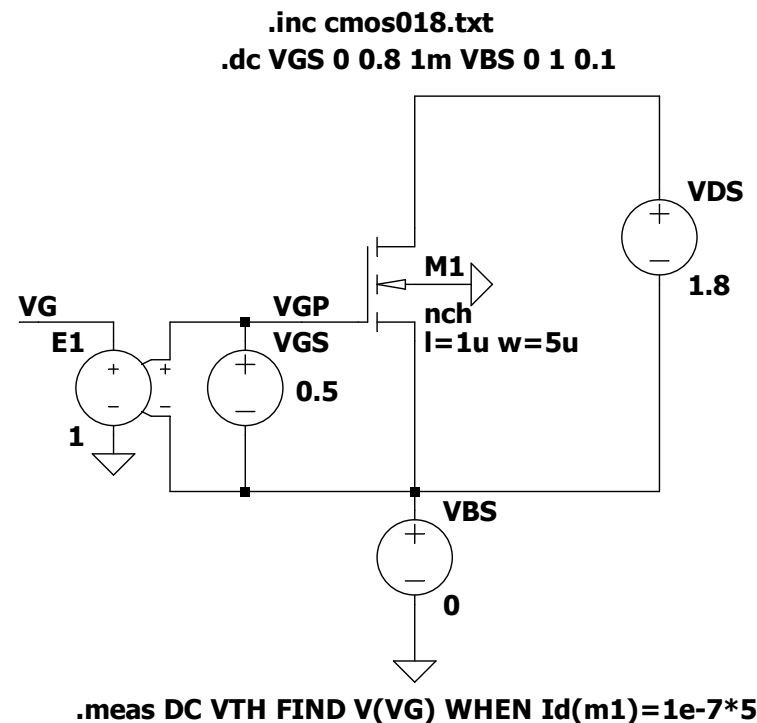
Změna  $U_{TH}$  vlivem rozdílného napětí  $U_{GS}$ , proč se tím zabývat?

- substrát (tj. elektroda B) jednoho typu tranzistorů, nejčastěji NMOS, jsou na waferu zkratovány
- pokud jsou (NMOS) tranzistory „nad sebou“ (např. v kaskodách, dif. párech atd.), u vrchního tranzistoru není spojený bulk a source a dochází ke změně jeho  $U_{TH} \neq U_{TH0}$
- možným řešením je umístění tranzistoru do deep-nwell, což však s sebou nese některé nevýhody (větší plocha, horší souběh atd.)



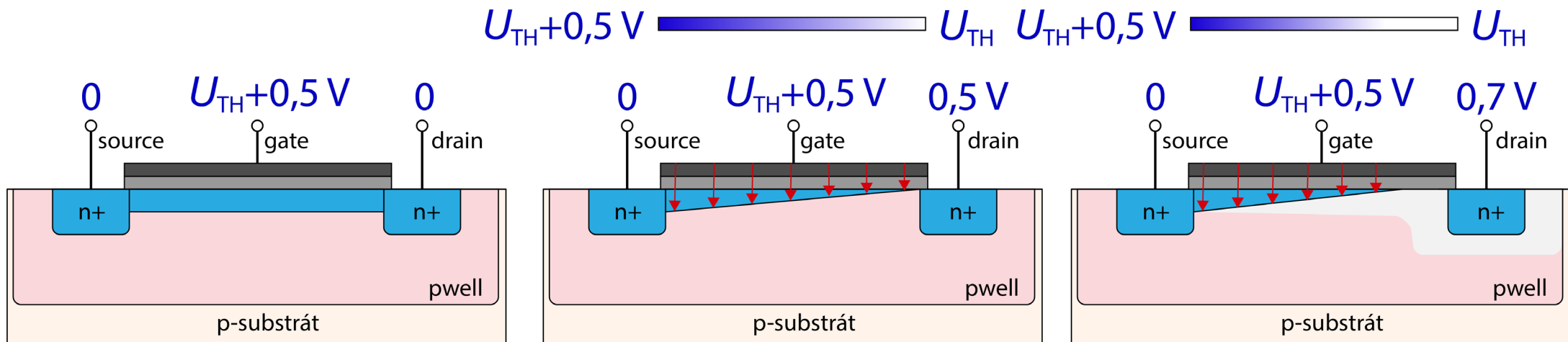
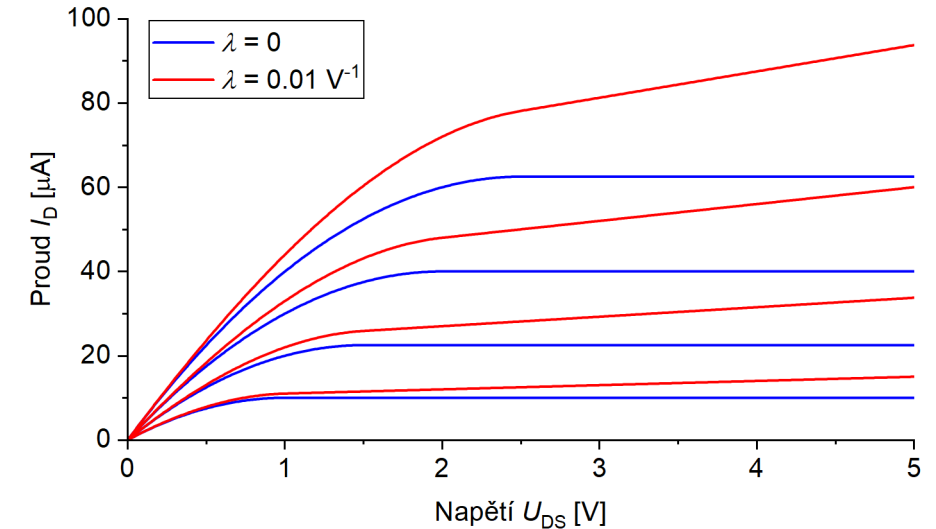
## ad 3) Závislost prahového napětí $U_{TH}$ na $U_{SB}/U_{BS}$ (bulk efekt)

- Simulace bude opět hledat  $U_{TH(sat)}$ , kdy bude rozmítáno napětí  $U_{SB}$  ( $U_{BS}$ ) do kladných hodnot.
- Pozor, na správné odečítání napětí  $U_{GS}$ !
- Primárně bude rozmítáno napětí  $U_{GS}$ , sekundárně  $U_{SB}$ .
- $U_{DS}$  je konstantní s hodnotou  $U_{CC}$ .



## ad 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )

- Lambda efekt se při výpočtech většinou zanedbává,
- Nutno jej však uvažovat v některých obvodech jako je zesilovač s aktivní zátěží, kde by při jeho zanedbání vycházelo zesílení nekonečno!
- Příčina: vlivem rostoucího napětí  $U_D$ , klesá přepětí kanálu na straně drain, až dojde k přerušení kanálu.
- Tranzistor se pak chová jakoby měl kratší délku  $L \rightarrow$  se zvyšujícím  $U_D$  roste proud  $I_D$



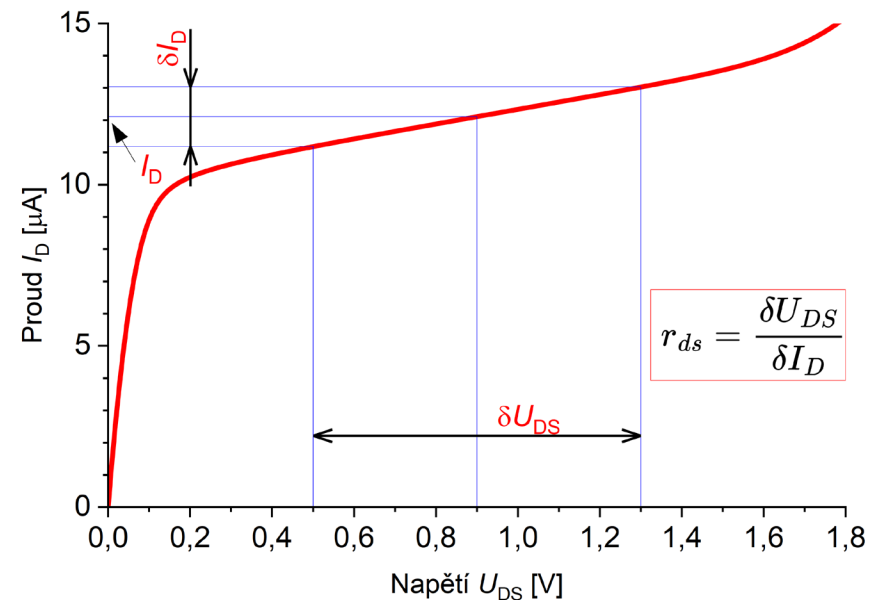
## ad 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )

### Jak nastavit simulaci a co odečítat?

- Parametr  $\lambda$  lze spočítat z hodnoty odporu mezi drain-source ( $r_{ds}$ ) v režimu saturace a to:

$$r_{ds} = \frac{1}{\lambda \cdot I_D} \Rightarrow \lambda = \frac{1}{r_{ds} \cdot I_D}$$

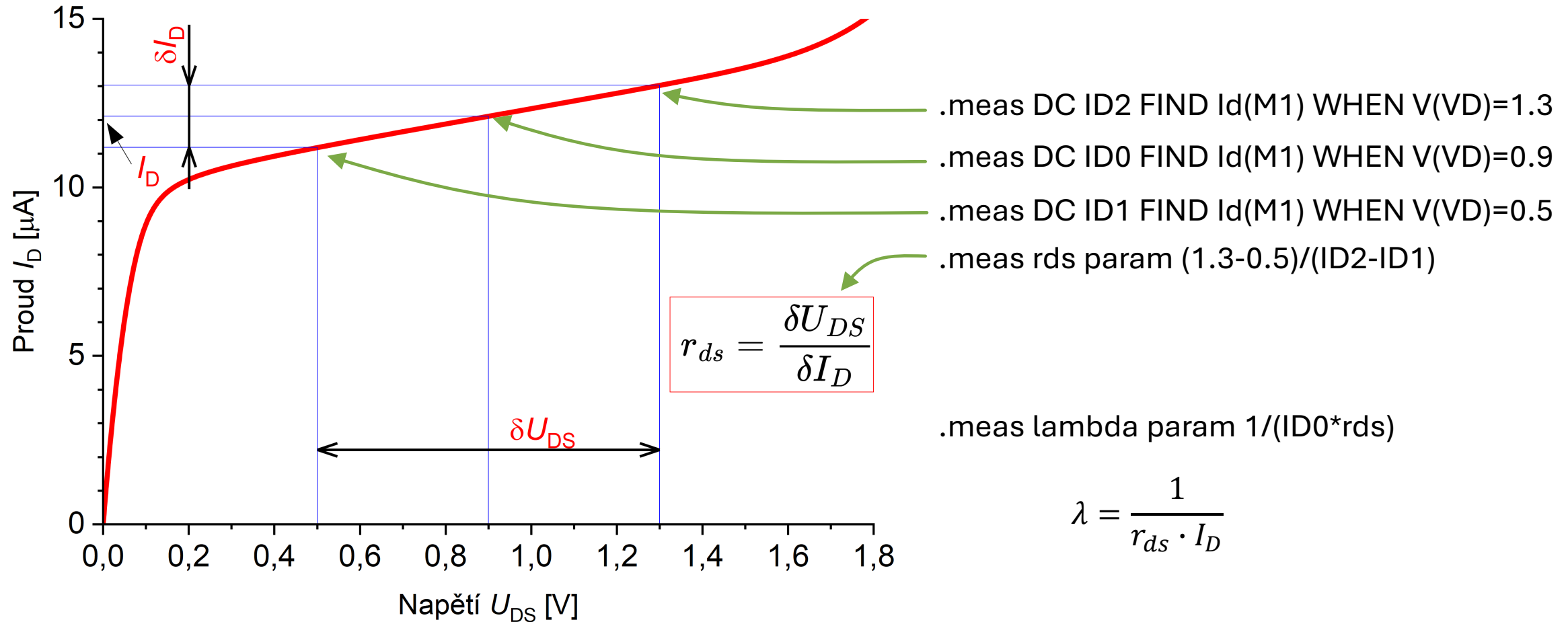
- Odpor  $r_{ds}$  lze odečíst z výstupní charakteristiky tranzistoru stejně jako proud  $I_D$ .





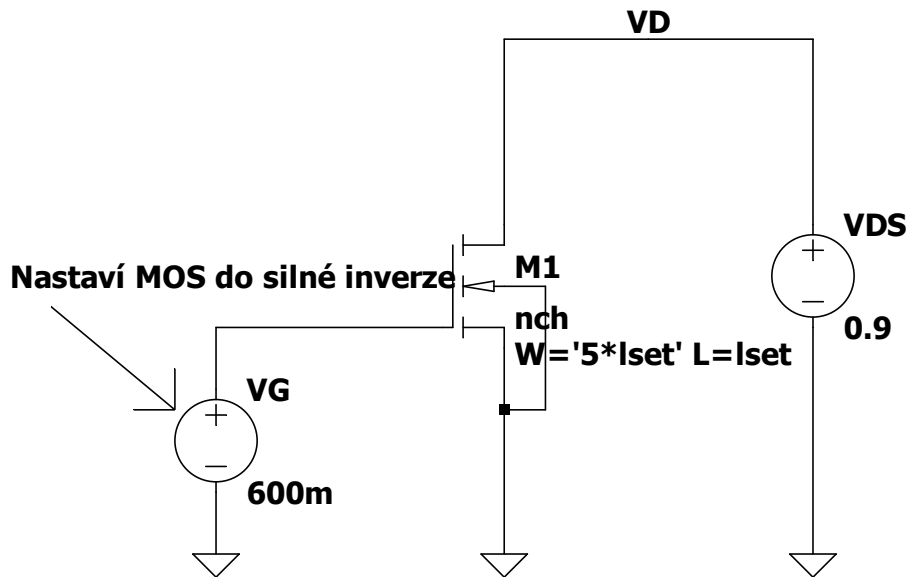
## ad 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )

### Automatické odečítání v LTspice pomocí MEAS



## ad 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )

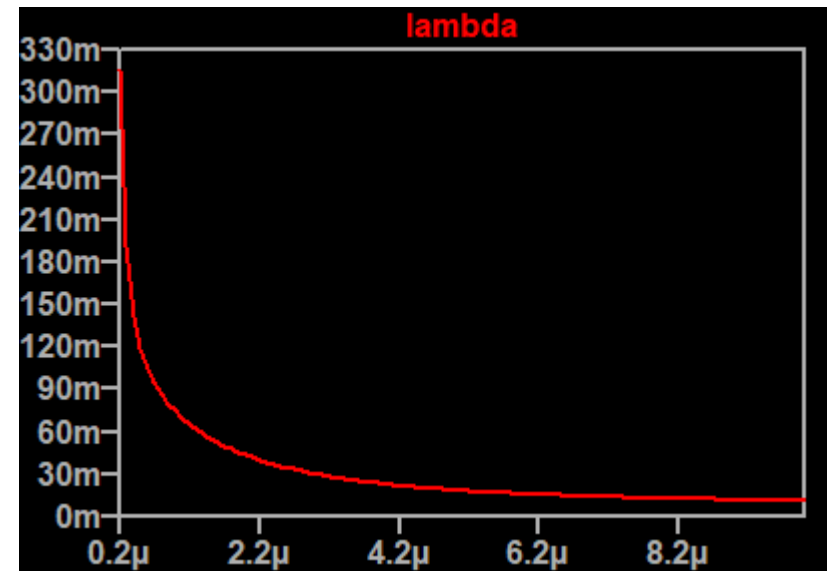
### Automatické odečítání v LTspice pomocí MEAS



```
.param Iset=1u
.lib cmos018.txt
.dc VDS 0 1.8 1m
.step param Iset 0.2u 10u 0.1u
.meas DC ID1 FIND Id(M1) WHEN V(VD)=0.5
.meas DC ID2 FIND Id(M1) WHEN V(VD)=1.3
.meas DC ID0 FIND Id(M1) WHEN V(VD)=0.9
.meas rout param (1.3-0.5)/(ID2-ID1)
.meas lambda param 1/(ID0*rout)
```

Measurement: lambda

step	1/(ID0*rout)
1	0.315536361347
2	0.190693276177
3	0.141448480002
4	0.118405121261
5	0.104443395387
6	0.0943791180176
7	0.0864604274806
8	0.0799398914848
9	0.0744184016625
10	0.0696483975425
11	0.0654638624102



ad 4) Závislost parametru modulace délky kanálu ( $\lambda$ ) na délce kanálu ( $L$ )



Obdobným způsobem získat výsledky pro tranzistor PMOS