



MIPI10 用户手册

上海安路信息科技股份有限公司

IPUG016 (v1.0) 2023 年 06 月



目 录

目 录	I
1 IP 介绍	3
2 主要特性	4
2.1 典型应用	4
2.2 IP 原理与架构	4
2.2.1 MIPI 模式原理与架构	6
2.2.2 LVDS 模式原理与结构	7
2.2.1 LVCMOS 模式原理与结构	8
3 端口/参数描述	10
3.1 MIPI 模式功能端口	10
3.2 LVDS 模式功能端口	14
3.3 LVCMOS 模式功能端口	17
3.4 MIPI10 硬件属性配置端口	19
3.4.1 Equalization 属性端口	19
3.4.2 Deskew 属性端口	21
3.4.3 Termination 属性端口	22
3.4.4 Hysteresis 属性端口	22
3.4.5 其他硬件属性端口	22
4 例化流程	23
4.1 界面与参数介绍	23
4.2 定制流程	25
4.3 输出 ADC 文件	26



5 使用注意事项	27
版本信息	28
免责声明	28



1 IP 介绍

MIPI (Mobile Industry Processor Interface) 是 MIPI 联盟发起的为移动应用处理器制定的开放标准和一个规范。目前 MIPI 已经成为移动领域最主流的视频传输接口规范，应用最广泛的是 MIPI D-PHY 和 MIPI C-PHY 两组协议簇。其中 D-PHY 数据传输采用 DDR 方式，同时提供了主从间源同步接口，包含 1 对单向差分线和 1~4 对单向或双向差分数据线，实现了 Camera/Display (摄像头/显示屏) 与 AP (应用处理器) 接口间的互连，具备高速、低功耗、低成本等特点。

PH1A90SBG484 和 PH1A180SFG676 集成了 2 组 MIPI I/O，每组 MIPI I/O 最大支持 4Lane 输入模式，为实现不同的 MIPI 应用方案提供 D-PHY 物理层支持。

2 主要特性

- 同时兼容 MIPI D-PHY 电平、LVDS 电平与 LVCMOS 电平
- MIPI 模式下，数据通道 0 支持 Low Power 模式下的双向通信
- MIPI 模式下，支持 High Speed 数据单向接收和 Low Power 数据收发
- 可选的数据缓冲 FIFO，支持 8 位、16 位单 Lane 数据的独立输出
- FPGA 最大支持两组 MIPI I/O，每组 MIPI I/O 最大配置为 4Lane 模式
- 最大支持 3dB 的 High Speed 接收均衡
- 支持 Deskew 的动态调节
- 支持差分匹配电阻的动态使能与阻值调整
- LVDS 模式下，支持 LVDS25 与 LVDS18 差分接收
- LVCMOS 模式下，支持 LVCMOS18 与 LVCMOS15 单端接收

2.1 典型应用

本 IP 提供了符合 MIPI 联盟规定的 D-PHY 物理层，可搭配 CSI-2、DSI 等协议层（如下图 2-1 所示），实现 Camera/CPU 与 FPGA 之间的互连，具备高速、低功耗、低成本等特点，不仅适合移动应用，也适合 IOT 等领域。

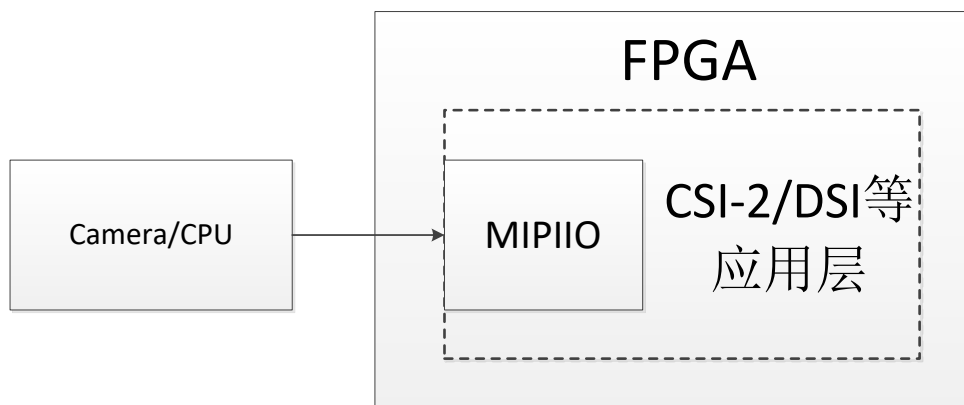


图 2-1 MIPI I/O 典型应用场景

2.2 IP 原理与架构

安路的 MIPI I/O 模块，是一种包含了 MIPI D-PHY、LVDS、LVCMOS 在内的混合结构物理层，单对信号线的结构示意图如下图所示，在不同的工作模式下，功能框图中同一功能模块的硬件实现方式并不相同，用以满足不同电平标准对单端电平、差分共模电压与差分摆幅等不同电气特性要求。

每组 MIPI I/O 模块由一对时钟线和四对数据通道组成，其中只有数据通道 0 集成了 LP_TX 模块，所以只有数据通道 0 支持 Low Power 的双向通信，其他通道无论处于哪种工作模式，都只能支持单向（接收方向）数据通信。

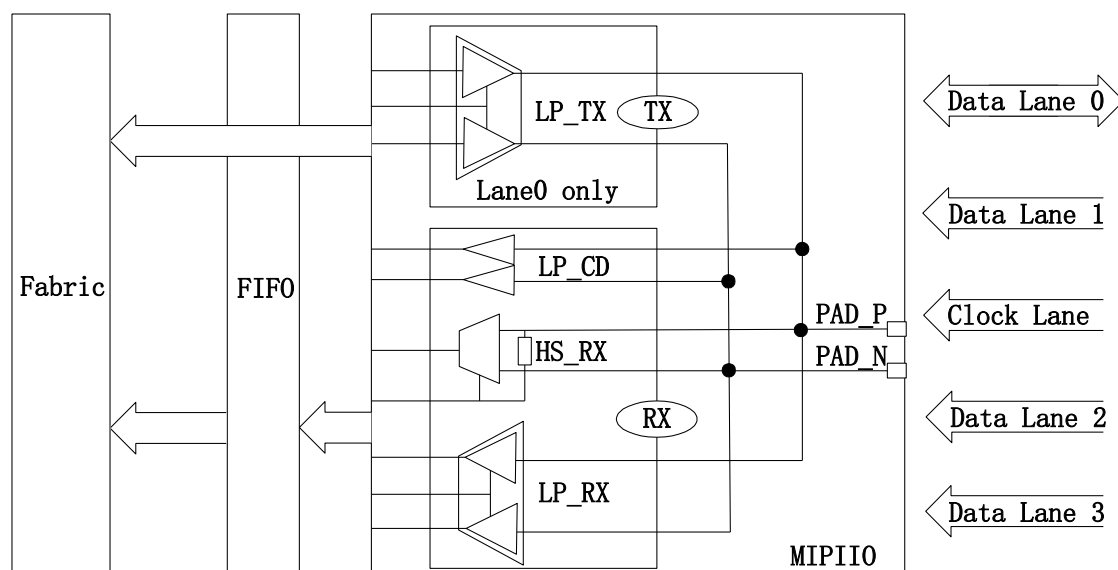


图 2-2 MIPI I/O 模块简化功能框图

如上图所示，SALPHOENIX®1A 系列 FPGA MIPI I/O 模块的基础功能单元有：

- **LP_TX**: 用于 MIPI 模式的 Low Power 数据发送。在 MIPI 协议中，只有通道 0 涉及到数据的双向通信，所以 MIPI I/O 模块只有 Data Lane0 集成了 LP_TX 功能单元，带来的使用影响是，通道 0 线序不能和其它通道进行交换。
- **LP_RX**: 用于 MIPI 模式的 Low Power 数据接收，也用于 LVCMOS 模式的单端信号接收。在 MIPI 模式和 LVCMOS 模式，LP_RX 单元经过的电路并不相同，用于分别匹配 MIPI LP 与 LVCMOS18 的单端电平标准。
- **LP_CD**: 用于 MIPI 模式的连接检测（Connection Detection）。
- **HS_RX**: 用于 MIPI 模式的 High Speed 数据接收，也用于 LVDS 模式的差分数据接收。在 MIPI 模式和 LVDS 模式下，HS_RX 单元经过的电路并不相同，用于分别匹配 MIPI HS 与 LVDS 的差模与共模摆幅要求。HS_RX 单元内部集成了可动态使能与调节的差分匹配电阻，用户可以选择使用内部电阻或外接匹配电阻。HS_RX 单元同时实现了 Data Lane 的 1: 8 串并转换。
- **FIFO**: 在 MIPI 模式与 LVDS 模式，每个 Data Lane 后面都有一个 32byte 深度的可选择使用 FIFO，写端口固定与数据通道的并行输出相连，支持 8 进 8 出、8 进 16 出，可以用于 Fabric 与 MIPI I/O 模块的时钟域分离，也可以用于拓展数据位宽，降低相同数据带宽下的时钟频率。

为了方便描述，本文统一用 MIPI 模式代指 MIPI I/O 作为 MIPI 从设备使用，用 LVDS 模式代指 MIPI I/O 作为 LVDS 接收使用，用 LVCMOS 模式代指 MIPI I/O 作为 LVCMOS 接收使用。不同 MIPI I/O 模式下的物理层不同，使用的基础功能单元也不同。

2.2.1 MIPI 模式原理与架构

MIPI 模式下，LP_RX 单元、HS_RX 单元与 Data Lane 0 额外的 LP_TX 单元，共同组成了 MIPI SLAVER 功能。此时的 MIPI I/O 模块使用情况如下图所示，红线表示 MIPI Low Power 的数据通路，蓝线表示 MIPI High Speed 的数据通路，每种功能单元都有其独立的使能控制信号，只要按照 MIPI D-PHY 协议，分时控制功能单元的使能，就可以完成 MIPI 模式下 Low Power 与 High Speed 的数据传输。

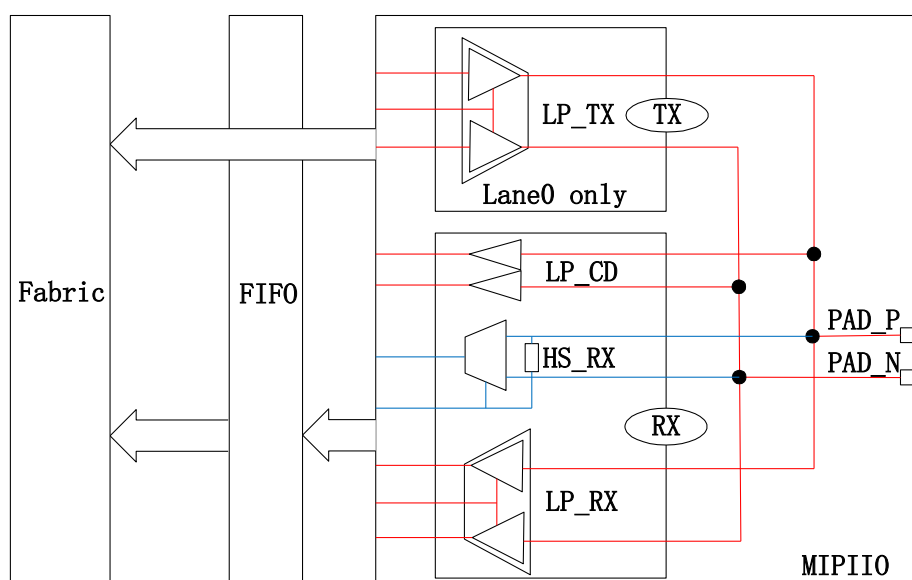


图 2-3 MIPI 模式使用的 MIPI I/O 模块功能单元

HS_RX 单元在接收使能、接收匹配电阻使能与复位释放后，会产生稳定的 8 位并行数据输出，可以直接供给 Fabric 的用户逻辑使用。同时在 HS_RX 单元后面，有一个可选的 32byte 深度 FIFO，FIFO 的数据写端口与 HS_RX 的输出端口固定连接，用户可以使能 FIFO 进行 8:16 位宽拓展或其它异步操作。

High Speed 的数据接收只涉及每对 Lane 的 HS_RX 单元，数据采样的串并行时钟源于 MIPI D-PHY 的随路时钟及其经过 CLKDIV 分频后的时钟。Clk Lane 与 Data Lane 支持动态的 Deskew 调节。如图 2-4 所示，Clk Lane 接收到时钟信号输入后，经过 CLKDIV 模块对 MIPI 的随路时钟进行 2 分频和 4 分频，用随路时钟和分频后的时钟，作为 Data Lane 的采样时钟，实现 1:8 的数据位宽转换，同时输出 Clk Lane 的 4 分频时钟，作为 Data Lane 8 位并行数据的同步时钟，将数据分别写入对应 FIFO，或直接送给 Fabric 处理使用。同时允许 MIPI I/O 模块外部输入时钟进 IOCLK 对 Data Lane 进行采样。

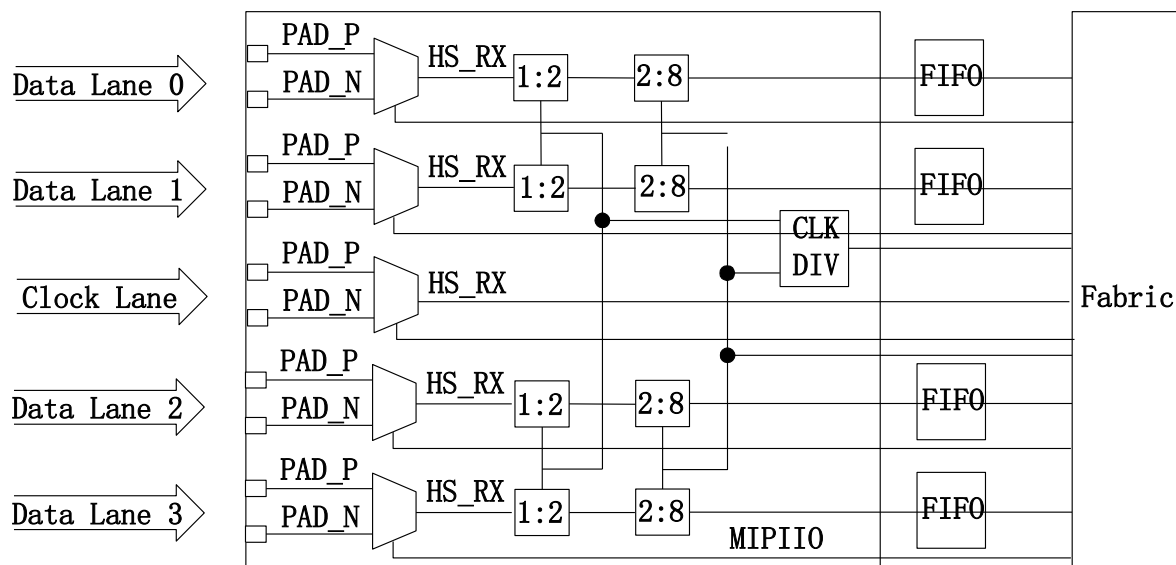


图 2-4 MIPI 模式 High Speed 数据接收实现框图

MIPI 模式下，Low Power 数据的接收和发送，分别由 LP_RX 和 LP_TX 功能单元（Lane0 only）实现。与 HS_RX 单元的供电来源（VCCDPHY）不同，LP_TX 与 LP_RX 单元需要的 1.2V 工作电压，由 VCCAUX 在芯片内部分压得到，在满足 MIPI D-PHY 协议要求的同时，并没有增加芯片对外供电源类型的要求。结构框图如下图 2-5 所示。

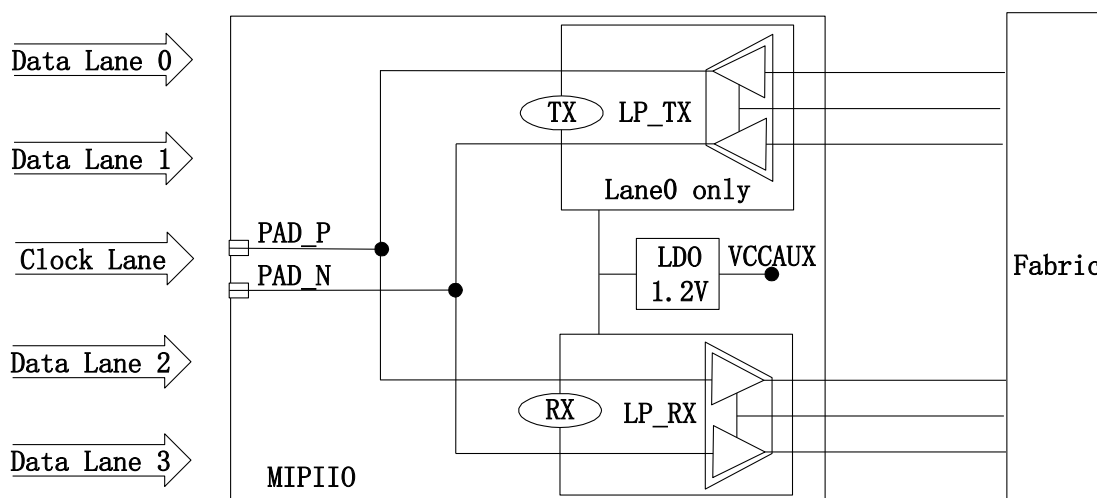


图 2-5 MIPI Low Power 数据收发实现框图

2.2.2 LVDS 模式原理与结构

如下图蓝色的数据通路所示，LVDS 模式下，只使用到了 MIPI10 模块的 HS_RX 单元。由于内部实现电路不同，以及差分信号的共模、差模电压衰减不同，MIPI10 模块可以兼容 MIPI 与 LVDS 两种差分电平标准。一般要求在 HS_RX 单元的接收使能与复位释放前，打开接收匹配电阻，以获得稳定的 8 位并行数据输出，输出数据可以直接供给 Fabric 的用户逻辑使用。同时在 HS_RX 单元后面，有一个可选的

32byte 深度 FIFO，FIFO 的数据写端口与 HS_RX 的输出端口固定连接，用户可以使能 FIFO 进行 8:16 位宽拓展或其它异步操作。

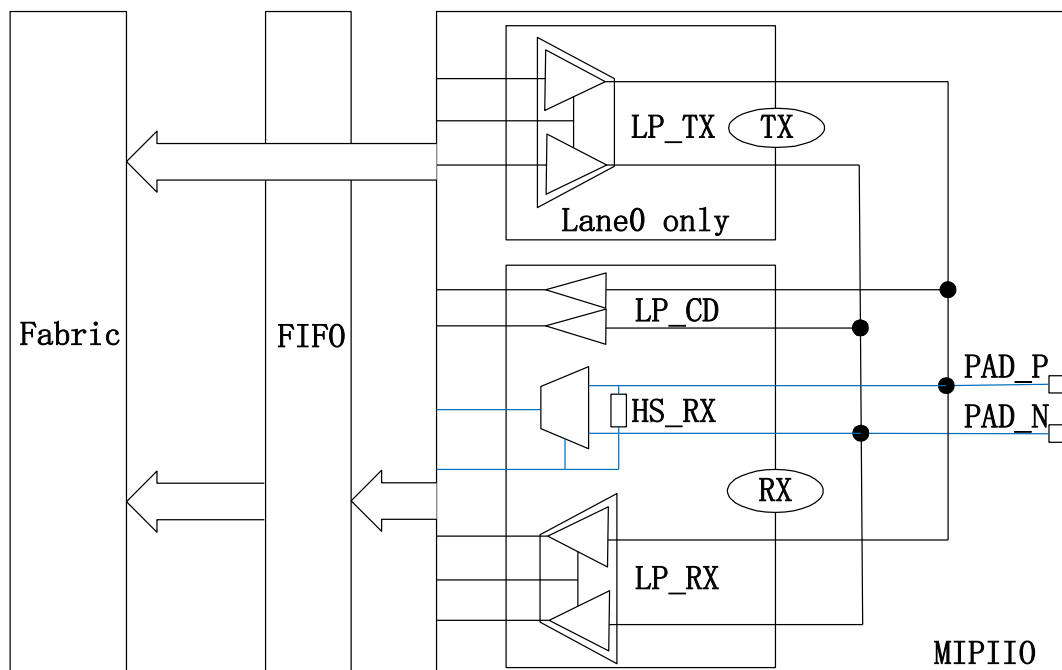


图 2-6 LVDS 模式使用的 MIPI I/O 模块功能单元

LVDS 模式下，MIPI I/O 模块的数据接收过程如下图所示，LVDS 模式下的数据采样过程，与 MIPI 模式的 High Speed 数据接收过程相同。

LVDS 模式下支持 LVDS18 和 LVDS25 输入。

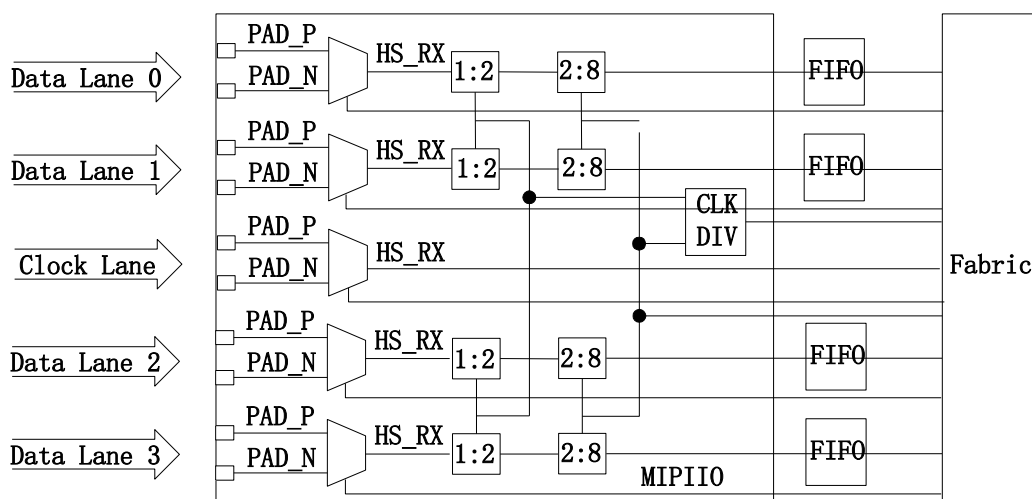


图 2-7 LVDS 数据接收实现框图

2.2.1 LVCMOS 模式原理与结构

LVCMOS 下，采用的是 PAD 直连的方式，无任何特殊处理，如下图红色的数据通路所示，LVCMOS 模

式下，只使用到了 MIPI I/O 模块的 LP_RX 单元。由于内部实现电路不同，用户同样不需要担心 MIPI 模式下 LP 功能单元与 LVCMOS 模式的电气特性兼容问题。

LVC MOS 模式下支持 LVC MOS18 和 LVC MOS15 输入。

当设置为 LVCMOS 模式时，需要保证 hsrx_ch0_en, hsrx_ch1_en, hsrx_ch2_en, hsrx_ch3_en, hsrx_chc_en, lprx_ch0_en, lprx_ch1_en, lprx_ch2_en, lprx_ch3_en, lprx_chc_en, rterm_ch0_en, rterm_ch1_en, rterm_ch2_en, rterm_ch3_en, rterm_chc_en, hsrx_ch0_att_ctl, hsrx_ch1_att_ctl, hsrx_ch2_att_ctl, hsrx_ch3_att_ctl, hsrx_chc_att_ctl 这些信号端口配置为 0。

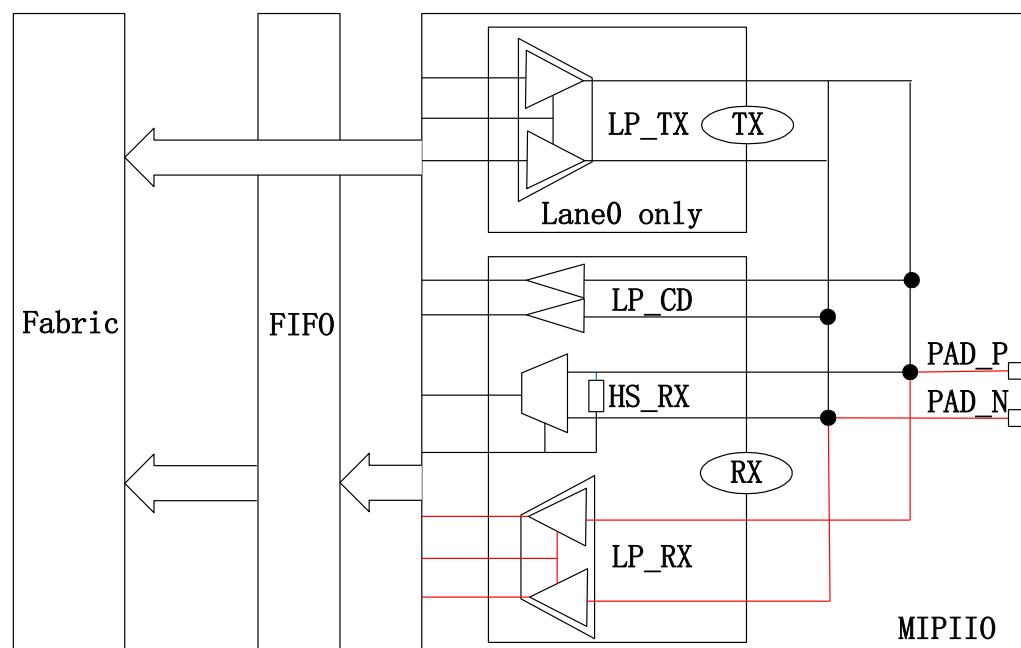


图 2-8 LVCMOS 模式使用的 MIPI I/O 模块功能单元



3 端口/参数描述

3.1 MIPI 模式功能端口

MIPI I/O 模块在 MIPI 模式下，生效的端口功能描述如下（下表中含有其它模式共用的信号端口）。

表 3-1MIPI 模式下 MIPI I/O 模块生效的信号列表

名称	方向	位宽	功能描述
mipi_pd	input	1	MIPI I/O 模块关电控制
hsrx_clk_detect	output	1	Clk Lane 接收到时钟的标志
hsrx_byteclk_to_fabric	output	1	MIPI I/O 模块输出的随路时钟分频时钟(BYTE 时钟)
lprx_ch0_cd_dn	output	1	MIPI 模式, Data Lane 0 连接检测信号 N 端
lprx_ch0_cd_dp	output	1	MIPI 模式, Data Lane 0 连接检测信号 P 端
lprx_ch0_dn	output	1	MIPI 模式, Data Lane 0 Low Power 接收数据 N 端
lprx_ch0_dp	output	1	MIPI 模式, Data Lane 0 Low Power 接收数据 P 端
lprx_ch0_en	input	1	MIPI 模式, Data Lane 0 Low Power 接收使能
lptx_ch0_dn	output	1	MIPI 模式, Data Lane 0 Low Power 发送数据 N 端
lptx_ch0_dp	output	1	MIPI 模式, Data Lane 0 Low Power 发送数据 P 端
lptx_ch0_en	input	1	MIPI 模式, Data Lane 0 Low Power 发送使能
lprx_ch1_cd_dn	output	1	MIPI 模式, Data Lane 1 连接检测信号 N 端
lprx_ch1_cd_dp	output	1	MIPI 模式, Data Lane 1 连接检测信号 P 端
lprx_ch1_dn	output	1	MIPI 模式, Data Lane 1 Low Power 接收数据 N 端
lprx_ch1_dp	output	1	MIPI 模式, Data Lane 1 Low Power 接收数



名称	方向	位宽	功能描述
			据 P 端
lprx_ch1_en	input	1	MIPI 模式, Data Lane 1 Low Power 接收使能
lprx_ch2_cd_dn	output	1	MIPI 模式, Data Lane 2 连接检测信号 N 端
lprx_ch2_cd_dp	output	1	MIPI 模式, Data Lane 2 连接检测信号 P 端
lprx_ch2_dn	output	1	MIPI 模式, Data Lane 2 Low Power 接收数据 N 端
lprx_ch2_dp	output	1	MIPI 模式, Data Lane 2 Low Power 接收数据 P 端
lprx_ch2_en	input	1	MIPI 模式, Data Lane 2 Low Power 接收使能
lprx_ch3_cd_dn	output	1	MIPI 模式, Data Lane 3 连接检测信号 N 端
lprx_ch3_cd_dp	output	1	MIPI 模式, Data Lane 3 连接检测信号 P 端
lprx_ch3_dn	output	1	MIPI 模式, Data Lane 3 Low Power 接收数据 N 端
lprx_ch3_dp	output	1	MIPI 模式, Data Lane 3 Low Power 接收数据 P 端
lprx_ch3_en	input	1	MIPI 模式, Data Lane 3 Low Power 接收使能
lprx_chc_cd_dn	output	1	MIPI 模式, Clk Lane 连接检测信号 N 端
lprx_chc_cd_dp	output	1	MIPI 模式, Clk Lane 连接检测信号 P 端
lprx_chc_dn	output	1	MIPI 模式, Clk Lane Low Power 接收数据 N 端
lprx_chc_dp	output	1	MIPI 模式, Clk Lane Low Power 接收数据 P 端
lprx_chc_en	input	1	MIPI 模式, Clk Lane Low Power 接收使能
hsrx_ch0_rstn	input	1	MIPI 模式, Data Lane 0 High Speed 接收复位



名称	方向	位宽	功能描述
hsrx_ch0_en	input	1	MIPI 模式, Data Lane 0 High Speed 接收使能
rterm_ch0_en	input	1	MIPI 模式, Data Lane 0 接收匹配电阻使能
hsrx_ch1_rstn	input	1	MIPI 模式, Data Lane 1 High Speed 接收复位
hsrx_ch1_en	input	1	MIPI 模式, Data Lane 1 High Speed 接收使能
rterm_ch1_en	input	1	MIPI 模式, Data Lane 1 接收匹配电阻使能
hsrx_ch2_rstn	input	1	MIPI 模式, Data Lane 2 High Speed 接收复位
hsrx_ch2_en	input	1	MIPI 模式, Data Lane 2 High Speed 接收使能
rterm_ch2_en	input	1	MIPI 模式, Data Lane 2 接收匹配电阻使能
hsrx_ch3_rstn	input	1	MIPI 模式, Data Lane 3 High Speed 接收复位
hsrx_ch3_en	input	1	MIPI 模式, Data Lane 3 High Speed 接收使能
rterm_ch3_en	input	1	MIPI 模式, Data Lane 3 接收匹配电阻使能
hsrx_chc_rstn	input	1	MIPI 模式, Clk Lane High Speed 接收复位
hsrx_chc_en	input	1	MIPI 模式, Clk Lane High Speed 接收使能
rterm_chc_en	input	1	MIPI 模式, Clk Lane 接收匹配电阻使能
FIFO			
fifo_ch0_read_1al_empty	output	1	Data Lane 0, FIFO 几乎空标志
fifo_ch0_read_3al_empty	output	1	Data Lane 0, FIFO 几乎空标志
fifo_ch0_read_empty	output	1	Data Lane 0, FIFO 空标志
fifo_ch0_write_full	output	1	Data Lane 0, FIFO 满标志
fifo_ch0_write_alfull	output	1	Data Lane 0, FIFO 几乎满标志



名称	方向	位宽	功能描述
fifo_ch1_read_1al_empty	output	1	Data Lane 1, FIFO 几乎空标志
fifo_ch1_read_3al_empty	output	1	Data Lane 1, FIFO 几乎空标志
fifo_ch1_read_empty	output	1	Data Lane 1, FIFO 空标志
fifo_ch1_write_full	output	1	Data Lane 1, FIFO 满标志
fifo_ch1_write_alfull	output	1	Data Lane 1, FIFO 几乎满标志
fifo_ch2_read_1al_empty	output	1	Data Lane 2, FIFO 几乎空标志
fifo_ch2_read_3al_empty	output	1	Data Lane 2, FIFO 几乎空标志
fifo_ch2_read_empty	output	1	Data Lane 2, FIFO 空标志
fifo_ch2_write_full	output	1	Data Lane 2, FIFO 满标志
fifo_ch2_write_alfull	output	1	Data Lane 2, FIFO 几乎满标志
fifo_ch3_read_1al_empty	output	1	Data Lane 3, FIFO 几乎空标志
fifo_ch3_read_3al_empty	output	1	Data Lane 3, FIFO 几乎空标志
fifo_ch3_read_empty	output	1	Data Lane 3, FIFO 空标志
fifo_ch3_write_full	output	1	Data Lane 3, FIFO 满标志
fifo_ch3_write_alfull	output	1	Data Lane 3, FIFO 几乎满标志
fifo_ch0_data_low	output	8	FIFO 使能时, Lane 0 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 0 8 位并行数据输出
fifo_ch1_data_low	output	8	FIFO 使能时, Lane 1 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 1 8 位并行数据输出
fifo_ch2_data_low	output	8	FIFO 使能时, Lane 2 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 2 8 位并行数据输出
fifo_ch3_data_low	output	8	FIFO 使能时, Lane 3 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 3 8 位并行数据输出



名称	方向	位宽	功能描述
			输出
fifo_ch0_data_high	output	8	FIFO 使能时, Lane 0 FIFO 高 8 位数据输出
fifo_ch1_data_high	output	8	FIFO 使能时, Lane 1 FIFO 高 8 位数据输出
fifo_ch2_data_high	output	8	FIFO 使能时, Lane 2 FIFO 高 8 位数据输出
fifo_ch3_data_high	output	8	FIFO 使能时, Lane 3 FIFO 高 8 位数据输出
fifo_write_rstn	input	1	FIFO 写复位
fifo_read_rstn	input	1	FIFO 读复位
fifo_write_enable	input	1	FIFO 写使能
fifo_read_16bit_enable	input	1	16 位读 FIFO 使能
fifo_read_8bit_enable	input	1	8 位读 FIFO 使能
fifo_read_clk	input	1	FIFO 读时钟
PAD			
dn_0	inout	1	MIPI I10 模块, Data Lane0 N 端口
dp_0	inout	1	MIPI I10 模块, Data Lane0 P 端口
dn_1	inout	1	MIPI I10 模块, Data Lane1 N 端口
dp_1	inout	1	MIPI I10 模块, Data Lane1 P 端口
dn_2	inout	1	MIPI I10 模块, Data Lane2 N 端口
dp_2	inout	1	MIPI I10 模块, Data Lane2 P 端口
dn_3	inout	1	MIPI I10 模块, Data Lane3 N 端口
dp_3	inout	1	MIPI I10 模块, Data Lane3 P 端口
cn	inout	1	MIPI I10 模块, Clk Lane N 端口
cp	inout	1	MIPI I10 模块, Clk Lane P 端口

3.2 LVDS 模式功能端口

MIPI I10 模块在 LVDS 模式下, 生效的端口功能描述如下(下表中含有其它模式下共用的信号端口)。



表 3-2 MIPI 模式下 MIPI IIO 模块生效的信号列表

名称	方向	位宽	功能描述
mipi_pd	input	1	MIPI IIO 模块关电控制
hsrx_clk_detect	output	1	Clk Lane 接收到时钟的标志
hsrx_byteclk_to_fabric	output	1	MIPI IIO 模块输出的随路时钟分频时钟 (BYTE 时钟)
lvds_clk_to_gpll	output	1	MIPI IIO 模块输出的随路时钟分频时钟 (与 hsrx_byteclk_to_fabric 二选一, 由控件 Enable GPLL Clock 控制)
lvds_clk_from_gpll	input	1	外部送回 IOCLK 的 Data Lane 进行采样
hsrx_ch0_rstn	input	1	LVDS 模式, Data Lane 0 复位
hsrx_ch0_en	input	1	LVDS 模式, Data Lane 0 接收使能
rterm_ch0_en	input	1	LVDS 模式, Data Lane 0 接收匹配电阻使能
hsrx_ch1_rstn	input	1	LVDS 模式, Data Lane 1 复位
hsrx_ch1_en	input	1	LVDS 模式, Data Lane 1 接收使能
rterm_ch1_en	input	1	LVDS 模式, Data Lane 1 接收匹配电阻使能
hsrx_ch2_rstn	input	1	LVDS 模式, Data Lane 2 复位
hsrx_ch2_en	input	1	LVDS 模式, Data Lane 2 接收使能
rterm_ch2_en	input	1	LVDS 模式, Data Lane 2 接收匹配电阻使能
hsrx_ch3_rstn	input	1	LVDS 模式, Data Lane 3 复位
hsrx_ch3_en	input	1	LVDS 模式, Data Lane 3 接收使能
rterm_ch3_en	input	1	LVDS 模式, Data Lane 3 接收匹配电阻使能
hsrx_chc_rstn	input	1	LVDS 模式, Clk Lane 复位
hsrx_chc_en	input	1	LVDS 模式, Clk Lane 接收使能
rterm_chc_en	input	1	LVDS 模式, Clk Lane 接收匹配电阻使能
FIFO 相关端口			
fifo_ch0_read_1al_empty	output	1	Data Lane 0, FIFO 几乎空标志
fifo_ch0_read_3al_empty	output	1	Data Lane 0, FIFO 几乎空标志



名称	方向	位宽	功能描述
fifo_ch0_read_empty	output	1	Data Lane 0, FIFO 空标志
fifo_ch0_write_full	output	1	Data Lane 0, FIFO 满标志
fifo_ch0_write_almost_full	output	1	Data Lane 0, FIFO 几乎满标志
fifo_ch1_read_almost_empty	output	1	Data Lane 1, FIFO 几乎空标志
fifo_ch1_read_almost_full	output	1	Data Lane 1, FIFO 几乎满标志
fifo_ch1_read_empty	output	1	Data Lane 1, FIFO 空标志
fifo_ch1_write_full	output	1	Data Lane 1, FIFO 满标志
fifo_ch1_write_almost_full	output	1	Data Lane 1, FIFO 几乎满标志
fifo_ch2_read_almost_empty	output	1	Data Lane 2, FIFO 几乎空标志
fifo_ch2_read_almost_full	output	1	Data Lane 2, FIFO 几乎满标志
fifo_ch2_read_empty	output	1	Data Lane 2, FIFO 空标志
fifo_ch2_write_full	output	1	Data Lane 2, FIFO 满标志
fifo_ch2_write_almost_full	output	1	Data Lane 2, FIFO 几乎满标志
fifo_ch3_read_almost_empty	output	1	Data Lane 3, FIFO 几乎空标志
fifo_ch3_read_almost_full	output	1	Data Lane 3, FIFO 几乎满标志
fifo_ch3_read_empty	output	1	Data Lane 3, FIFO 空标志
fifo_ch3_write_full	output	1	Data Lane 3, FIFO 满标志
fifo_ch3_write_almost_full	output	1	Data Lane 3, FIFO 几乎满标志
fifo_ch0_data_low	output	8	FIFO 使能时, Lane 0 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 0 8 位并行数据输出
fifo_ch1_data_low	output	8	FIFO 使能时, Lane 1 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 1 8 位并行数据输出
fifo_ch2_data_low	output	8	FIFO 使能时, Lane 2 FIFO 低 8 位数据输出 FIFO 未使能时, Data Lane 2 8 位并行数据输出
fifo_ch3_data_low	output	8	FIFO 使能时, Lane 3 FIFO 低 8 位数据输出



名称	方向	位宽	功能描述
			FIFO 未使能时, Data Lane 3 8 位并行数据输出
fifo_ch0_data_high	output	8	FIFO 使能时, Lane 0 FIFO 高 8 位数据输出
fifo_ch1_data_high	output	8	FIFO 使能时, Lane 1 FIFO 高 8 位数据输出
fifo_ch2_data_high	output	8	FIFO 使能时, Lane 2 FIFO 高 8 位数据输出
fifo_ch3_data_high	output	8	FIFO 使能时, Lane 3 FIFO 高 8 位数据输出
fifo_write_rstn	input	1	FIFO 写复位
fifo_read_rstn	input	1	FIFO 读复位
fifo_write_enable	input	1	FIFO 写使能
fifo_read_16bit_enable	input	1	16 位读 FIFO 使能
fifo_read_8bit_enable	input	1	8 位读 FIFO 使能
fifo_read_clk	input	1	FIFO 读时钟
PAD 引脚			
dn_0	inout	1	MIPI I/O 模块, Data Lane0 N 端口
dp_0	inout	1	MIPI I/O 模块, Data Lane0 P 端口
dn_1	inout	1	MIPI I/O 模块, Data Lane1 N 端口
dp_1	inout	1	MIPI I/O 模块, Data Lane1 P 端口
dn_2	inout	1	MIPI I/O 模块, Data Lane2 N 端口
dp_2	inout	1	MIPI I/O 模块, Data Lane2 P 端口
dn_3	inout	1	MIPI I/O 模块, Data Lane3 N 端口
dp_3	inout	1	MIPI I/O 模块, Data Lane3 P 端口
cn	inout	1	MIPI I/O 模块, Clk Lane N 端口
cp	inout	1	MIPI I/O 模块, Clk Lane P 端口

3.3 LVCMOS 模式功能端口

MIPI I/O 模块在 LVCMOS 模式下,生效的端口功能描述如下,下表中含有与其它模式共用的信号端口。



表 3-3LVC MOS 模式下 MIPI I/O 模块生效的信号列表

名称	方向	位宽	功能描述
mipi_pd	input	1	MIPI I/O 模块关电控制
sgcc_lvcmos_n_0	output	1	LVC MOS 模式, Date Lane0 N 端输入
sgcc_lvcmos_n_1	output	1	LVC MOS 模式, Date Lane1 N 端输入
sgcc_lvcmos_n_2	output	1	LVC MOS 模式, Date Lane2 N 端输入
sgcc_lvcmos_n_3	output	1	LVC MOS 模式, Date Lane3 N 端输入
sgcc_lvcmos_n_c	output	1	LVC MOS 模式, Clk Lane N 端输入
sgcc_lvcmos_p_0	output	1	LVC MOS 模式, Date Lane0 P 端输入
sgcc_lvcmos_p_1	output	1	LVC MOS 模式, Date Lane1 P 端输入
sgcc_lvcmos_p_2	output	1	LVC MOS 模式, Date Lane2 P 端输入
sgcc_lvcmos_p_3	output	1	LVC MOS 模式, Date Lane3 P 端输入
sgcc_lvcmos_p_c	output	1	LVC MOS 模式, Clk Lane P 端输入, 使能 Clock Lane 时生效
PAD 引脚			
dn_0	inout	1	MIPI I/O 模块, Date Lane0 N 端口
dp_0	inout	1	MIPI I/O 模块, Date Lane0 P 端口
dn_1	inout	1	MIPI I/O 模块, Date Lane1 N 端口
dp_1	inout	1	MIPI I/O 模块, Date Lane1 P 端口
dn_2	inout	1	MIPI I/O 模块, Date Lane2 N 端口
dp_2	inout	1	MIPI I/O 模块, Date Lane2 P 端口
dn_3	inout	1	MIPI I/O 模块, Date Lane3 N 端口
dp_3	inout	1	MIPI I/O 模块, Date Lane3 P 端口
cn	inout	1	MIPI I/O 模块, Clk Lane N 端口, 使能 Clock Lane 时生效
cp	inout	1	MIPI I/O 模块, Clk Lane P 端口, 使能 Clock Lane 时生效



3.4 MIPI I/O 硬件属性配置端口

用户在 PMA 页可以配置 Equalization、Deskew、Termination 和 Hysteresis 属性。在 MIPI 模式和 LVDS 模式下用户可以配置三个部分：Equalization、Deskew、Termination 属性，在 LVCMOS 模式下，用户仅可配置 Hysteresis 属性。

Equalization 和 Deskew 属性都有对应的属性类型，属性类型分为 Default、Static、Dynamic。属性类型配置为 Default，则模板文件中将对应属性配置为默认值，用户不可配置对应属性；属性类型配置为 Static，则用户可在界面上配置对应的值，并以 parameter 的形式传入模板文件中；属性类型配置为 Dynamic，IP GEN 会生成对应属性的 input 端口供用户动态配置。

Termination 和 Hysteresis 属性仅能配置开启/关闭使能。

3.4.1 Equalization 属性端口

Equalization 属性即 HS_RX 接收均衡，属性类型可以配置为 Default（默认值见下表）、Static、Dynamic。

Equalization 属性每个通道有两个参数/动态端口可以配置。以通道 0 为例，属性类型为 Dynamic 时，可配置动态端口为 hsrx_ch0_eqrn、hsrx_ch0_eqcn；属性类型为 Static 时，传递 Parameter 为 EQRN_VAL_0、EQCN_VAL_0，具体配置详见下表。

表 3-4HS_RX 接收均衡调整

属性类型	名称	类型	位宽	功能描述
Dynamic	hsrx_ch0_eqrn	input 端口	2	MIPI I/O 模块 Data Lane 0 接收均衡调整端口
Dynamic	hsrx_ch1_eqrn	input 端口	2	MIPI I/O 模块 Data Lane 1 接收均衡调整端口
Dynamic	hsrx_ch2_eqrn	input 端口	2	MIPI I/O 模块 Data Lane 2 接收均衡调整端口
Dynamic	hsrx_ch3_eqrn	input 端口	2	MIPI I/O 模块 Data Lane 3 接收均衡调整端口
Dynamic	hsrx_chc_eqrn	input 端口	2	MIPI I/O 模块 Clk Lane 接收均衡调整端口
Dynamic	hsrx_ch0_eqcn	input 端口	1	MIPI I/O 模块 Data Lane 0 接收均衡调整端口



属性类型	名称	类型	位宽	功能描述
Dynamic	hsrx_ch1_eqcn	input 端口	1	MIPI I/O 模块 Data Lane 1 接收均衡调整端口
Dynamic	hsrx_ch2_eqcn	input 端口	1	MIPI I/O 模块 Data Lane 2 接收均衡调整端口
Dynamic	hsrx_ch3_eqcn	input 端口	1	MIPI I/O 模块 Data Lane 3 接收均衡调整端口
Dynamic	hsrx_chc_eqcn	input 端口	1	MIPI I/O 模块 Clk Lane 接收均衡调整端口
Static	EQRN_VAL_0	parameter	2	MIPI I/O 模块 Data Lane 0 接收均衡调整参数 默认值: 2' b11
Static	EQRN_VAL_1	parameter	2	MIPI I/O 模块 Data Lane 1 接收均衡调整参数 默认值: 2' b11
Static	EQRN_VAL_2	parameter	2	MIPI I/O 模块 Data Lane 2 接收均衡调整参数 默认值: 2' b11
Static	EQRN_VAL_3	parameter	2	MIPI I/O 模块 Data Lane 3 接收均衡调整参数 默认值: 2' b11
Static	EQRN_VAL_C	parameter	2	MIPI I/O 模块 Clk Lane 接收均衡调整参数 默认值: 2' b11
Static	EQCN_VAL_0	parameter	1	MIPI I/O 模块 Data Lane 0 接收均衡调整参数 默认值: 1' b1
Static	EQCN_VAL_1	parameter	1	MIPI I/O 模块 Data Lane 1 接收均衡调整参数



属性类型	名称	类型	位宽	功能描述
				默认值: 1' b1
Static	EQCN_VAL_2	parameter	1	MIPI I/O 模块 Data Lane 2 接收均衡调整参数 默认值: 1' b1
Static	EQCN_VAL_3	parameter	1	MIPI I/O 模块 Data Lane 3 接收均衡调整参数 默认值: 1' b1
Static	EQCN_VAL_C	parameter	1	MIPI I/O 模块 Clk Lane 接收均衡调整参数 默认值: 1' b1

3.4.2 Deskew 属性端口

Deskew 属性即 HS_RX 接收均衡, 属性类型可以配置为 Default(默认值见下表)、Static、Dynamic。

Deskew 属性每个通道有 1 个参数/动态端口可以配置。以通道 0 为例, 当属性类型为 Dynamic 时, 可配置动态端口为 hsrx_ch0_deskew_ctl; 当属性类型为 Static 时, 传递 Parameter 为 DESKEW_VAL_0, 具体详见下表。

表 3-5HS_RX 接收 Deskew 调整

属性类型	名称	类型	位宽	功能描述
Dynamic	hsrx_ch0_deskew_ctl	input 端口	9	MIPI I/O 模块 Data Lane 0 Delay Line 配置端口
Dynamic	hsrx_ch1_deskew_ctl	input 端口	9	MIPI I/O 模块 Data Lane 1 Delay Line 配置端口
Dynamic	hsrx_ch2_deskew_ctl	input 端口	9	MIPI I/O 模块 Data Lane 2 Delay Line 配置端口
Dynamic	hsrx_ch3_deskew_ctl	input 端口	9	MIPI I/O 模块 Data Lane 3 Delay Line 配置端口
Dynamic	hsrx_chc_deskew_ctl	input 端口	9	MIPI I/O 模块 Clk Lane Delay Line 配置端口
Static	DESKEW_VAL_0	parameter	9	MIPI I/O 模块 Data Lane 0 Delay Line



属性类型	名称	类型	位宽	功能描述
				参数
Static	DESKEW_VAL_1	parameter	9	MIPI I/O 模块 Data Lane 1 Delay Line 参数
Static	DESKEW_VAL_2	parameter	9	MIPI I/O 模块 Data Lane 2 Delay Line 参数
Static	DESKEW_VAL_3	parameter	9	MIPI I/O 模块 Data Lane 3 Delay Line 参数
Static	DESKEW_VAL_C	parameter	9	MIPI I/O 模块 Clk Lane Delay Line 参数

3.4.3 Termination 属性端口

Termination 属性在 MIPI 模式和 LVDS 模式下可开启配置,通过在 IP GEN 界面选中对应控件 Enable Termination 来配置开启/关闭使能。

3.4.4 Hysteresis 属性端口

Hysteresis 属性在 LVCMOS 模式下可开启配置,通过在 IP GEN 界面选中对应控件 Enable Hysteresis 来配置开启/关闭使能。

3.4.5 其他硬件属性端口

MIPI I/O 硬核不同通道的输入衰减控制端口为 hsrx_ch0_att_ctl、hsrx_ch1_att_ctl、hsrx_ch2_att_ctl、hsrx_ch3_att_ctl、hsrx_chc_att_ctl。IP GEN 根据用户配置电平模式自动匹配输入衰减控制端口值,电平模式为 MIPI 模式时,对应端口配置为 4' b1000;电平模式为 LVDS 模式时,对应端口配置为 4' b0001;电平模式为 LVCMOS 模式时,对应端口配置为 4' b0000。

4 例化流程

4.1 界面与参数介绍

MIPI IO IP 界面分为 Protocol 页和 PMA 页，如下图 4-1、4-2 所示。

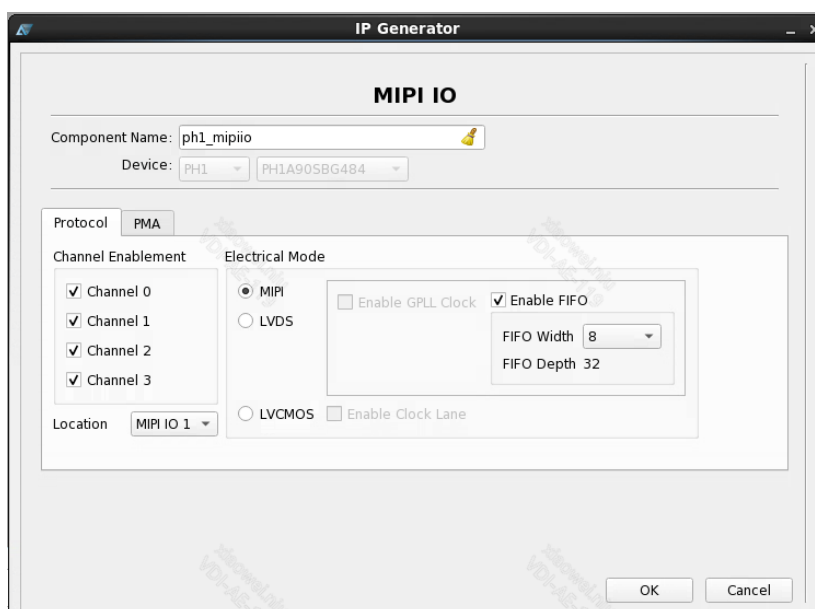


图 4-1 Protocol 页界面

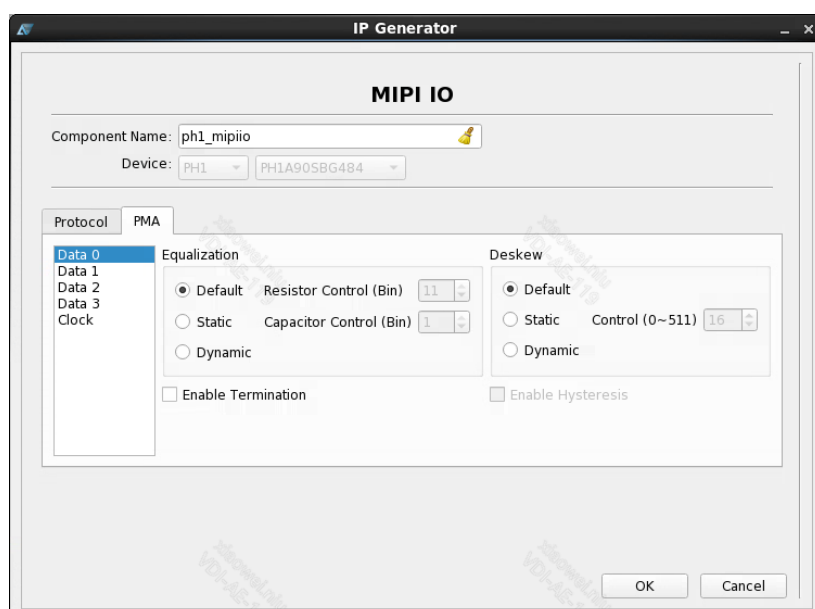


图 4-2 PMA 页界面



Protocol 页相关参数配置如下表 4-1 所示:

表 4-1 Protocol 页参数介绍

参数名	选项	默认值	描述
Channel 0	使能, 不使能	不使能	选中时使能通道 Data 0
Channel 1	使能, 不使能	不使能	选中时使能通道 Data 1
Channel 2	使能, 不使能	不使能	选中时使能通道 Data 2
Channel 3	使能, 不使能	不使能	选中时使能通道 Data 3
Electrical Mode	MIPI	MIPI	选择通道的电平模式
	LVDS		
	LVC MOS		
Enable GPLL Clock	使能, 不使能	不使能	选中时使能时钟 lvds_clk_to_gpll、lvds_clk_from_gpll
Enable FIFO	使能, 不使能	不使能	选中时使能 FIFO
Location	MIPI I/O 0	MIPI I/O 0	MIPI I/O 位置; SALPHOENIX®1A 系列 FPGA 集成了 2 组 MIPI I/O; 当 Location 配置为 MIPI I/O 0 时, MIPI I/O 位置为 X0Y19Z2; 当 Location 配置为 MIPI I/O 1 时, MIPI I/O 位置为 X0Y19Z3
	MIPI I/O 1		
FIFO Width	16	8	FIFO 的位宽, 可配置为 8 和 16; 当配置为 16 时, FIFO 的高 8 位输出数据端口会被使能。
	8		
FIFO Depth	32	32	FIFO 深度, 不可配置; 当内部 FIFO 被使能后, FIFO 深度会被配置为 32
Enable Clock Lane	使能, 不使能	不使能	当电平模式配置为 LVC MOS 时, 用户选择是否使用 Clock Lane

PMA 页为硬件属性配置端口, 相关配置及描述可见 2.4 章节, 每一个通道的硬件属性可独立进行配置。当相关属性类型配置为 Static 时, 用户可配置对应属性参数的值, 通过 parameter 的形式传递给模板文件, 控件和 parameter 的对应关系见下表 4-2。



表 4-2 PMA 页参数传递

通道	Protocol 页用户参数	传递 parameter
Data 0	Resistor Control (Bin)	EQRN_VAL_0
	Capacitor Control (Bin)	EQCN_VAL_0
	Deskew:Control (Bin)	DESKEW_VAL_0
Data 1	Resistor Control (Bin)	EQRN_VAL_1
	Capacitor Control (Bin)	EQCN_VAL_1
	Deskew:Control (Bin)	DESKEW_VAL_1
Data 2	Resistor Control (Bin)	EQRN_VAL_2
	Capacitor Control (Bin)	EQCN_VAL_2
	Deskew:Control (Bin)	DESKEW_VAL_2
Data 3	Resistor Control (Bin)	EQRN_VAL_3
	Capacitor Control (Bin)	EQCN_VAL_3
	Deskew:Control (Bin)	DESKEW_VAL_3
Clock	Resistor Control (Bin)	EQRN_VAL_C
	Capacitor Control (Bin)	EQCN_VAL_C
	Deskew:Control (Bin)	DESKEW_VAL_C

4.2 定制流程

MIPI I/O IP 的配置过程如下：

1. Protocol 页配置：

- Channel Enablement: 4 条 Data 通道的使能选项，包括 Channel 0、Channel 1、Channel 2、Channel 3，其中在 MIPI 模式下自动使能 Clock Lane
- Location: MIPI I/O 位置，配置后会依此生成对应的 adc 位置约束，详见 3.3 章节。
- Electrical Mode: 电平模式。可配置为 MIPI 模式、LVDS 模式、LVCMOS 模式
- Enable GPLL Clock: lvds_clk_to_gpll 和 lvds_clk_from_gpll 时钟使能；仅在 LVDS 模式下可以使能此配置，使能后会将时钟 lvds_clk_from_gpll 上 ioclk 后，再送入 MIPI I/O 硬核，此时 hsrx_byteclk_to_fabric 端口不生效。
- Enable FIFO: FIFO 使能；使能后 FIFO 深度会自动配置为 32，且可以选择 FIFO Width
- FIFO Width: FIFO 数据位宽选择；当 Enable FIFO 后，根据需要可配置 FIFO Width 为 8 或 16；当配置为 8 时，FIFO 的低 8 位输出数据端口会被使能。当配置为 16 时，FIFO 的高 8 位输出数据端口和低 8 位输出数据端口均会被使能。
- Enable Clock Lane: clock lane 通道的使能选项；仅在 LVCMOS 模式下生效。



2. PMA 页配置

- PMA 页可以配置 Equalization、Deskew、Termination 和 Hysteresis 属性，配置类型及配置端口详见 2.4 章节，属性配置为 Static 时，传递 parameter 对应关系详见表 3-2。

4.3 输出 ADC 文件

IP 会根据 Protocol 页面的两个控件：Location 控件、Enable GPLL Clock 控件，选择传递约束 0 和约束 1 到生成的 IP 输出文件 USERNAME.adc 里。

约束 0 是关于 mipiio 位置的，只由 Protocol 用户界面的 Location 控件决定：MIP1100 (X5Y0Z0) 和 MIP1101 (X5Y20Z0)，默认选择 MIP1100 (X5Y0Z0) 时，在约束文件.adc 里示例如下：

```
set_ipinst_assignment { u_PH1_PHY_MIP110 } {location=x5y0z0;}
```

约束 1 是关于 IOCLK 位置的，当控件 Enable Clock From GPLL And Clock To GPLL 使能时，生成相关的位置约束；控件不使能时不生成约束。生成的位置约束取决于 mipiio 位置。

生成约束的详细对应关系见下表。

表 4-3 生成位置约束

用户配置		生成约束	
MIP110 位置	Enable Clock From GPLL And Clock To GPLL	约束 0	约束 1
MIP1100 (X5Y0Z0)	Enable	set_ipinst_assignment { u_PH1_PHY_MIP110 } {location=X5Y0Z0;}	set_ipinst_assignment { ioclk_c0 } {location=X0Y19Z2}
	Disable		无
MIP1101 (X5Y20Z0)	Enable	set_ipinst_assignment { u_PH1_PHY_MIP110 } {location=X5Y20Z0;}	set_ipinst_assignment { ioclk_c0 } {location=X0Y19Z3}
	Disable		无

5 使用注意事项

1. MIPI I/O 可配置为独立的 MIPI 从设备使用，也可以将 2 组 MIPI I/O 合并，拓展成最大 8Lane 的 MIPI 输入接口。但是由于时钟线与数据通道 0 在结构上与其它数据通道有差别，使用时不能随意地交换线序，同组 MIPI I/O 也无法配置成多个独立 1Lane 或 2Lane 的 MIPI 从设备使用。

2. MIPI 模式下通道 0 线序不能和其它通道进行交换。

3. 电源要求：对于 DPHY-RX 来说，如果不使用，VCCDPHY 可以悬空，同时相关 IO 也可以悬空（不能接高电压或者信号输入）；但是如果 DPHY-RX 用作 LVDS 输入，必须要接 VCCDPHY 电源；DPHY-RX 的相关 IO 作为 LVCMOS 输入时，VCCDPHY 电源可悬空。

4. 当设置为 LVCMOS 模式时，需要保证 hsrx_ch0_en, hsrx_ch1_en, hsrx_ch2_en, hsrx_ch3_en, hsrx_chc_en, lprx_ch0_en, lprx_ch1_en, lprx_ch2_en, lprx_ch3_en, lprx_chc_en, rterm_ch0_en, rterm_ch1_en, rterm_ch2_en, rterm_ch3_en, rterm_chc_en, hsrx_ch0_att_ctl, hsrx_ch1_att_ctl, hsrx_ch2_att_ctl, hsrx_ch3_att_ctl, hsrx_chc_att_ctl 这些信号端口配置为 0。

5. 若用户需拓展成最大 8Lane 的 MIPI 输出接口，可参照图 5-1，输入时钟一分为二，供给两组 MIPI I/O 模块，两组 MIPI I/O 接收数据后分别进行字节对齐，通道对齐，最后数据合并输出供用户逻辑使用。

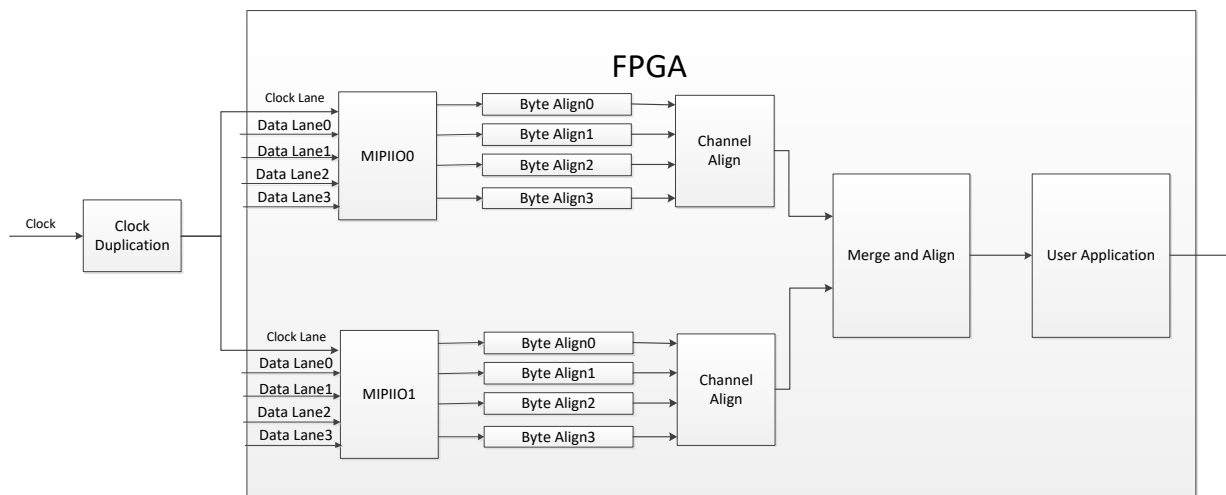


图 5-1 MIPI I/O 8Lane 应用模块划分



版本信息

日期	版本	修订记录
2023/06/01	1.0	首次发布中文版

版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。