



# **MIPI D-PHY Receiver (RX) Over PH1A MIPI I/O**

上海安路信息科技股份有限公司

APUG076 (v1.0) 2023 年 4 月



## 目 录

目 录 .....	2
1 概述 .....	3
2 功能描述 .....	4
2.1 设计框架 .....	4
2.2 时钟架构 .....	5
2.3 接口说明 .....	5
2.3.1 参数说明 .....	5
2.3.2 接口信号说明 .....	6
2.3.3 HS 接口时序 .....	6
2.3.4 LP 接口时序 .....	7
2.3.5 通道极性控制 .....	8
2.3.6 通道接收错误标志信号 .....	9
2.3.7 通道输入延时动态调整 .....	9
3 资源使用与时序 Fmax .....	10
4 工程文件信息 .....	10
5 参考文档 .....	11
6 版本信息 .....	12
免责声明 .....	错误!未定义书签。

## 1 概述

MIPI D-PHY 是一种高速、低功耗的源同步物理层，里面同时包含了高速模块和低功耗模块，载荷数据（图像数据）使用高速模块，控制和状态信息的发送使用的是低功耗模块。MIPI D-PHY 是所有 MIPI 应用中的物理层，对于发送端而言，无论是 DSI 还是 CSI 都需要 D-PHY 将上层打包的并行数据转换为 MIPI 串行信号发送出去，对于接收端而言，通过 D-PHY 将接收的 MIPI 串行数据转换为并行数据给到上层处理模块。

D-PHY 在工作时信号线会有两种模式，分别为高速模式(High Speed, HS)和低功耗模式(Low power, LP)，高速模式采用的电平为 LVDS25，差分电压摆幅为 200mV，共模电压为 200mV。低功耗模式采用的电平为 LVCMOS12，信号幅值为 1.2V，如图 1-1 所示，因此需要根据工作模式来切换电平标准，图 1-2 为 MIPI 的实测信号。

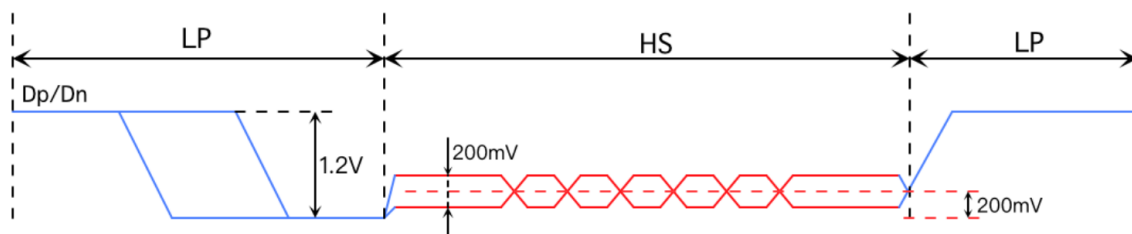


图 1-1 MIPI 信号

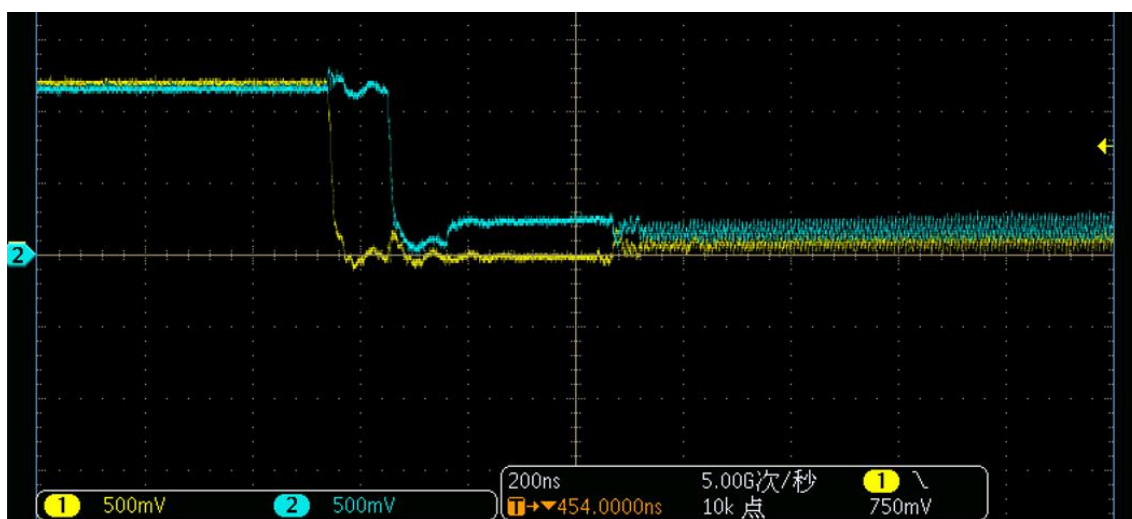


图 1-2 MIPI 实测信号

对于 PH1A90 和 PH1A180 器件，内部有专门为实现 MIPI 接口量身定做的 MIPI I/O 模块，MIPI I/O 内置了 MIPI HS 接收器端接电阻以及 HS/LP 切换电路，使用一对 I/O 端口就可以实现 MIPI HS/LP 功能的支持，最大线速率达到 2.5Gbps，同时内置了数据缓存 FIFO，单 Lane 最高支持 1:16 串并转换，有效降低并行数据时钟频率，PH1A 的 MIPI I/O 结构如图 1-3 所示。

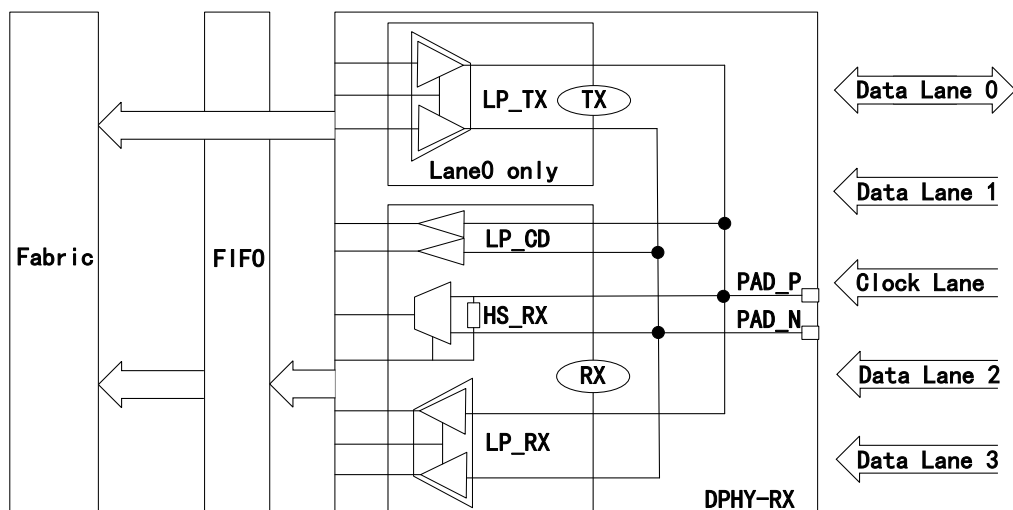


图 1-3 PH1A MIPI I/O 结构图

本文档描述的是基于 PH1A MIPI I/O 的 MIPI D-PHY RX 的设计，通过 PH1A 内置的 MIPI I/O 完成 MIPI 数据接收。

## 2 功能描述

### 2.1 设计框架

MIPI D-PHY RX Over PH1A MIPI I/O 设计框架如图 2-1 所示。

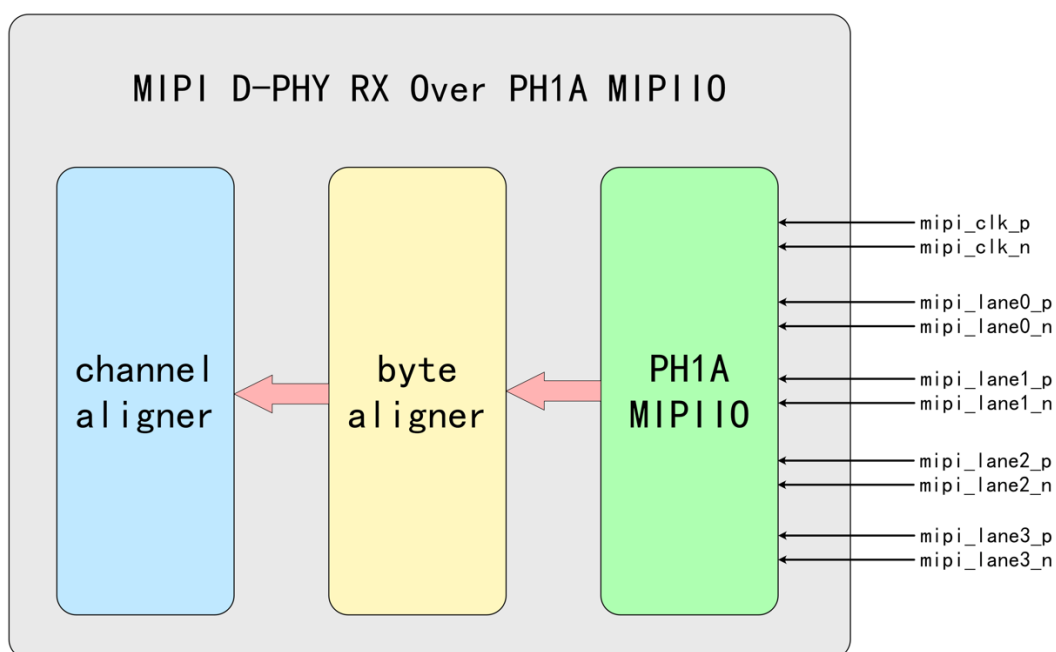


图 2-1 MIPI D-PHY RX Over PH1A MIPI I/O 设计框架

D-PHY RX Over PH1A MIPI I/O 里面包含了 PH1A MIPI I/O、字节对齐 byte\_aligner 和通道对齐 channel\_aligner。

## 2.2 时钟架构

MIPI D-PHY RX Over PH1A MIPI I/O 的时钟架构如图 2-2 所示，对于 PH1A 器件的 MIPI I/O，由于内部已经对串行数据做了串并转换，因此无需对时钟做额外的分频，直接采用 MIPI I/O 输出的并行时钟 `hsrx_byteclk_to_fabric` 作为 fabric 工作时钟。

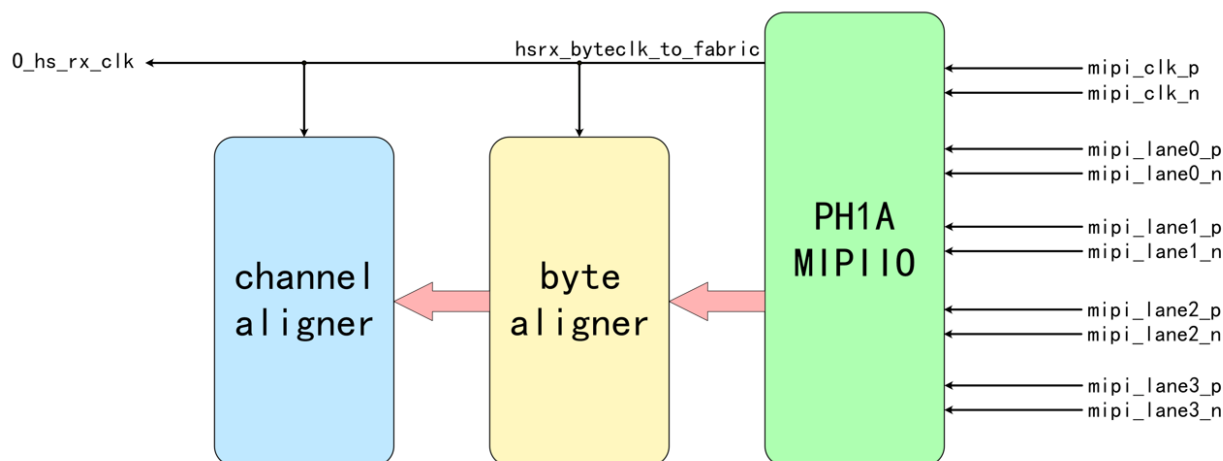


图 2-2 MIPI D-PHY RX Over PH1A MIPI I/O 时钟架构

## 2.3 接口说明

### 2.3.1 参数说明

MIPI D-PHY RX Over PH1A MIPI I/O 的参数说明如表 2-1 所示。

表 2-1 MIPI D-PHY RX Over PH1A MIPI I/O 参数

参数	可选值	默认值	说明
BYTE_NUM	1, 2	1	单个数据 Lane 输出的并行数据字节数。 1: 单个 Lane 输出一个字节，即 8 位 2: 单个 Lane 输出两个字节，即 16 位
LANE_NUM	1~4	4	mipi 数据线的数量，最少 1 根数据线，最大 4 根数据线。

#### BYTE\_NUM 参数

BYTE\_NUM 设定 MIPI 单个数据 Lane 输出并行数据的字节数，设定为 1 时，MIPI I/O 内部串并转换比为 1:8，单个 Lane 输出位宽为 8 位，设定为 2 时，MIPI I/O 内部通过 FIFO 实现了 1:16 串并转换，单个 Lane 输出位宽为 16 位。

以 4 Lane 输入为例，当 BYTE\_NUM=1 时，MIPI D-PHY 输出数据 `0_hs_rx_data` 的总位宽为  $8\text{bit} \times 4 = 32$  位，当 BYTE\_NUM=2 时，MIPI D-PHY 输出数据 `0_hs_rx_data` 的总位宽为  $16\text{bit} \times 4 = 64$  位。

需要注意的是，BYTE\_NUM=1 时，输出并行时钟 `0_hs_rx_clk` 频率为时钟 Lane 线速率的 1/8，BYTE\_NUM=2 时，输出并行时钟 `0_hs_rx_clk` 频率为时钟 Lane 线速率的 1/16。



以 2.5Gbps 输入线速率为例，当 BYTE\_NUM 设为 1，内部并行时钟频率为  $2.5\text{Gbps}/8=312.5\text{MHz}$ ，当 BYTE\_NUM 设为 2，内部并行时钟频率为  $2.5\text{Gbps}/16=156.25\text{MHz}$ 。

因此当 MIPI 输入的线速率比较高时，需要将 BYTE\_NUM 设为 2 来降低内部并行时钟频率。

### LANE\_NUM 参数

LANE\_NUM 设定 mipi 数据线的个数，由于 PH1A 器件中一个 MIPI I/O 最大支持 4 Lane 输入，因此 LANE\_NUM 范围为 1~4。

## 2.3.2 接口信号说明

MIPI D-PHY RX Over PH1A MIPI I/O 的接口信号说明如表 2-2 所示，由于 PH1A 的 MIPI I/O 是以硬核的形式存在，所以时钟 Lane 和数据 Lane 都是专用管脚，无需在 fabric 中分配管脚，只需要约束所使用的 MIPI I/O 的位置即可。因此基于 PH1A MIPI I/O 的 MIPI D-PHY RX 信号端口中并没有引出的时钟 Lane 和数据 Lane。

表 2-2 MIPI D-PHY RX Over PH1A MIPI I/O 接口信号

接口名称	方向	时钟域	描述
I_lp_clk	in	NA	LP 接收时钟，推荐 50MHz
I_rst	in	NA	异步复位信号，高电平有效
I_clk_lane_in_delay[8:0]	in	NA	时钟线输入延时动态调整端口
I_data_lane0_in_delay[8:0]	in	NA	数据线 Lane0 输入延时动态调整端口
I_data_lane1_in_delay[8:0]	in	NA	数据线 Lane1 输入延时动态调整端口
I_data_lane2_in_delay[8:0]	in	NA	数据线 Lane2 输入延时动态调整端口
I_data_lane3_in_delay[8:0]	in	NA	数据线 Lane3 输入延时动态调整端口
I_lane_invert[LANE_NUM-1:0]	in	NA	MIPI 数据线接收极性取反，高有效
O_hs_rx_clk	out	NA	HS 接收时钟
O_hs_rx_valid	out	O_hs_rx_clk	HS 接收数据有效信号
O_hs_rx_data[LANE_NUM*BYTE_NUM*8-1:0]	out	O_hs_rx_clk	HS 接收数据
O_lane_error[LANE_NUM-1:0]	out	O_hs_rx_clk	HS 接收 error 信号
O_lp_rx_lane0_p	out	I_lp_clk	Lane0 LP 接收信号 P 端
O_lp_rx_lane0_n	out	I_lp_clk	Lane0 LP 接收信号 N 端
I_lp_tx_en	in	NA	LP 发送使能，高有效
I_lp_tx_lane0_p	in	NA	Lane0 LP 发送信号 P 端
I_lp_tx_lane0_n	in	NA	Lane0 LP 发送信号 N 端

## 2.3.3 HS 接口时序

HS 接收的接口时序如图 2-3 所示，在 O\_hs\_rx\_valid 为高时，O\_hs\_rx\_data 数据有效，HS 接收模块在设计时已经把 HS 同步字 0xB8 从接收数据中剔除，因此第一个数据就是有效的负载数据，需要注意



的是，HS 数据在接收的时候是无法将尾部的无效数据去除，因此需要协议层根据 MIPI 包头中的数据长度信息提取出有效的数据。

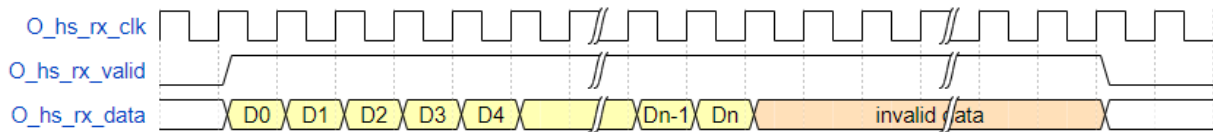


图 2-3 HS 接收接口时序

HS 接收数据 `O_hs_rx_data` 与数据 Lane 的映射关系如图 2-4 所示，以 4 个数据 Lane 输入为例，当 `BYTE_NUM=1` 时，Lane0 接收得到的数据位于 `O_hs_rx_data[31:24]`，Lane1 接收得到的数据位于 `O_hs_rx_data[23:16]`，以此类推。当 `BYTE_NUM=2` 时，Lane0 接收得到的数据位于 `O_hs_rx_data[63:48]`，Lane1 接收得到的数据位于 `O_hs_rx_data[47:32]`，以此类推。

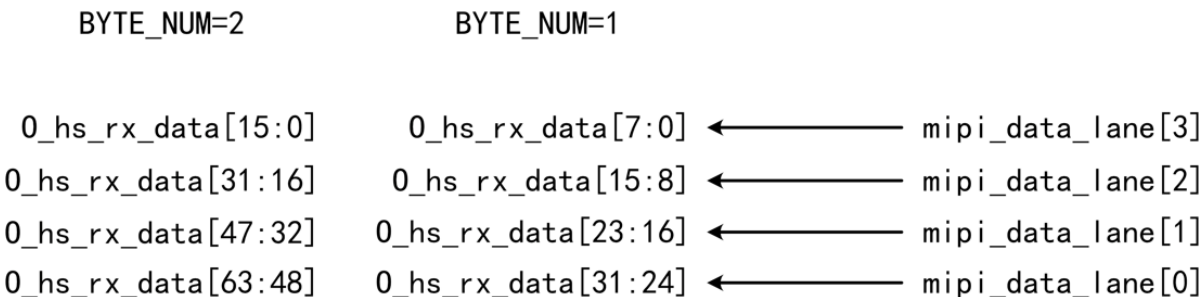


图 2-4 接收数据与 Lane 的映射关系

2.3.4 LP 接口时序

对于 MIPI 应用来说，一般只有数据 Lane0 通道会存在 LP 数据，因此基于 PH1A MIPI I/O 的 MIPI D-PHY RX 的 Lane0 通道 LP 支持双向数据传输，实现原理如图 2-5 所示。

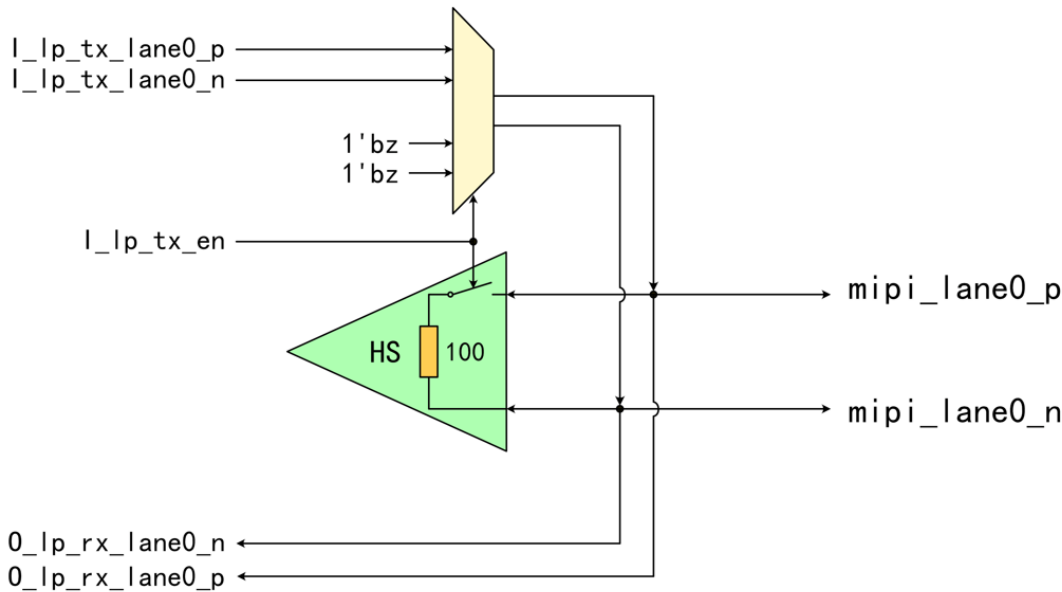


图 2-5 LP 实现原理

$I\_lp\_tx\_en$  信号用来控制 Lane0 通道的信号方向，当  $I\_lp\_tx\_en$  为 1'b0 时，Lane0 为输入状态，LP 发送输出高阻状态，对 Lane0 通道不会产生干扰。当  $I\_lp\_tx\_en$  为 1'b1 时，LP 发送输出的值从高阻变为  $I\_lp\_tx\_lane0\_p$  和  $I\_lp\_tx\_lane0\_n$  的值，同时 HS 接收的 100 欧端接电阻会从回路中断开，此时 Lane0 通道作为输出，需要注意的是，当  $I\_lp\_tx\_en$  为 1'b1 时要确保 MIPI Source 端已经将 Lane0 通道转换为输入，否则会产生干扰。

LP 和 HS 接口的时序如图 2-6 所示， $mipi\_data\_lane0\_p$  和  $mipi\_data\_lane0\_n$  是 Lane0 通道的信号线，当 Lane0 通道处于 LP 状态时， $O\_lp\_rx\_lane0\_p$  和  $O\_lp\_rx\_lane0\_n$  就等于 LP 电平状态。

当 Lane0 通道处于 HS 状态时，由于 HS 信号的幅值低于 LVCMOS12 高电平阈值，因此  $O\_lp\_rx\_lane0\_p$  和  $O\_lp\_rx\_lane0\_n$  输出为低电平。

当  $I\_lp\_tx\_en$  为 1'b1 时，Lane0 通道会转换为输出，P 端和 N 端的状态就等于  $I\_lp\_tx\_lane0\_p$  和  $I\_lp\_tx\_lane0\_n$  的值。

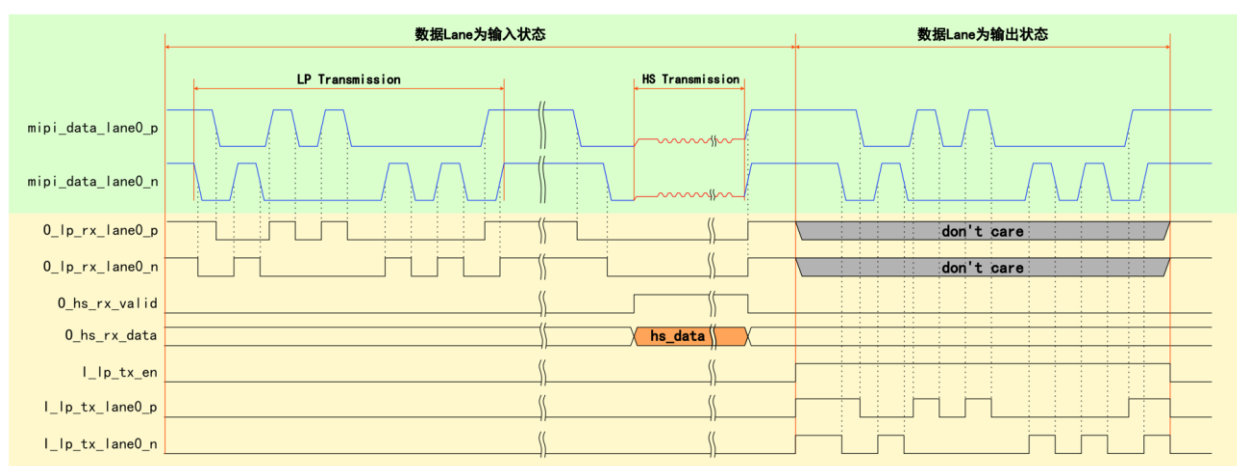


图 2-6 LP 和 HS 接口时序

### 2.3.5 通道极性控制

基于 EF2 MIPI I/O 的 MIPI D-PHY RX 在实际和其他 MIPI Source 对接时会存在通道极性反向的情况，如图 2-7 所示。

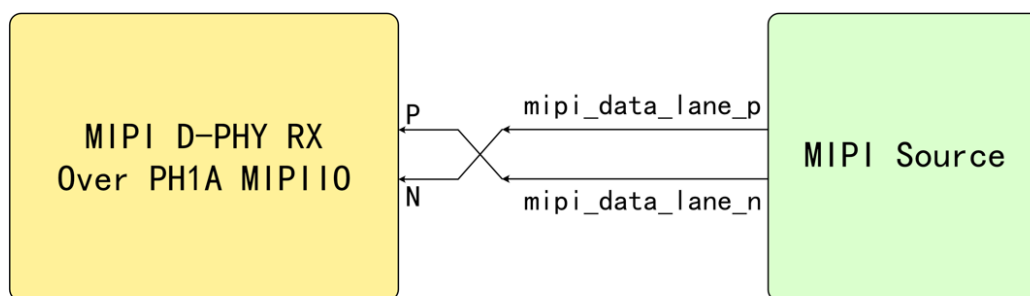


图 2-7 Lane 极性反向





针对这种极性反向的情况,基于 PH1A MIPI I/O 的 D-PHY RX 设计了一个极性控制端口 `I_lane_invert`,用于控制接收端的极性。

`I_lane_invert` 位宽与数据 Lane 的个数相同, `I_lane_invert[0]` 用于控制 Lane0 的接收极性, `I_lane_invert[1]` 用于控制 Lane1 的接收极性, 以此类推。当 `I_lane_invert` 为 1 时, 会对内部 HS 接收和 LP 接收极性取反, 为 0 时不作控制。假设 Lane 的数量为 4, 假设每个 Lane 的极性都是反向的, 那么将 `I_lane_invert` 设定为 `4'b1111` 就可以将极性纠正过来。

### 2.3.6 通道接收错误标志信号

基于 PH1A MIPI I/O 的 MIPI D-PHY RX 每条数据 Lane 的接收都设计了一个接收错误标志信号 `O_lane_error`, 其位宽和数据 Lane 的个数相同, `O_lane_error[0]` 对应 Lane0, `O_lane_error[1]` 对应 Lane1, 以此类推。

一次 HS 发送的典型时序如图 2-8 所示, 先有一个 LP→HS 的切换时序, 然后 HS 先进入 HS-ZERO 状态, 之后发送一个字节的同步字即 HS-SYNC, 最后开始发送有效的负载数据。

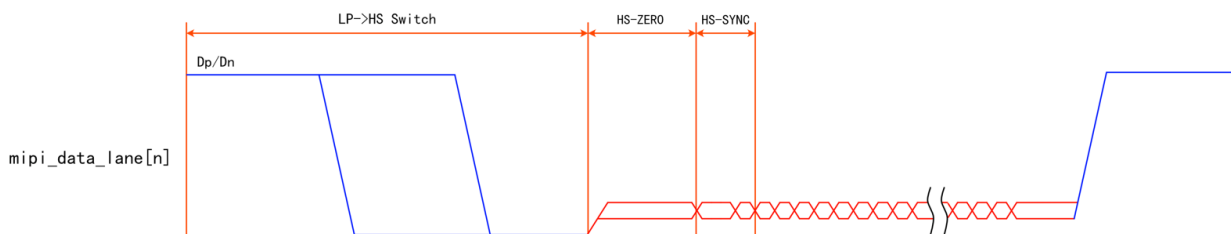


图 2-8 典型的 HS 发送时序

通道接收错误标志信号的产生机制如下:

对于 HS 信号而言, 从 LP 切到 HS 之后的第一个非零数据是同步字, 固定为 `0xB8`, 因此如果在整个 HS 数据期间都没有检测到第一个非零的数据为 `0xB8`, 那么可以认为当前数据 Lane 的数据通路存在异常, `O_lane_error` 会产生一个 `O_hs_rx_clk` 时钟周期的高脉冲来指示当前 HS 数据接收错误, 如图 2-9 所示, 需要调整数据 Lane 的输入延时或者检查信号质量。

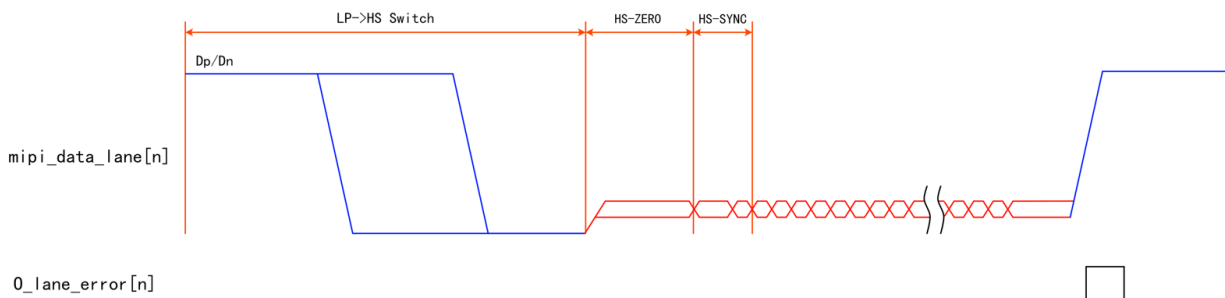


图 2-9 `O_lane_error` 时序

### 2.3.7 通道输入延时动态调整

PH1A 的 MIPI I/O 时钟 Lane 和数据 Lane 都支持动态输入延时调整, `I_clk_lane_in_delay[8:0]` 用于控制时钟 Lane 的输入延时, `I_data_lane0_in_delay[8:0]`、`I_data_lane1_in_delay[8:0]`、



`l_data_lane2_in_delay[8:0]`和`l_data_lane3_in_delay[8:0]`分别用于控制数据 Lane 的输入延时。

输入延时最大级数为 512 级，平均每级步进精度为 5~8ps。

### 3 资源使用与时序 Fmax

MIPI D-PHY RX Over PH1A MIPI I/O 的资源消耗和配置参数有关，以 `LANE_NUM=4` 为例，表 3-1 列出了对应的资源消耗。

表 3-1 MIPI D-PHY RX Over PH1A MIPI I/O 资源消耗表

BYTE_NUM	lut	reg
1	114	232
2	216	296

最大时钟频率如表 3-2 所示。

表 3-2 MIPI D-PHY RX Over PH1A MIPI I/O 最大时钟频率

CLOCK	Fmax
MIPI_HS_BYTE_CLK	216MHz
LP_CLK	717MHz

### 4 工程文件信息

本示例工程提供如下文件。

表 4-1 文件信息

参数	说明
Reference Design	Yes
RTL Language	Verilog
Test bench	N/A
Test bench Format	N/A
Simulation	N/A
C	N/A
IP Model	N/A
Project Platform	TD5. 6. 2-71036



## 5 参考文档

[1] MIPI Alliance Specification for D-PHY 1.00.00



## 6 版本信息

日期	版本	修订记录
2023. 4. 13	1. 0	首次发布中文版

**版权所有©2023** 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。