

**ÇİP TASARIM YARIŞMASI**

**2024**

**MİKRODENETLEYİCİ TASARIM KATEGORİSİ**

**DETAY TASARIM RAPORU ŞABLONU**

**TAKIM ADI**

**……………………………….**

**BAŞVURU ID**

**………………………………**

İçindekiler

[1. SİSTEM TANIMI VE TEMEL TASARIM ÖZETİ (5 PUAN) 2](#_Toc163043486)

[2. PROJE DETAY TASARIMI (50 PUAN) 2](#_Toc163043487)

[2.1. Sistem Mimarisi (20) 2](#_Toc163043488)

[2.2. Tasarım Detayı 2](#_Toc163043489)

[2.2.1. İşlemci ve Bus Yapısının Tasarımı (10) 2](#_Toc163043490)

[2.2.2. Peripheral Tasarım Detayları (10) 2](#_Toc163043491)

[2.2.3. FPGA Prototipleme Detayları (10) 3](#_Toc163043492)

[3. ÇİP TASARIM AKIŞI (15 PUAN) 3](#_Toc163043493)

[4. TEST (20 PUAN) 3](#_Toc163043494)

[5. TAKIM ORGANİZASYONU (3 PUAN) 3](#_Toc163043495)

[5.1. Takım Organizasyonu 3](#_Toc163043496)

[5.2. Görev Dağılımı 4](#_Toc163043497)

[6. İŞ PLANI ve RİSK PLANLAMASI (5 PUAN) 4](#_Toc163043498)

[7. KAYNAKÇA (2 PUAN) 4](#_Toc163043499)

# SİSTEM TANIMI VE TEMEL TASARIM ÖZETİ (5 PUAN)

{Bu kısımda sistemin basitçe genel tanımı ve proje kapsamında yürütülen faaliyetlerle ilgili olarak özet bilgiler sunulur. Örneğin RTL aşaması, simülasyon aşaması, çip fiziksel tasarım aşaması vs. tamamlanma oranları nelerdir?}

# PROJE DETAY TASARIMI (50 PUAN)

## Sistem Mimarisi (20)

{Bu kısımda projenin nihai tasarımının blok şeması verilir ve yarışma şartnamesi ile tasarlanan sistemin uyumluluklarına değinilir. Alt bloklardan ve görevlerinden bahsedilir. Bus yapısı, boot sekansı, peripheralların bağlantı detayları, yazılım ile ilgili yapılan çalışmalar, linker script, projenin FPGA ve ASIC implementasyon aşamalarındaki farklar vs}

## Tasarım Detayı

### İşlemci ve Bus Yapısının Tasarımı (10)

{CV32E40P işlemcisinin portları mikrodenetleyici içerisinde nasıl bağlanıyor? Hangi bus yapısı seçildi, işlemci ve peripherallar bu bus’a nasıl bağlandırlar? Seçilen yöntem ve metotların diğerlerine göre artı eksileri? Karşılaşılan zorluklar ve çözümleri?}

### Peripheral Tasarım Detayları (10)

{Şartnamede tanımlanan peripheralların tasarım detayları hakkında bilgi verilmesi. C driver’ları (en azından header dosyaları) hazırlandı mı? Header ve Verilog kodları için github hesabınızdaki ilgili dosya pathi link verilebilir ama DTR’de peripheral tasarımı detaylıandırılmalıdır, sadece koda link verilip geçilmemelidir. Bütün peripherallar için tasarım ve doğrulama hangi aşamada, tamamlandı, şu şu fonksiyonlar eksik vs. bilgileri. Seçilen yöntem ve metotların diğerlerine göre artı eksileri? Karşılaşılan zorluklar ve çözümleri?}

### FPGA Prototipleme Detayları (10)

{FPGA prototipleme detayları. FPGA’da işlemci üzerinde yazılım koşturuldu mu? Yazılımlarla peripherallar test edildi mi? C kodları için github hesabınızdaki ilgili dosya pathi link verilebilir ama FPGA üzerinde veya simülasyon ortamındaki çalışmalar DTR’de detaylandırılmalıdır. Alınan sonuçlar görsellerle belirtilmelidir. Karşılaşılan zorluklar ve çözümleri?}

# ÇİP TASARIM AKIŞI (15 PUAN)

{Bütün bir sistemin olmasa da peripheralların biri veya birkaçı ya da işlemci çekirdeği için çip fiziksel tasarım akışının tamamlanması beklenmektedir. Mümkünse tasarımın hepsi, tasarımın hepsi tamamlanmadıysa da tamamlanmış alt modüller üzerinde synthesis, placement ve routing gibi aşamalar sonrasında oluşan zamanlama analizi (timing analysis), kaynak kullanım (utilization) gibi dosyaların çıktılarından yararlanıp yorumlarda bulunulmalıdır. GDSII layout resimleri eklenmelidir. Güç tüketimi, performans ve alan tüketimini iyileştirmek adına akışta yapılan özelleştirmelere değinilmelidir. Tasarım sürecinde gerek yazılımsal olarak gerek tasarımsal olarak karşılaşılan sorunlara ve bu sorunların nasıl çözüldüğüne değinilmelidir (Örneğin P & R programı tasarımı route edemediği şeklinde bir hata vermiştir, yarışmacılar da bu durumu bir yöntemle çözmüştür veya akış sırasında bir hata alınmıştır, bunu çözmek için başka bir commit’teki versiyona geçilmiştir şeklinde). Bu çözümler esnasında kullanılan teorik-genelgeçer bilgilere yer verilmelidir (Örneğin bu kaynaktan edinilen bilgiye göre utilization değeri bu değerin altında tutulmuştur). Açık kaynak programlar kullanıldıysa bahsedilen genelgeçer bilgilerle elde edilen sonuçlar uyumsuzluklar görüldüyse bunların sebebi açıklanmalıdır. Çip tasarım akışı boyunca faydalanılan topluluklar, Slack kanalları gibi yerler varsa bunların hangilerinden ne yönde yararlanıldığından bahsedilmelidir. Çip akışında geçirilen aşamaların hangilerinin daha kolay hangilerinin daha zor bulunduğuna, hangilerinde ne kadar zaman geçirildiğine kısaca değinilmelidir.}

# TEST (20 PUAN)

{Bu kısımda tasarımın RTL seviyesinde fonksiyonel simülasyonlar, CV32E40P işlemcinin doğrulanması, UART peripheral için UVM/SV ile yapılan doğrulama çalışmaları ve static timing analysis ile max frekans hesaplamaları detaylandırılmalıdır. Tüm tasarım tamamlanmasa bile hangi alt modüllerde simülasyonların nasıl gerçekleştirildiği, verification ortamı (FPGA ve çip tasarım doğrulaması için hangi verification araçları kullanıldıysa) ve testbench kodları ile bilgiler detaylıca verilmelidir.}

# TAKIM ORGANİZASYONU (3 PUAN)

## Takım Organizasyonu

{Bu kısımda takım üyeleri ve varsa danışman hakkında bilgi verilir. (İsim, soyisim, okul, bölüm, sınıf)}

## Görev Dağılımı

{Bu kısımda görev dağılımı ve ekip organizasyonu hakkında bilgi verilir. Kim hangi kısımlardan sorumlu?}

# İŞ PLANI ve RİSK PLANLAMASI (5 PUAN)

{Bu kısımda projenin FPGA ve çip aşamaları için tasarım, doğrulama, sentez, fiziksel gerçekleme ve test süreçlerini içeren bir zaman planlaması ve risk planlaması yapılır. Zaman akış çizelgesi üzerinde iş paketlerinin ne kadarının tamamlandığı ne kadarının henüz tamamlanmadığı, takvimde gecikme olup olmadığı açık bir şekilde gösterilmelidir.}

# KAYNAKÇA (2 PUAN)

{Bu bölümde raporda kullanılan kaynaklar yer almalıdır. Kaynaklar rapor içerisinde refere edilmelidir.}

|  |
| --- |
| **RAPOR TASLAKLARI İLE İLGİLİ NOT:** |
| **Bu belge Çip Tasarım Yarışması Mikrodenetleyici Kategorisi Detay Tasarım Raporu (DTR) şablonu olarak hazırlanmıştır.**  **Rapor, Çip Tasarım Yarışması Şartnamesi Bölüm 3.2.2’de belirtilen kurallara uygun olarak hazırlanmalıdır.**  **Rapor dili anlaşılırlığına, yazım düzenine, rapor içeriğine ve rapor bütünlüğüne dikkat edilmelidir.**  **Grafikler, resimler, devre şemaları vb. okunaklı olmalıdır. Kullanılan resimler mümkün olduğunca yüksek kaliteli olarak eklenmelidir.**  **Raporlar, A4 formatında, 11 punto, Calibri fontunda, satır aralığı 1.15 ve alt-üst ve yan kenarları 2.5 cm olacak şekilde hazırlanmalıdır. Detay tasarım raporu en fazla 30 sayfa olmalıdır (kapak sayfası, resimler, tablolar, referanslar dâhil).**  **Minimum rapor içeriği yukarıdaki gibi olmalıdır, başlıklar mümkün olduğunca değiştirilmemelidir. Gerek görülürse eklemeler yapılabilir.**  **Gereksiz uzun ifadeler yerine kısa ve anlaşılır ifadeler tercih edilmelidir.**  **“If you can’t explain something in simple terms, you don’t understand it” Feynman**  **Toplam sayfa sayısı 30’u geçmemelidir. Sayfa sınırı aşıldığı takdirde ilk 30 sayfa dikkate alınacaktır.** |