



الف) شکل موج گره های Clk و Clkd و X و Q را برای دو سیکل رسم نمایید. در یک سیکل $D=0$ و در سیکل دیگر $D=1$ در نظر گرفته شود.

ب) مقادیر تقریبی زمان آمادگی و زمان نگهداری را در این مدار مشخص نمایید.

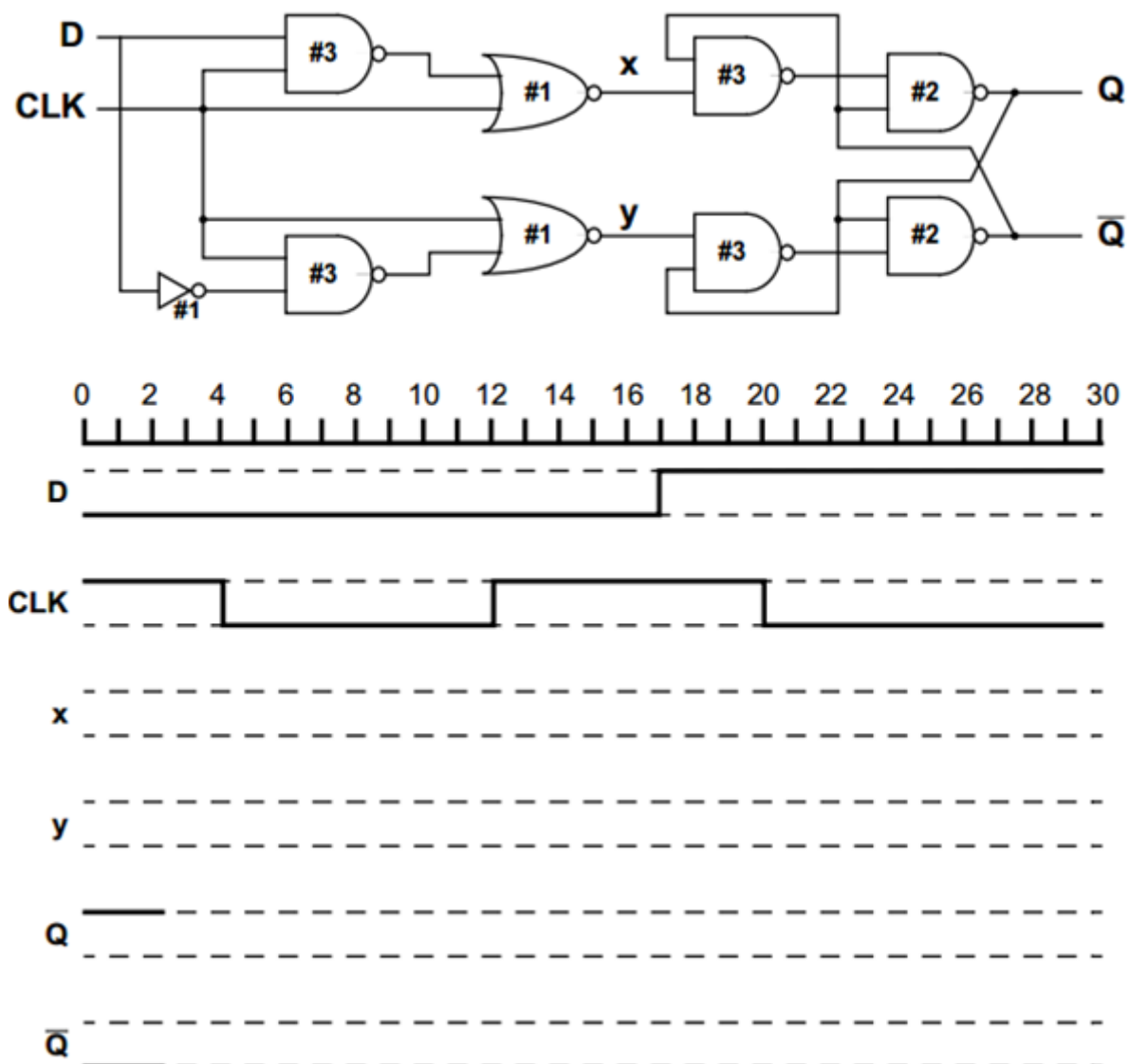
ج) اگر احتمال تغییر وضعیت D در یک سیکل کلاک α باشد و احتمال ۱ بودن و صفر بودن آن برابر باشد. مقدار توان مصرفی مدار با صرفنظر کردن از تلفات خط کلاک در فرکانس $f_{clk}=100\text{ MHz}$ چقدر است؟

۳- مدار زیر یک فلیپ فلاپ می باشد. مقدار اولیه $Q=1$ و وارون آن صفر است.

الف) شکل موج را کامل نمایید.

ب) مقدار تاخیر انتشار کلاک تا خروجی را در بدترین حالت بر حسب تاخیر گیت ها مشخص کنید.

ج) مقدار زمان آمادگی را بر حسب تاخیر گیت ها مشخص کنید.



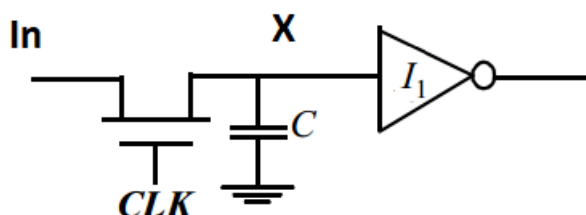
۴- فرض کنید در تکنولوژی 0.25 میکرون یک لچ دینامیکی به شکل زیر داریم. فرض کنید مقدار اولیه ولتاژ X برابر $V_{DD}-V_{tn}=1.8V$

باشد و ورودی قبل از لبه کلاک از ۱ به ۰ تغییر وضعیت دهید. حداقل زمان لازم برای اینکه ولتاژ X به نصف مقدار اولیه خود برسد

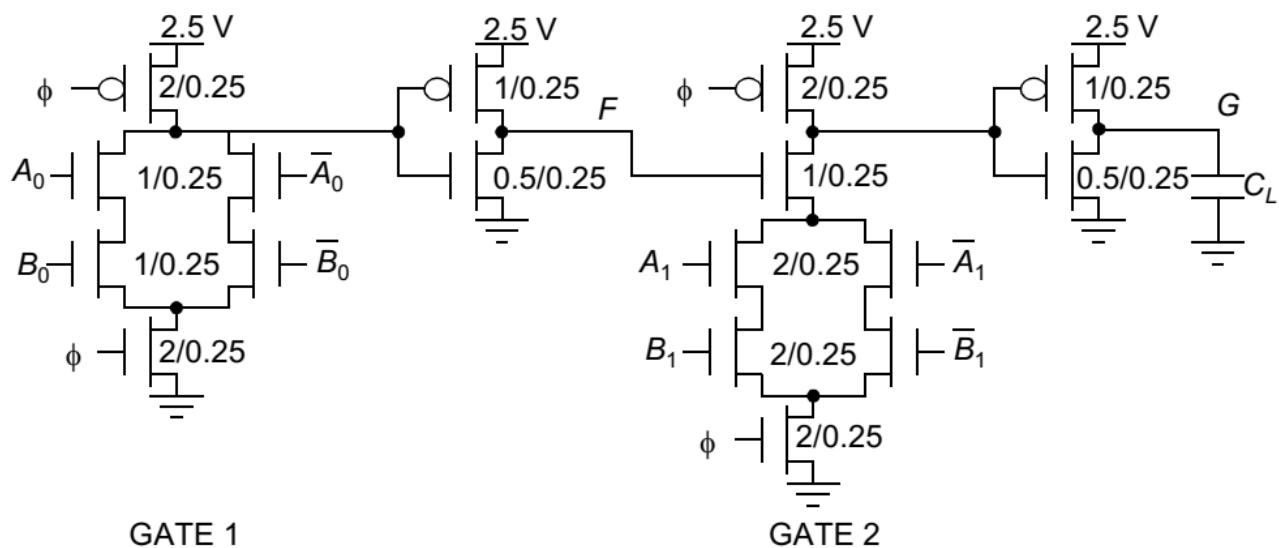
چقدر است؟ (فرض کنید ترانزیستور NMOS در $V_{DS}=0.9V$ در ناحیه اشباع سرعت است.

$W_p/W_n=2\mu m/1\mu m$ و عرض NMOS عبوری نیز $1\mu m$ و طول کانال همه ترانزیستور ها هم حداقل در نظر گرفته شود.

خازن درین بدنه را $0.6fF/\mu m$ در نظر بگیرید و خازن بر واحد طول گیت را هم $6fF/\mu m$ از خازنهای همپوشانی هم صرفنظر کنید.



۵- در مدار زیر یک تابع با منطق دومینو نشان داده شده است.



الف گره های F و G چه تابع منطقی را نشان می دهند.

ب) اگر $A=A_1A_0$ و $B=B_1B_0$ نشانگر اعداد دو بیتی باشند G چه عملیاتی روی A, B انجام می دهد؟

ج) بازای چه ترکیب هایی از ورودی ها در دو سیکل کلاک پدیده نشستی بار می تواند اتفاق بیفتد. با توجه به ترتیب و ابعاد ترانزیستور ها تحلیل نمایید کدام ترکیب از ورودی ها از دیدگاه نشستی بار بحرانی تر است.