

Chương 4:

BỘ XỬ LÝ

Cấu Trúc Bộ Xử Lý

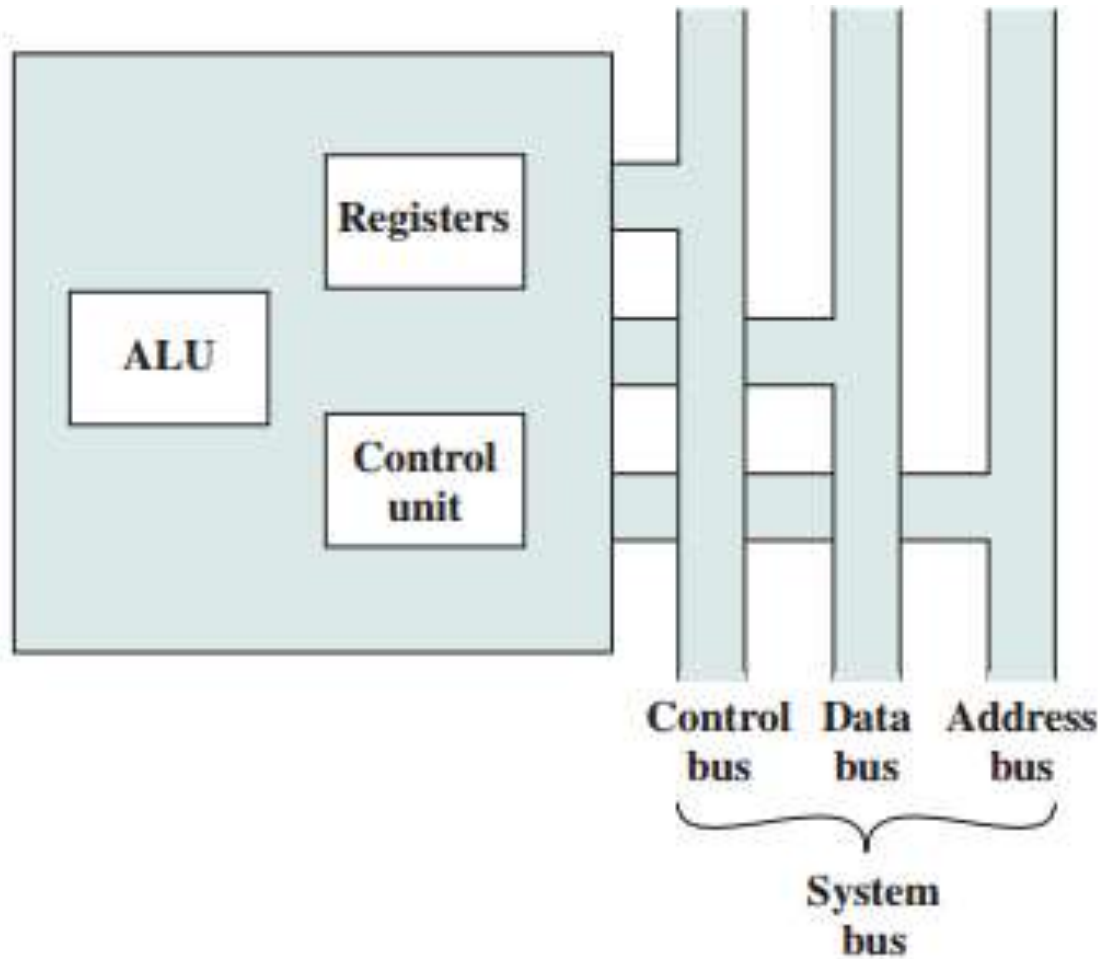
- ❖ Để hiểu tổ chức của bộ xử lý, chúng ta hãy xét các công việc mà bộ xử lý thực hiện:
 - Lấy lệnh (*fetch instruction*): Bộ xử lý đọc một lệnh từ bộ nhớ (thanh ghi, cache, bộ nhớ chính).
 - Thông dịch lệnh (*interpret instruction*): Lệnh đã lấy được giải mã để xác định hành động của nó.
 - Lấy dữ liệu (*fetch data*): Sự thực thi của một lệnh có thể cần phải đọc dữ liệu từ bộ nhớ hay thiết bị nhập/xuất.
 - Xử lý dữ liệu (*process data*): Sự thực thi của một lệnh có thể cần phải thực hiện

Cấu Trúc Bộ Xử Lý

phép toán số học hay luận lý nào đó trên dữ liệu.

- Ghi dữ liệu (*write data*): Kết quả của sự thực thi có thể cần ghi dữ liệu đến bộ nhớ hay thiết bị nhập/xuất.
- ❖ Để thực hiện các điều trên, rõ ràng là bộ xử lý cần phải lưu trữ dữ liệu nào đó tạm thời. Nói cách khác, bộ xử lý cần bộ nhớ nhỏ bên trong nó.
- ❖ Hình 4.1 thể hiện cấu trúc của bộ xử lý ở dạng đơn giản.

Cấu Trúc Bộ Xử Lý

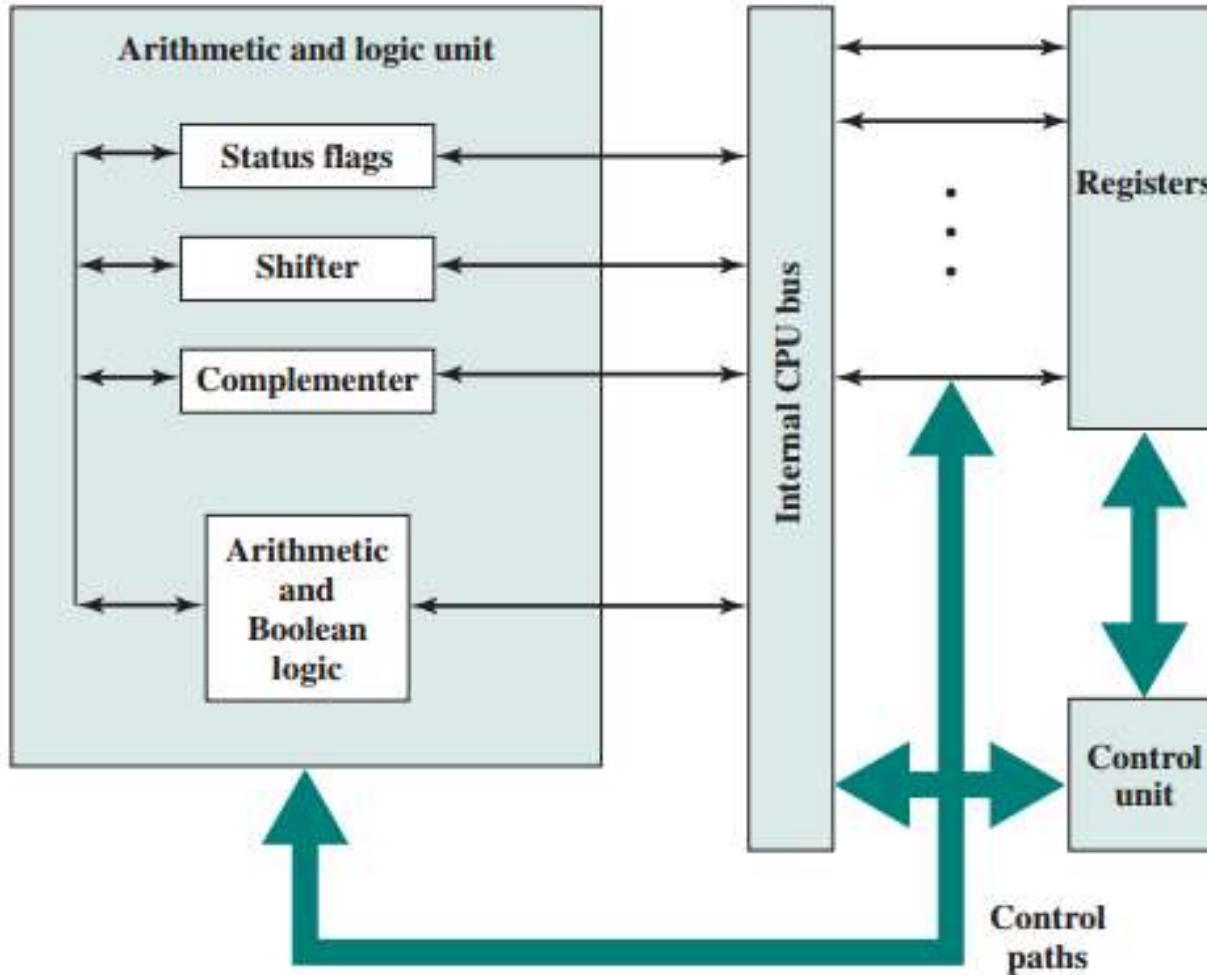


Hình 4.1: CPU và bus hệ thống.

Cấu Trúc Bộ Xử Lý

- ❖ Hình 4.2 cho thấy chi tiết hơn về bộ xử lý:
 - Bus trong của bộ xử lý (*internal processor bus*) dùng để truyền dữ liệu giữa các thanh ghi khác nhau với đơn vị số học và luận lý.
 - Các thành phần cơ bản tiêu biểu của đơn vị số học và luận lý.

Cấu Trúc Bộ Xử Lý

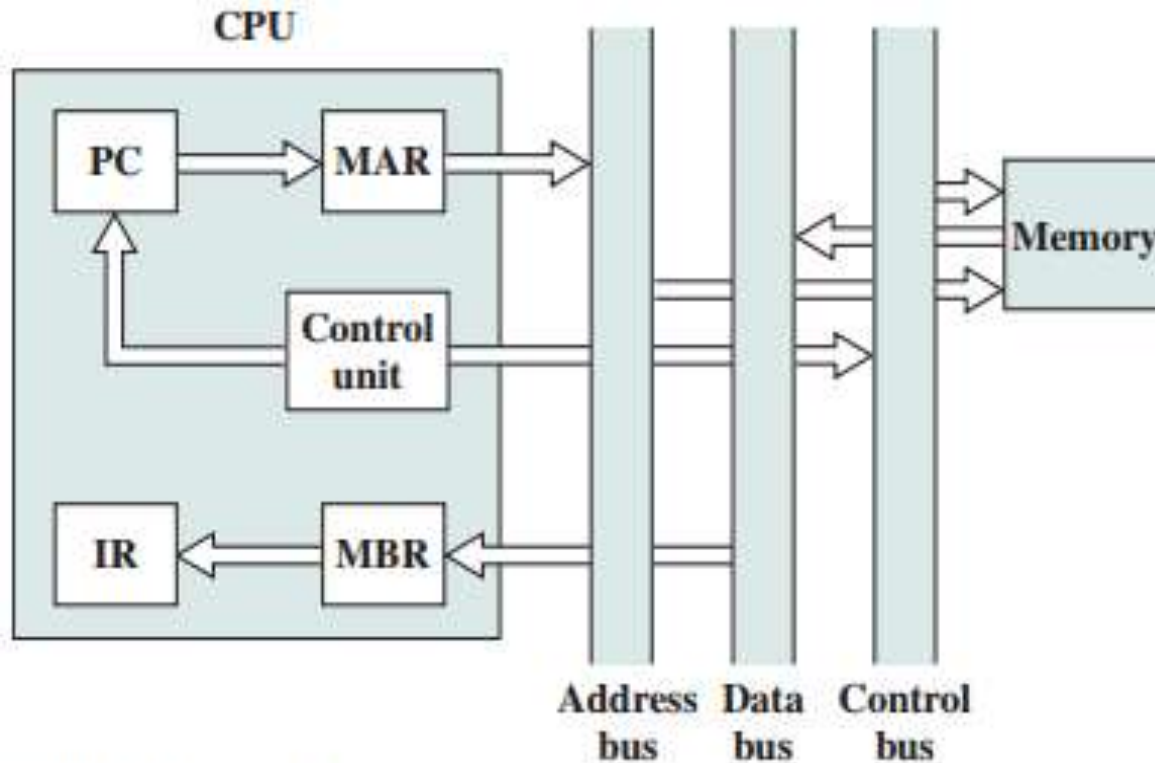


Hình 2.2: Cấu trúc bên trong CPU.

Cấu Trúc Bộ Xử Lý

- ❖ Giả sử bộ xử lý sử dụng thanh ghi địa chỉ bộ nhớ (*memory address register* - MAR), thanh ghi bộ nhớ đệm (*memory buffer register* - MBR), bộ đếm chương trình (*program counter* - PC) và thanh ghi lệnh (*instruction register* - IR).
- ❖ Hình 4.3 cho thấy dòng dữ liệu trong chu kỳ lấy lệnh.

Cấu Trúc Bộ Xử Lý



MBR = Memory buffer register
MAR = Memory address register
IR = Instruction register
PC = Program counter

Hình 4.3: Dòng dữ liệu của chu kỳ lấy lệnh.

Các Thanh Ghi

- ❖ Bên trong bộ xử lý có một tập các thanh ghi (*register*), gồm hai loại:
 - Các thanh ghi lập trình được (*user-visible register*).
 - Các thanh ghi điều khiển (*control register*).

Các Thanh Ghi Lập Trình Được

❖ Bao gồm:

- Thanh ghi đa dụng (*General purpose register*).
- Thanh ghi dữ liệu (*Data register*).
- Thanh ghi địa chỉ (*Address register*).
- Thanh ghi mã điều kiện (*Condition code register*). Chứa các mã điều kiện (hay các cờ):
 - Cờ dấu (*SF - sign flag*).
 - Cờ zero (*ZF - zero flag*).
 - Cờ nhớ (*CF - carry flag*).
 - Cờ nhớ phụ/nhớ nửa (*AF – auxiliary flag / half-carry*).

Các Thanh Ghi Lập Trình Được

- Cờ chẵn lẻ (PF - *parity flag*).
- Cờ tràn (OF - *overflow flag*).
- Cờ ngắt (IF - *interrupt flag*).

Các Thanh Ghi Điều Khiển

- ❖ Bao gồm:
 - Bộ đếm chương trình (*Program counter - PC*).
 - Thanh ghi lệnh (*Instruction register – IR*).
 - Thanh ghi địa chỉ bộ nhớ (*Memory address register - MAR*).
 - Thanh ghi bộ nhớ đệm (*Memory buffer register - MBR*).

Tổ Chức Thanh Ghi Của Một Số CPU

- ❖ Xét hai bộ vi xử lý 16 bit được thiết kế trong cùng thời gian là Motorola MC68000 và Intel 8086.
- ❖ Hình 2.4 (a) và (b) mô tả tổ chức thanh ghi của mỗi bộ xử lý tương ứng.
- ❖ Hình 2.4 (c), cho thấy tổ chức thanh ghi của bộ xử lý Intel 80386.

Tổ Chức Thanh Ghi Của Một Số CPU

Data registers

D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	

Address registers

A0	
A1	
A2	
A3	
A4	
A5	
A6	
A7	

Program status

Program counter
Status register

(a) MC68000

General registers

AX	Accumulator
BX	Base
CX	Count
DX	Data

Pointers and index

SP	Stack ptr
BP	Base ptr
SI	Source index
DI	Dest index

Segment

CS	Code
DS	Data
SS	Stack
ES	Extrat

Program status

Flags
Instr ptr

(b) 8086

General registers

EAX		AX
EBX		BX
ECX		CX
EDX		DX
ESP		SP
EBP		BP
ESI		SI
EDI		DI

Program status

FLAGS register
Instruction pointer

(c) 80386—Pentium 4

Hình 2.4: Tổ chức thanh ghi của một số CPU.

Tên Các Thanh Ghi

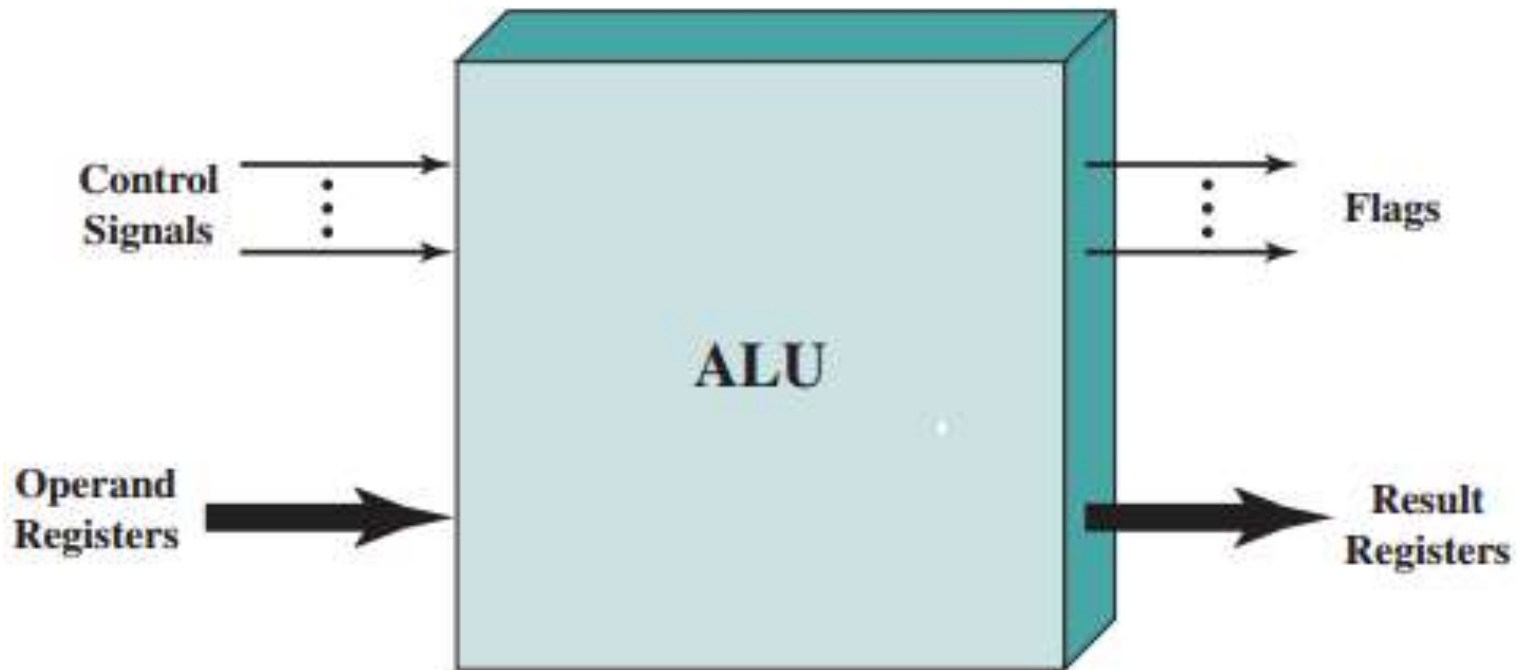
❖ Các thanh ghi trong Hình 2.4 gồm:

- AX (*Accumulator register*).
- BX (*Base register*).
- CX (*Count register*).
- DX (*Data register*).
- SI (*Source index*).
- DI (*Destination index*).
- SP (*Stack pointer*).
- BP (*Base pointer*).
- IP (*Instruction pointer*).
- CS (*Code segment*).
- DS (*Data sengment*).
- ES (*Extra segmnent*).
- SS (*Strack segment*).

Đơn Vị Số Học & Luận Lý - ALU

- ❖ Đơn vị số học và luận lý (ALU) là một phần của bộ xử lý, nó thực hiện các phép toán số học và luận lý trên dữ liệu.
- ❖ Các thành phần khác của hệ thống máy tính là những thành phần chính mang dữ liệu đến đơn vị số học và luận lý để đơn vị này xử lý và lấy kết quả trở lại.

Đơn Vị Số Học & Luận Lý

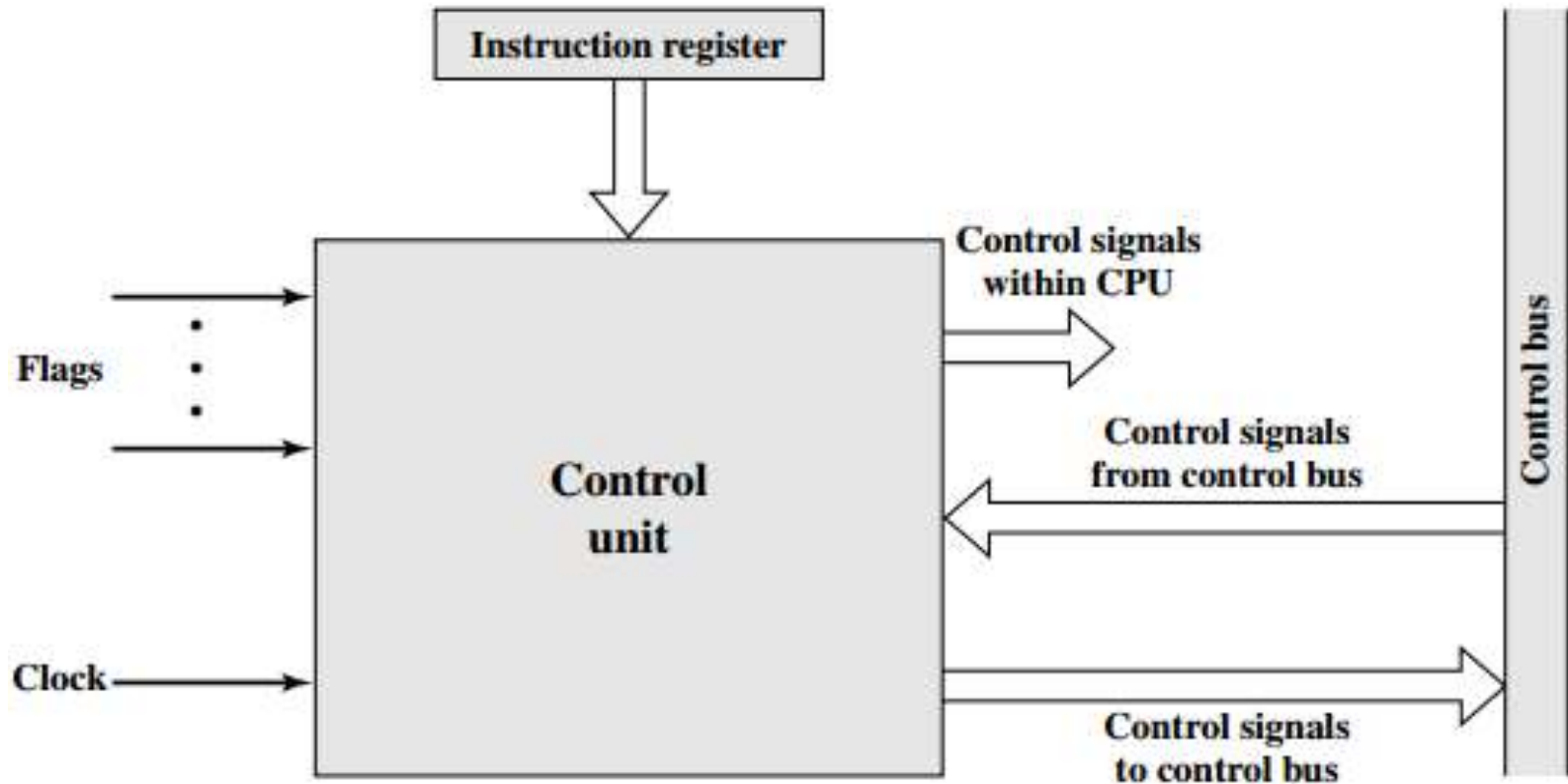


Hình 2.5: Nhập và xuất của đơn vị số học và luận lý.

Đơn Vị Điều Khiển - CU

- ❖ Đơn vị điều khiển (CU) cũng là một phần của bộ xử lý, nó thực hiện lấy lệnh, giải mã lệnh, tạo các tín hiệu điều khiển bus và điều khiển đơn vị số học và luận lý.
- ❖ Để đơn vị điều khiển thực hiện các chức năng của nó, phải có tín hiệu nhập để cho phép nó xác định trạng thái của hệ thống và tín hiệu xuất để cho phép nó điều khiển hành vi của hệ thống.

Đơn Vị Điều Khiển



Hình 2.6: Sơ đồ khối của đơn vị điều khiển.

Các Phương Pháp Nâng Cao Khả Năng Hoạt Động Của CPU

- ❖ Để nâng cao khả năng hoạt động của bộ xử lý, chúng ta có thể sử dụng bốn phương pháp:
 - Tác động xung nhịp (*clock*) bên trong bộ xử lý.
 - Cơ chế đường ống.
 - Thực hiện lệnh song song.
 - Bộ nhớ cache.

Tác Động Của Clock Bên Trong CPU

- ❖ Tăng tần số clock trong CPU (*internal clock*) sẽ tăng tốc độ thực thi lệnh.
- ❖ Clock bên trong CPU được điều khiển bởi clock trên mainboard (*external clock*).
- ❖ Tần số internal clock là bội số của tần số external clock.

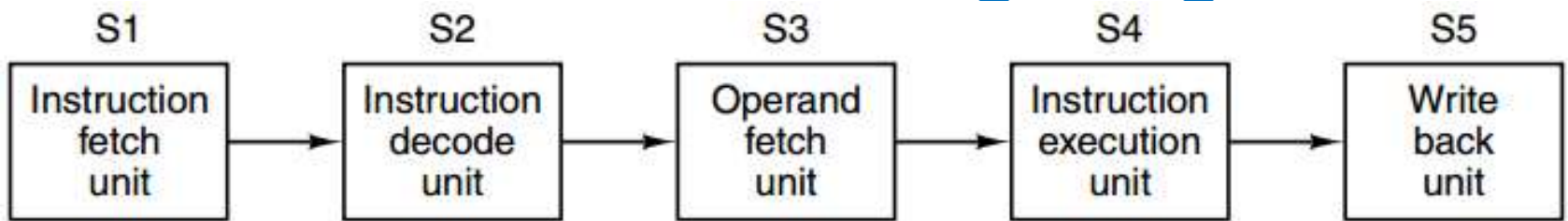
Cơ Chế Đường Ống

- ❖ Cơ chế đường ống (*pipelining*) là một kỹ thuật thực hiện các lệnh theo kiểu gói đầu nhằm tận dụng những khoảng thời gian rỗi giữa các công đoạn.
- ❖ Việc thực hiện lệnh được chia thành một số công đoạn và mỗi công đoạn được thực thi bởi một đơn vị chức năng khác nhau của bộ xử lý.
- ❖ Nhờ vậy bộ xử lý có thể tận dụng tối đa khả năng xử lý của các đơn vị chức năng của mình, giảm thời gian chờ đợi giữa các công đoạn. Kỹ thuật như sau:

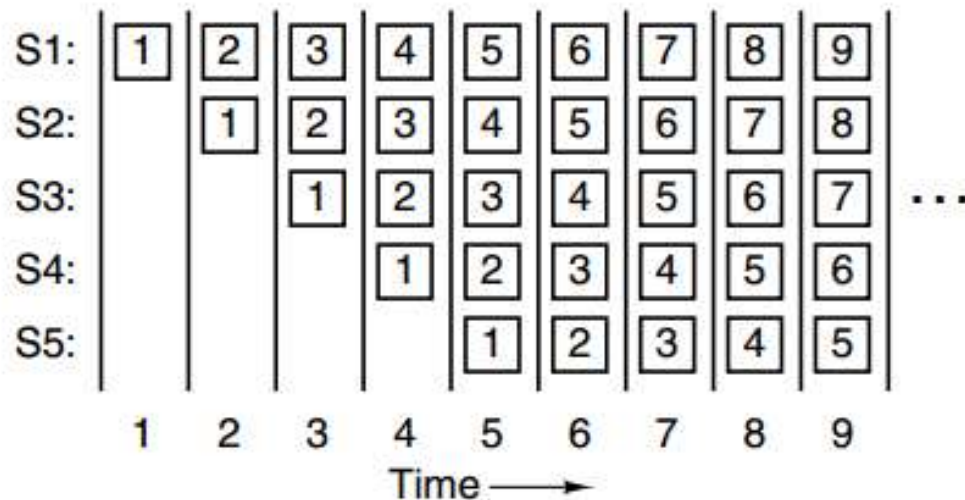
Cơ Chế Đường Ống

- Một lệnh được chia thành n phép xử lý nhỏ.
- Thực hiện lần lượt trong một đường ống n công đoạn.
- Quá trình xử lý lệnh đồng thời xảy ra trên mọi công đoạn.
- Xem Hình 2.7.

Cơ Chế Đường Ống



(a)



(b)

Hình 2.7: (a) Một đường ống có năm công đoạn. (b) Trạng thái của mỗi công đoạn như là một hàm thời gian. Có chín chu kỳ xung nhịp được thể hiện.

Cơ Chế Đường Ống

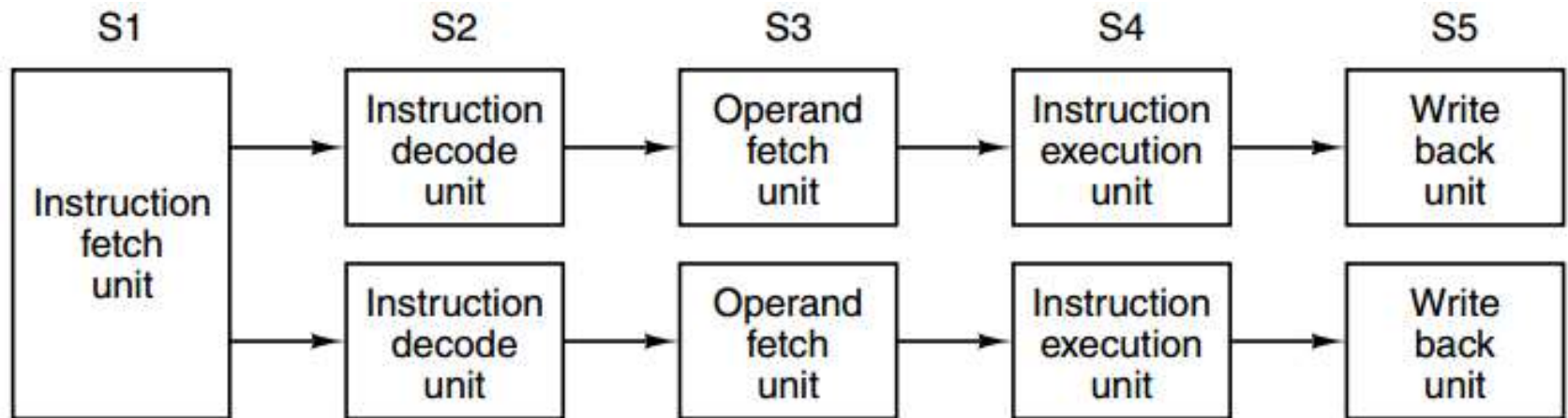
- ❖ Cơ chế đường ống giúp giảm thời gian trung bình thực hiện từng lệnh và tăng đáng kể hiệu suất xử lý lệnh của CPU. Tuy nhiên, cơ chế đường ống cũng gặp phải một số vấn đề làm giảm hiệu suất thực hiện lệnh. Nói chung, có ba vấn đề thường gặp với cơ chế đường ống:
 - Vấn đề xung đột tài nguyên (*resource conflict*).
 - Vấn đề tranh chấp dữ liệu (*data hazard*).
 - Vấn đề nảy sinh do các lệnh rẽ nhánh (*branch instruction*).

Cơ Chế Đường Ống

- ❖ Ứng với mỗi nhược điểm đều có cách khắc phục riêng. Ví dụ, đối với vấn đề nảy sinh do các lệnh rẽ nhánh, giải pháp là sử dụng đích rẽ nhánh (*branch targets*), làm chậm rẽ nhánh (*delayed branching*) và dự đoán rẽ nhánh (*branch prediction*).

Mở Rộng Cơ Chế Đường Ống

- ❖ Nếu một đường ống thực thi tốt thì hai đường ống chắc chắn sẽ tốt hơn.
- ❖ Một thiết kế có thể với bộ xử lý có đường ống kép, dựa vào Hình 2.7, thiết kế này chỉ ra trên Hình 2.8.



Hình 2.8: Hai đường ống có 5 công đoạn và dùng chung đơn vị lấy lệnh.

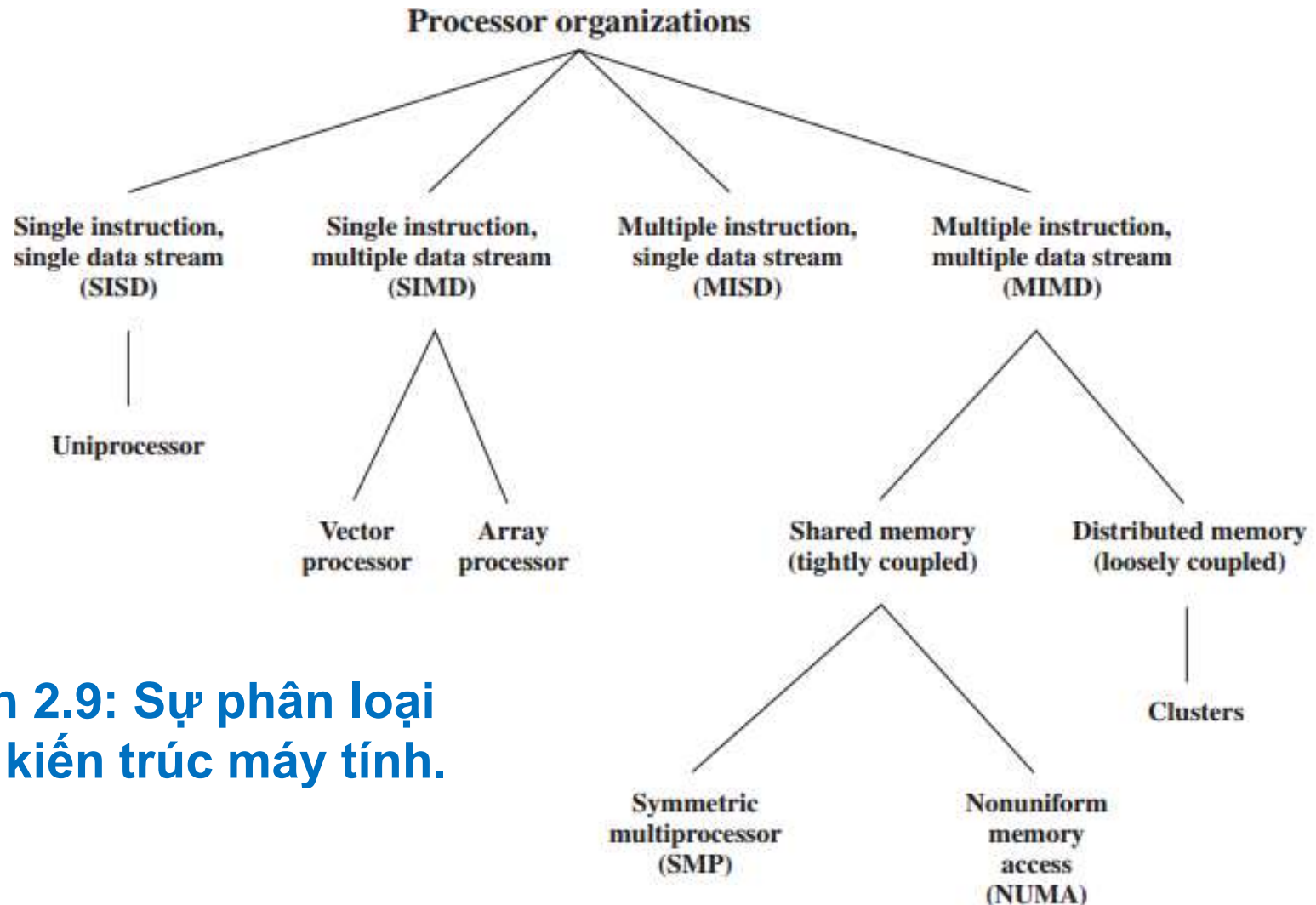
Phân Loại Hệ Thống Máy Tính Theo Michael Flynn

- ❖ Sự phân loại đầu tiên được giới thiệu bởi Michael Flynn vẫn còn là cách phổ biến nhất để phân loại khả năng xử lý song song của các hệ thống. Flynn đề xuất các loại hệ thống máy tính như sau:
 - SISD (*Single instruction, single data stream*) - máy tính một dòng lệnh, một dòng dữ liệu.
 - SIMD (*Single instruction, multiple data stream*) - máy tính một dòng lệnh, nhiều dòng dữ liệu.
 - MISD (*Multiple instruction, single data stream*) - Máy tính nhiều dòng lệnh, một dòng dữ liệu.

Phân Loại Theo Michael Flynn

- MIMD (Multiple instruction, multiple data stream) - máy tính nhiều dòng lệnh, nhiều dòng dữ liệu.
- ❖ Hình 2.9 cho thấy sơ đồ của sự phân loại hệ thống máy tính theo Flynn.

Phân Loại Theo Michael Flynn



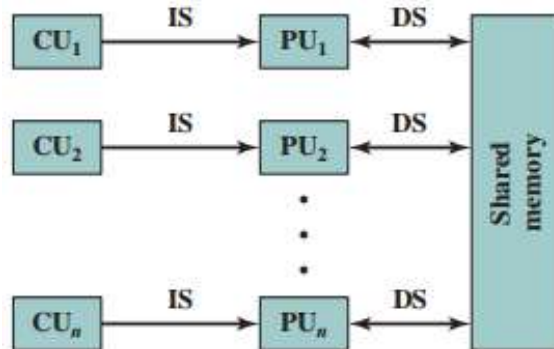
Hình 2.9: Sự phân loại các kiến trúc máy tính.

Phân Loại Theo Michael Flynn

❖ Hình 2.10 cho thấy cấu trúc của các phân loại của Flynn.

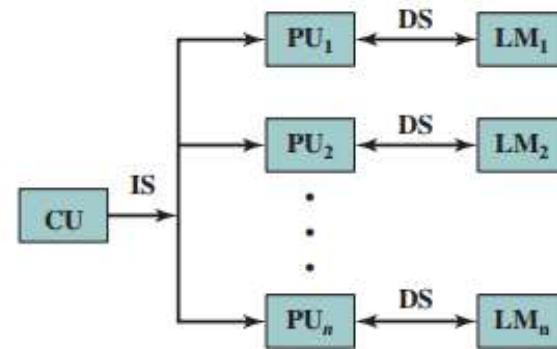


(a) SISD

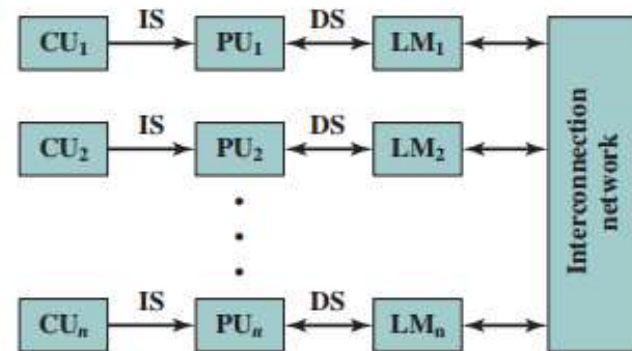


(c) MIMD (with shared memory)

CU = Control unit	SISD = Single instruction, single data stream
IS = Instruction stream	SIMD = Single instruction, multiple data stream
PU = Processing unit	MIMD = Multiple instruction, multiple data stream
DS = Data stream	
MU = Memory unit	
LM = Local memory	



(b) SIMD (with distributed memory)



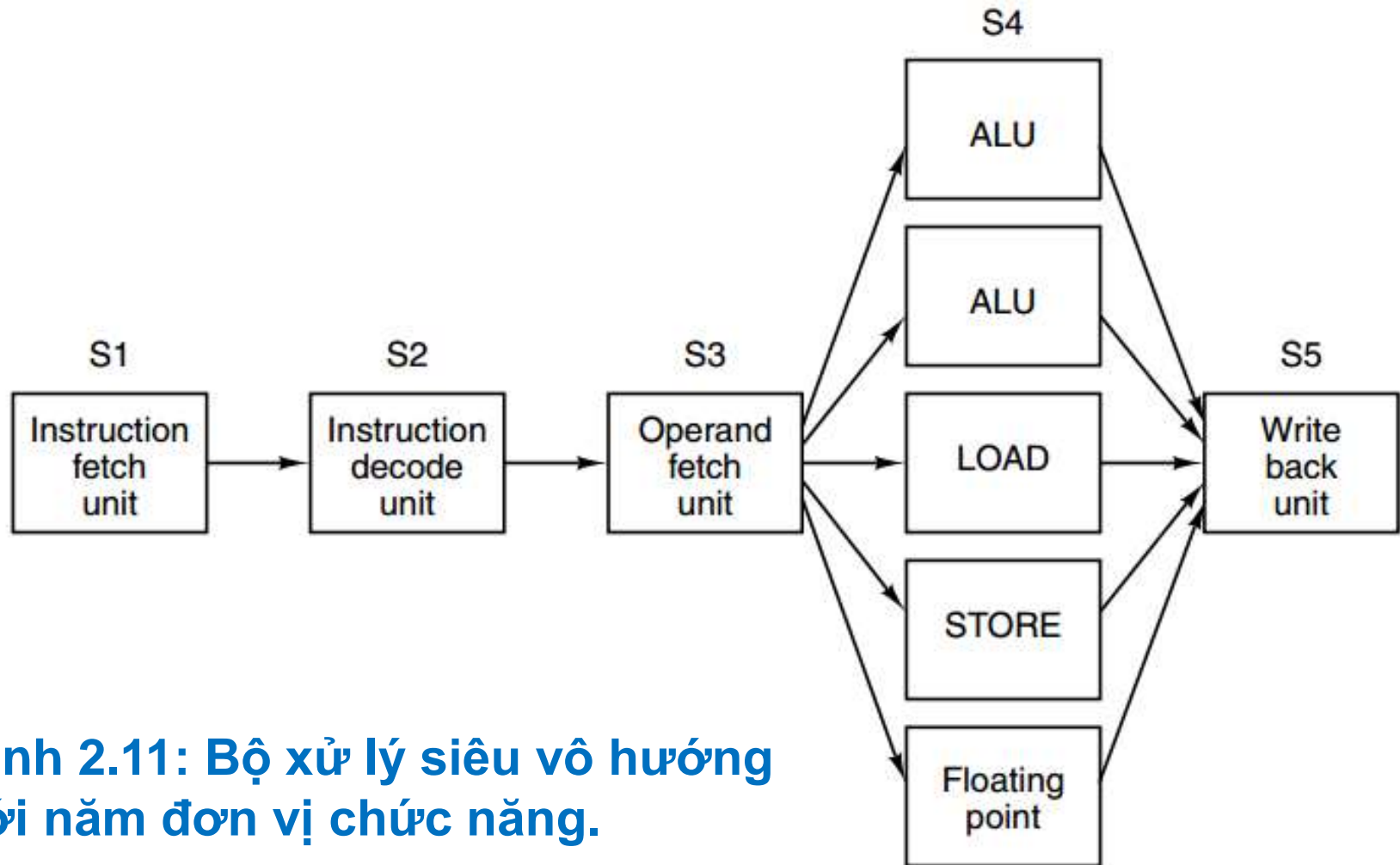
(d) MIMD (with distributed memory)

Hình 2.10: Các tổ chức máy tính.

Thực Hiện Lệnh Song Song

- ❖ Chúng ta có thể thực hiện cơ chế bốn đường ống, nhưng làm như thế có quá nhiều phần cứng giống nhau được sử dụng.
- ❖ Thay vào đó, cách tiếp cận khác được sử dụng trên các bộ xử lý tiên tiến (*high-end CPU*).
- ❖ Nền tảng của ý tưởng là chỉ có một đường ống (*pipeline*) nhưng trang bị nhiều đơn vị chức năng cho nó, như Hình 2.11.
- ❖ Kiến trúc Intel Core có cấu trúc tương tự như hình này. Đó là kiến trúc siêu vô hướng (*superscalar architecture*), nó sử dụng nhiều hơn một đơn vị số học và logic (ALU), vì thế có hơn một lệnh được thực hiện song song.

Thực Hiện Lệnh Song Song



Hình 2.11: Bộ xử lý siêu vô hướng với năm đơn vị chức năng.

Máy Tính Nhiều Bộ Xử Lý

- ❖ Bộ đa xử lý đối xứng (*Symmetric Multi-Processor - SMP*): SMP có thể được định nghĩa là một hệ thống máy tính độc lập cùng với các nét đặc trưng sau:
 - Có hai hay nhiều hơn bộ xử lý cùng loại.
 - Các bộ xử lý này chia sẻ cùng bộ nhớ chính và được kết nối với nhau. Thời gian truy xuất bộ nhớ của mỗi bộ xử lý xấp xỉ nhau.
 - Tất cả bộ xử lý chia sẻ truy xuất các thiết bị nhập/xuất.
 - Tất cả bộ xử lý có thể thực hiện cùng các chức năng (đối xứng – *symmetric*).

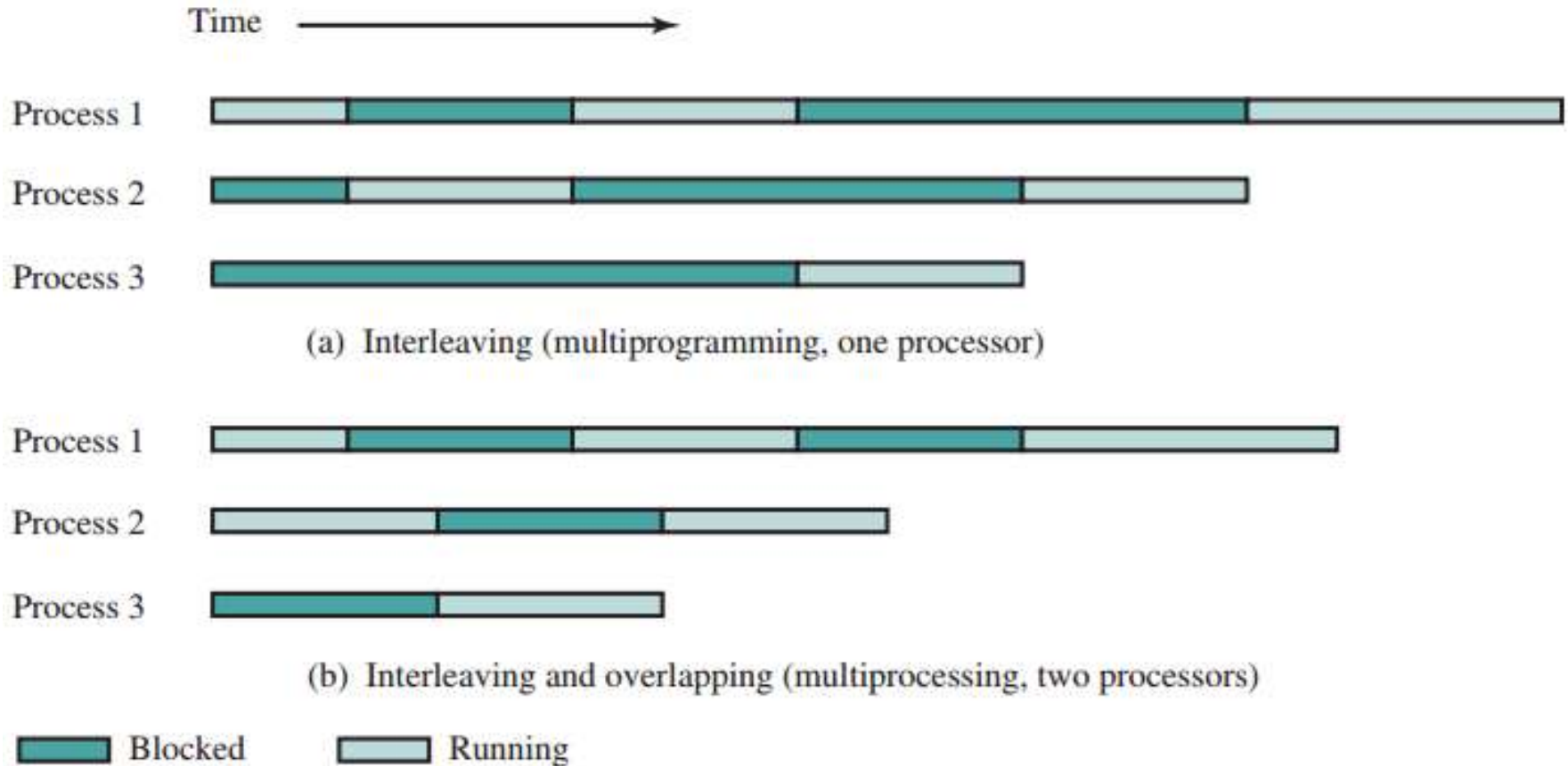
Máy Tính Nhiều Bộ Xử Lý

- Hệ thống được điều khiển bởi một hệ điều hành phân tán.
- ❖ Ưu điểm của SMP:
 - Hiệu năng: Nếu công việc được thực hiện bởi máy tính có thể tổ chức thành nhiều phần để thực hiện song song, thì một hệ thống với nhiều bộ xử lý sẽ mang lại hiệu năng lớn hơn hệ thống có một bộ xử lý cùng loại (Hình 2.12).
 - Tính sẵn dùng: Các bộ xử lý có thể thực hiện các chức năng giống nhau, vì vậy lỗi của một bộ xử lý sẽ không làm dừng hệ thống.

Máy Tính Nhiều Bộ Xử Lý

- Khả năng mở rộng: Người sử dụng có thể tăng hiệu năng của hệ thống bằng cách thêm bộ xử lý.
- Khả năng lựa chọn: Nhà cung cấp cho thể đưa ra nhiều loại hệ thống với giá cả và hiệu năng khác nhau dựa vào số bộ xử lý được tích hợp trong hệ thống.

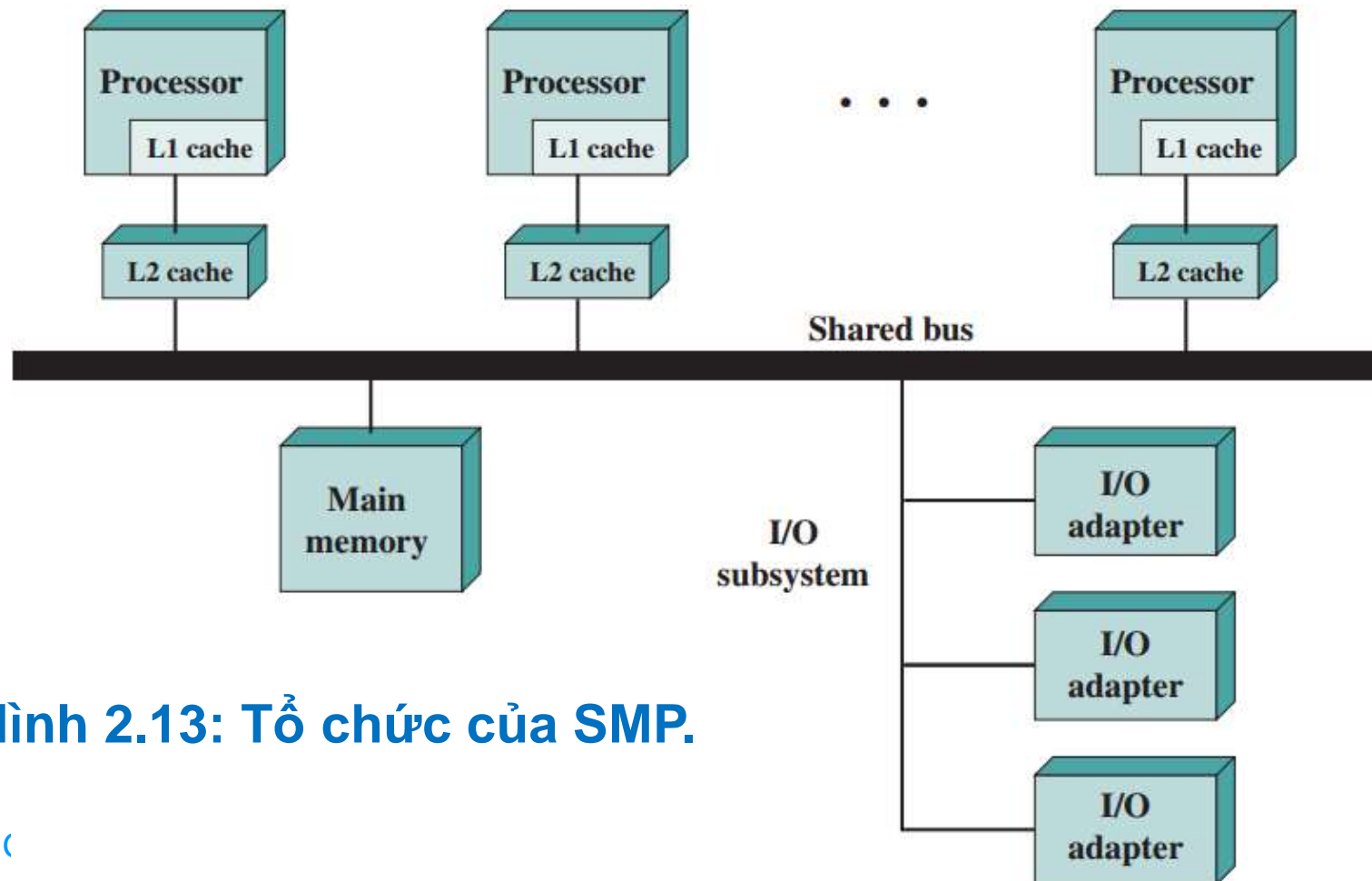
Máy Tính Nhiều Bộ Xử Lý



Hình 2.12: Đa chương và đa xử lý.

Máy Tính Nhiều Bộ Xử Lý

❖ Tổ chức của SMP: Hình 2.13 mô tả sự tổ chức của hệ thống đa xử lý đối xứng.

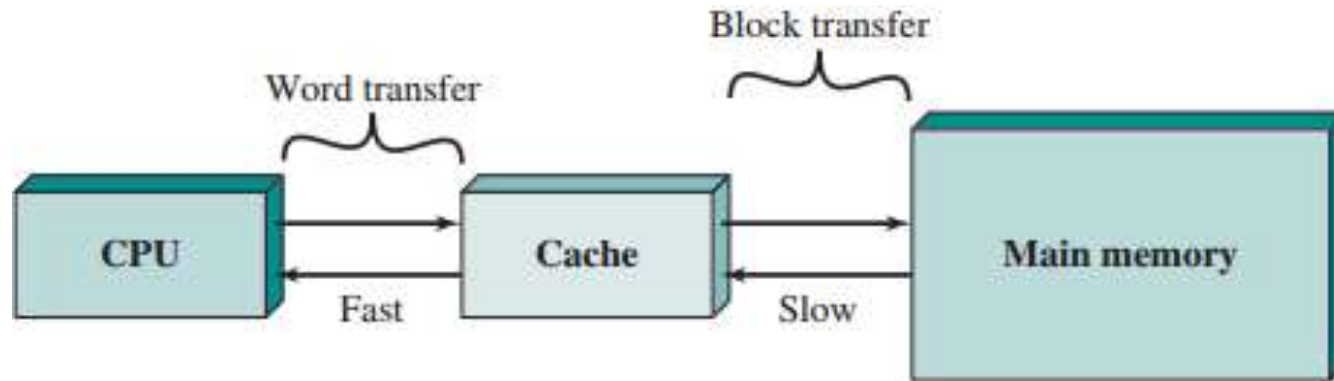


Hình 2.13: Tổ chức của SMP.

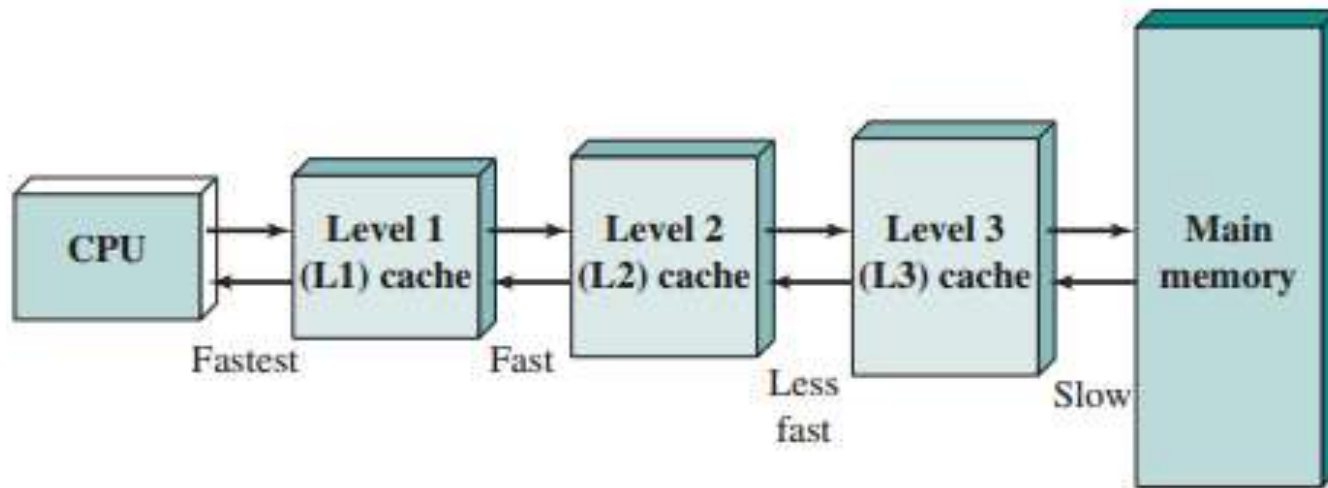
Bộ Nhớ Cache

- ❖ Bộ nhớ cache (bộ nhớ truy cập nhanh/bộ nhớ đệm) được thiết kế để kết hợp bộ nhớ có dung lượng nhỏ, tốc độ truy xuất nhanh, đắt tiền với bộ nhớ có dung lượng lớn, tốc độ truy xuất chậm, ít đắt tiền. Hình 2.14 (a).
- ❖ Hình 2.14 (b) mô tả việc sử dụng nhiều mức cache. Cache L2 thì chậm hơn và lớn hơn cache L1. Cache L3 thì chậm hơn và lớn hơn cache L2.

Bộ Nhớ Cache



(a) Single cache

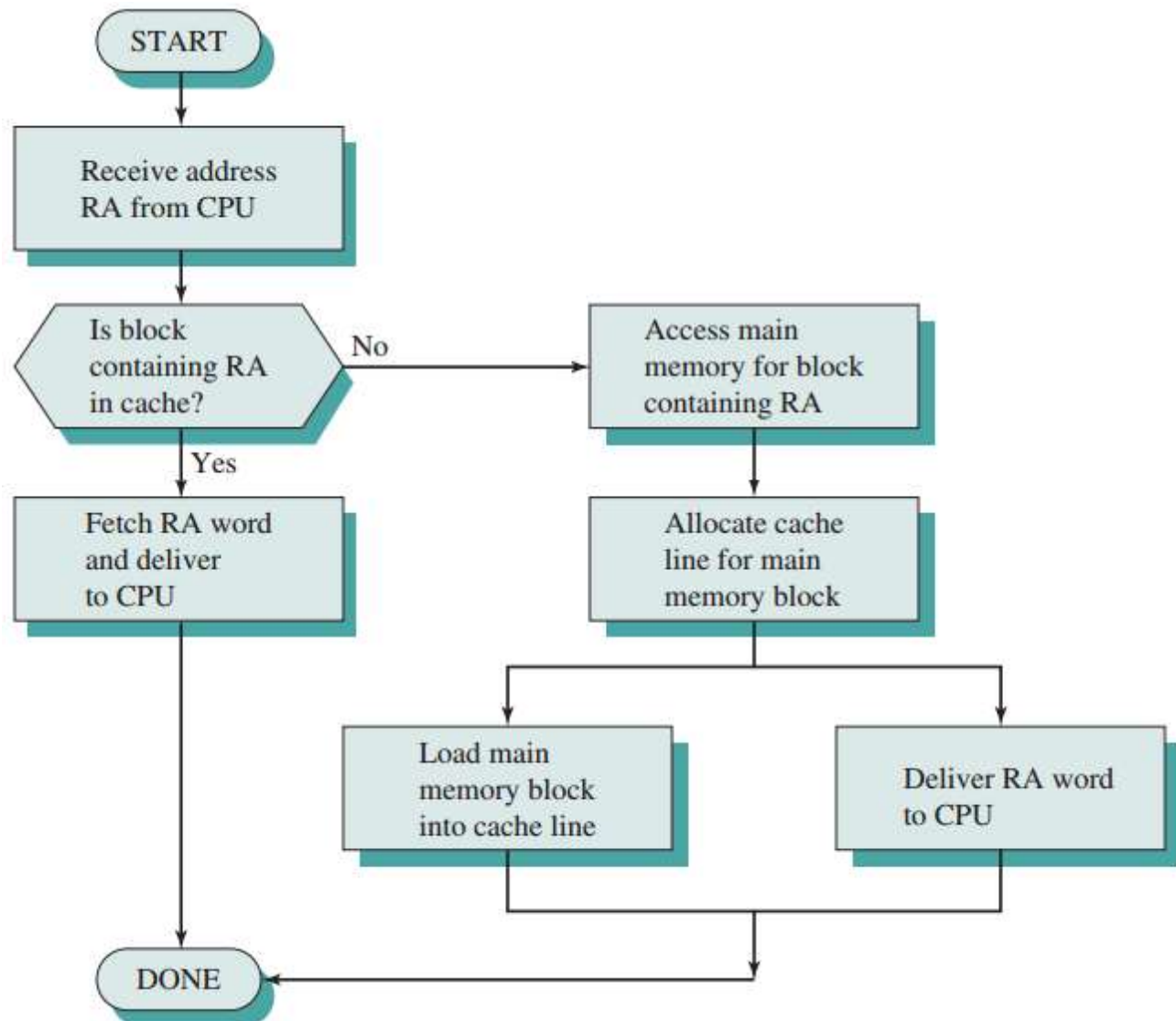


(b) Three-level cache organization

Bộ Nhớ Cache

- ❖ Hình 2.15 minh họa thao tác đọc. Bộ xử lý đưa ra địa chỉ đọc (*read address* - RA) của từ cần đọc. Nếu từ đó có chứa trong cache, nó sẽ được đưa đến bộ xử lý. Ngược lại, khối chứa từ đó được nạp vào cache và từ đó được đưa đến bộ xử lý.

Bộ Nhớ Cache



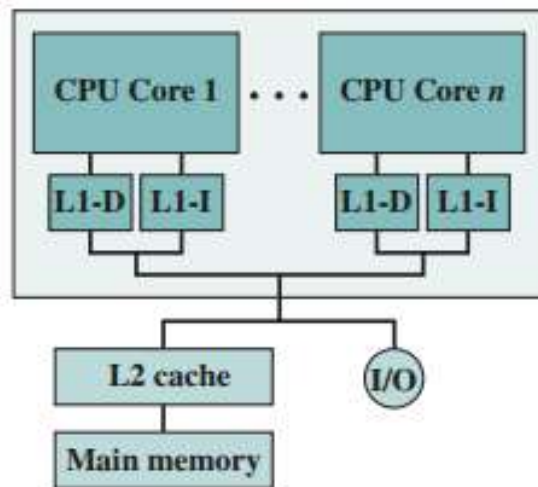
Hình 2.15:
Thao tác
đọc cache.

Ví Dụ Về Tổ Chức CPU Đa Nhân

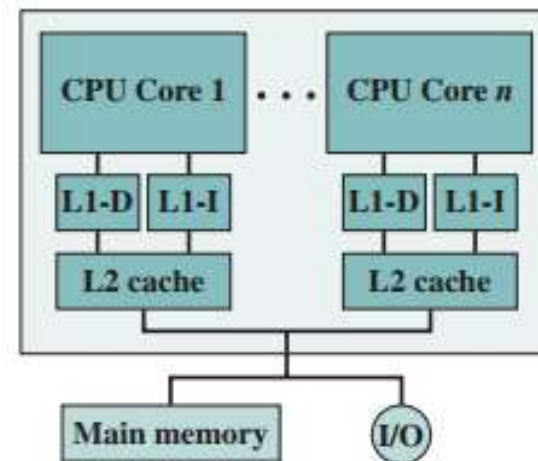
- ❖ Tổ chức đa nhân/đa lõi (*multicore organization*) bao gồm các yếu tố sau:
 - Số nhân/lõi bộ xử lý trên một chip.
 - Số mức của bộ nhớ cache.
 - Số lượng bộ nhớ cache dùng chung (được chia sẻ).
- ❖ Xem Hình 2.16.

Ví Dụ Về Tổ Chức CPU Đa Nhân

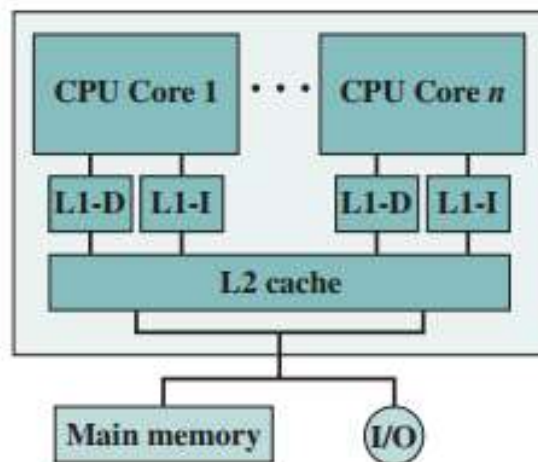
Hình 2.16:
Các tổ chức
đa nhân.



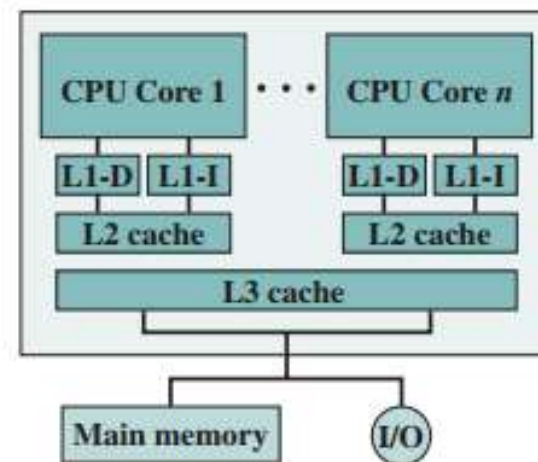
(a) Dedicated L1 cache



(b) Dedicated L2 cache



(c) Shared L2 cache



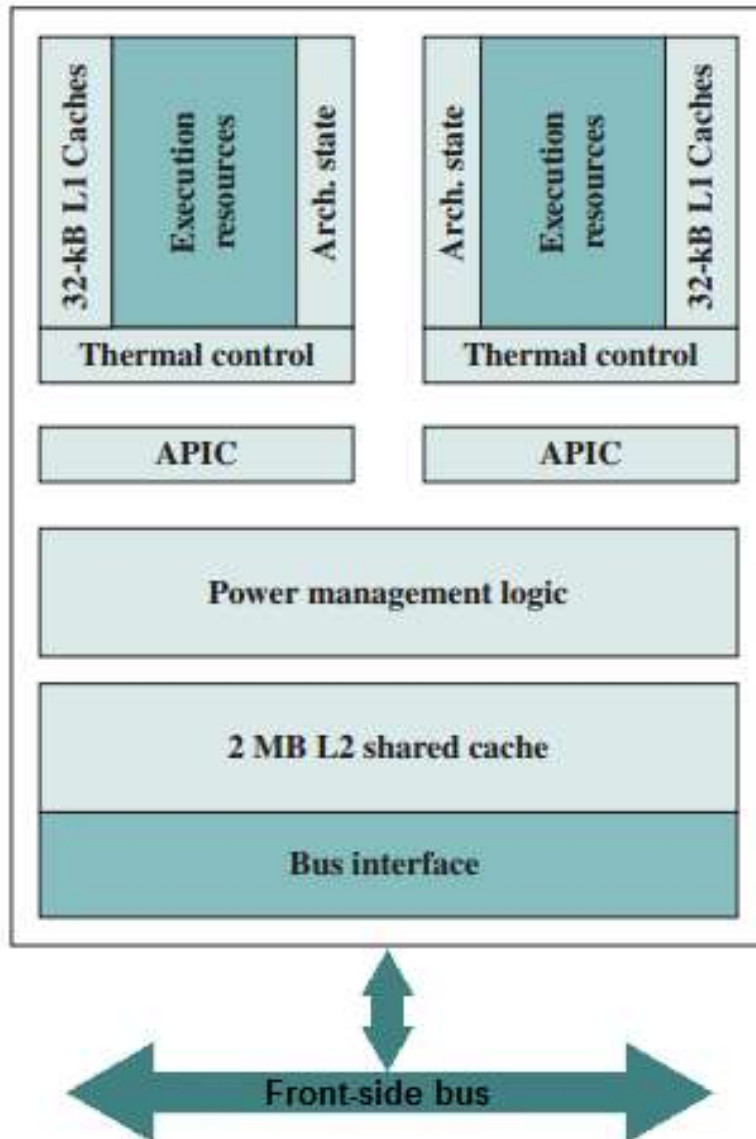
(d) Shared L3 cache

Intel Core Duo

- ❖ Intel Core Duo được giới thiệu vào năm 2006, có hai bộ xử lý siêu vô hướng x86 cùng với cache L2 dùng chung (Hình 2.16 c). Cấu trúc tổng quát của Intel Core Duo được cho thấy trong Hình 2.17.
- ❖ Mỗi nhân trong Intel Core Duo có cache L1 dùng riêng. Trong trường hợp này, mỗi nhân có 32 KB cache lệnh và 32 KB cache dữ liệu.

Intel Core Duo

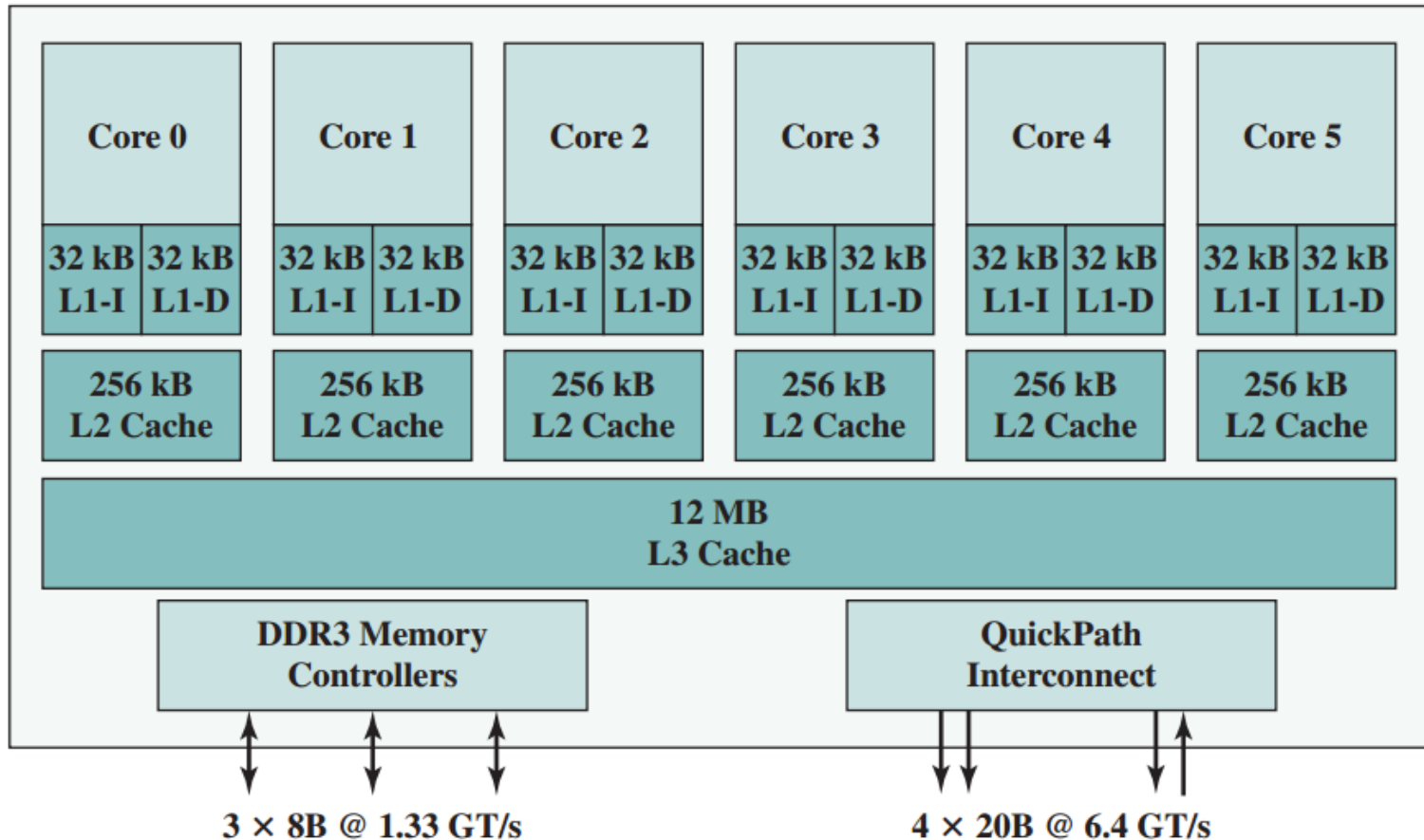
Hình 2.17: Sơ đồ khối của Intel Core Duo.



Intel Core i7-990X

- ❖ Intel Core i7-990X được giới thiệu vào 11/2008, nó có sáu bộ xử lý đa luồng đồng thời (*Simultaneous multithreading* - SMT) x86, mỗi bộ xử lý có cache L2 riêng và cache L3 dùng chung (Hình 2.16 d).
- ❖ Cấu trúc tổng quát của Intel Core i7-990X được cho thấy trên Hình 2.18.

Intel Core i7-990X



Hình 2.18: Sơ đồ khối của Intel Core i7-990X.

Câu Hỏi Và Bài Tập

1. Các vai trò chung được thực hiện bởi các thanh ghi là gì?
2. Hãy liệt kê các thanh ghi lập trình được?
3. Vai trò của mã điều kiện là gì?
4. a) Nếu phép toán cộng được thực hiện trên máy tính có từ nhớ là 8 bit với hai toán hạng là 00000010 và 00000011, giá trị gì được gán cho các cờ sau: Carry, Zero, Overflow, Sign, Parity, Half-carry.
b) Thực hiện lại cho hai toán hạng là -1 và 1.
5. Giống như câu 4) nhưng thực hiện phép toán $A - B$, trong đó $A = 11110000$ và $B = 00010100$.

Câu Hỏi Và Bài Tập

6. Giả sử đường ống có hai công đoạn: lấy lệnh (FI) và thực thi lệnh (EX). Hãy vẽ biểu đồ để cho thấy cần bao nhiêu đơn vị thời gian để thực hiện bốn lệnh.
7. Giả sử đường ống có bốn công đoạn: lấy lệnh (FI), giải mã và tính địa chỉ (DA), lấy toán hạng (FO) và thực thi lệnh (EX). Hãy vẽ biểu đồ để cho thấy cần bao nhiêu đơn vị thời gian để thực hiện bảy lệnh.
8. Liệt kê và tóm tắt định nghĩa của ba kiểu tổ chức hệ thống máy tính.
9. Các nét đặc trưng chính của bộ đa xử lý đối xứng (SMP) là gì?

Câu Hỏi Và Bài Tập

10. Một số ưu điểm của SMP so với bộ xử lý đơn là gì?