

LM5121/-Q1 Wide Input Synchronous Boost Controller

with Disconnection Switch Control

(단선 스위치 제어 기능이있는 LM5121 / -Q1 와이드 입력 동기식 부스트 컨트롤러)

1 Features

- AEC-Q100 다음 결과로 인증 :
 - Device 온도 등급 1 : $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
주변 작동 온도 범위
 - Device HBM ESD 분류 Level 2
 - Device CDM ESD 분류 Level C6
- 최대 입력 전압 : 65 V
- 최소 입력 전압 : 3.0 V (시동시 4.5 V)
- 최대 100V의 출력 전압
- Bypass ($V_{\text{OUT}} = V_{\text{IN}}$) 동작
- $\pm 1.0\%$ 정확도의 1.2V 기준 전압
- 최대 1MHz의 Free-Run/Synchronizable(동기화) 가능
- Peak 전류 모드 제어
- 견고한 통합 3-A 게이트 드라이버
- 옵션 다이오드 Emulation Mode
- 프로그래밍 가능한 Cycle-by-Cycle 전류 제한
- 프로그래밍 가능 라인 UVLO
- 프로그래밍 가능한 Soft-Start

- Thermal(열) Shutdown 보호
- Low Shutdown 대기 전류 : 9 μ A
- 프로그래밍 가능한 Slope(경사, 사면) 보정
- 프로그래밍 가능한 Skip Cycle Mode는 대기 전력을 감소시킨다.
- 외부 VCC Bias 전원 옵션 지원
- Shutdown Mode에서 부하 차단 (True Shutdown)
- 돌입 전류 제한
- Hiccup Mode Short Circuit(단락)/Overload(과부하) 보호
- 회로 차단기 기능
- 입력 과도 억제 기능 가능
- 역 배터리 보호 기능
- Thermally(열) 성능이 향상된 20 핀 HTSSOP

2. Applications

- 12V, 24V 및 48V 전원 시스템
- 자동차 시동-정지
- High Current Boost 전원 공급 장치
- 배터리 구동 시스템

3 설명

LM5121은 고효율, 고전력 boost regulator applications 용 synchronous(동기식) boost controller

입니다. 제어 방법은 peak 전류 모드 제어를 기반으로합니다. 전류 모드 제어는 고유의 라인 feed-forward, cycle-by-cycle 전류 제한 및 loop 보상의 용이성을 제공합니다.

switching frequency(스위칭 주파수)는 최대 1MHz까지 프로그래밍 할 수 있습니다. adaptive() deadtime 제어 기능을 갖춘 2 개의 견고한 N 채널 MOSFET gate driver사용하면 더 높은 효율을 얻을 수 있습니다. 사용자가 선택할 수있는 diode emulation 모드는 불연속 모드 동작을 가능하게하여 light load conditions(경부 하 조건? 경하 상태?)에서 향상된 효율을 제공합니다.

LM5121은 disconnection switch(단락 스위치) 제어 기능을 제공하여 출력 단락 또는 섯다운 조건에서 입력에서 출력을 완전히 차단합니다. start-up sequence 동안 돌입 전류는 disconnection(단전) 스위치 제어에 의해 제한됩니다.

내부 charge pump는 high-side 동기 스위치의 100 % duty cycle동작을 허용한다 (Bypass 동작). 추가 기능으로는 thermal(열) 섯다운, 주파수 동기화, hiccupmode 전류 제한 및 조정 가능한 라인 undervoltage(저전압) 차단 기능이 있다.

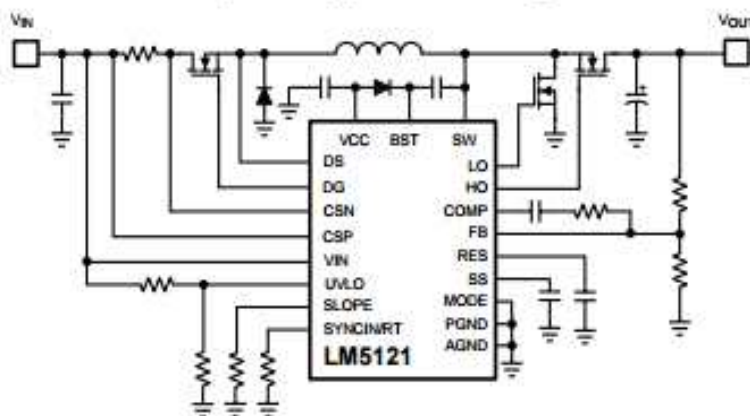
Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LM5121	HTSSOP (20)	6.50 mm x 4.40 mm
LM5121-Q1		

(1) For all available packages, see the orderable addendum at the end of the datasheet.

(1) 사용 가능한 모든 패키지는 데이터 시트 끝에 있는 주문 가능한 부록을 참조하십시오.

Simplified Application Diagram



목차	7 자세한 설명
1 기능	----- 12
----- 1	7.1 개요
2 응용 프로그램	----- 12
----- 1	7.2 기능 블록 다이어그램
3 설명	----- 12
----- 1	7.3 기능 설명
4 개정 내역	----- 13
----- 2	7.4 장치 기능 모드
5 핀 구성 및 기능	----- 21
----- 3	8 적용 및 구현
6 사양	----- 24
----- 4	8.1 신청 정보
6.1 절대 최대 정격	----- 24
----- 4	8.2 일반적인 적용
6.2 ESD 정격 : LM5121	----- 32
----- 5	9 전원 공급 장치 권장 사항
6.3 ESD 정격 : LM5121-Q1	----- 40
----- 5	10 레이아웃
6.4 권장 작동 조건	----- 40
----- 5	10.1 레이아웃 가이드 라인
6.5 열 정보	----- 40
----- 5	10.2 레이아웃 예제
6.6 전기적 특성	----- 40
6	11 장치 및 설명서 지원
6.7 일반적인 특성	----- 41
----- 9	11.1 관련 링크
	----- 41

11.2 설명서 업데이트 통지 받기

----- 41

11.3 지역 사회 자원

----- 41

11.4 상표

----- 41

11.5 정전기 방전주의

----- 41

11.6 용어집

----- 41

12 기계, 포장 및 주문 가능

정보

----- 41

4 개정 내역

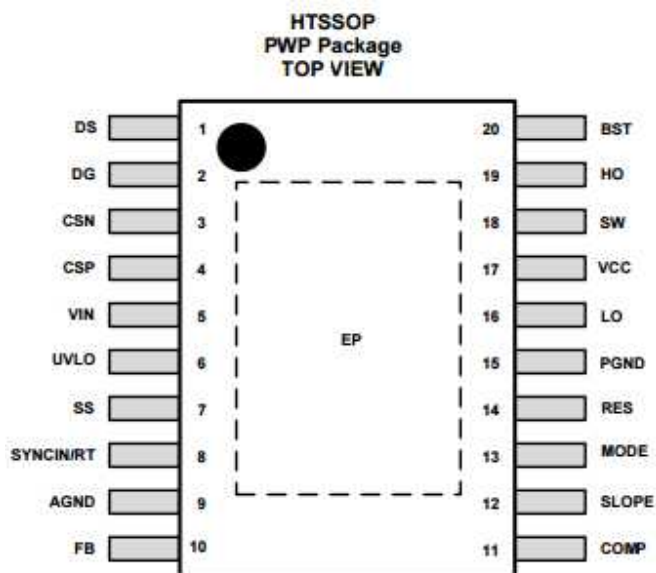
버전 B (2014 년 12 월)에서 개정 C로 변경됨

- 자동차 ESD 기능 추가 ----- 1
- 변경된 방정식 ----- 20

버전 A (2013 년 9 월)에서 버전 B로 변경

- 핀 구성 및 기능 섹션, Handling Rating table(처리 등급 테이블), Feature Description section(기능 설명 섹션), Device Functional Modes(장치 기능 모드), Application 및 Implementation section(구현 섹션), Power Supply Recommendations section(전원 공급 장치 권장 사항 섹션), Layout section(레이아웃 섹션), Device and Documentation Support section(장치 및 설명서 지원 섹션), Mechanical(기계) 및 Packaging(패키징) 및 Orderable Informationsection(주문 정보 섹션 추가)

5 핀 구성 및 기능



PIN		I/O ⁽¹⁾	DESCRIPTION
NAME	NO.		
AGND	9	G	Analog ground 연결. 내부 전압 reference 및 아날로그 회로에 대한 리턴.
BST	20	P/I	bootstrap gate drive 에 대한 High-side driver supply(전원). external bootstrap diode(외부 bootstrap 다이오드)의 음극과 bootstrap capacitor에 연결하십시오. bootstrap capacitor는 highside N-channel MOSFET 게이트를 충전하기 위해 전류를 공급하며 컨트롤러에 최대한 가깝게 배치해야한다. 내부 BST charge pump는 bypass 동작을 위해 bootstrap capacitor에 200 μ A 전류를 공급한다.
COMP	11	O	내부 오류 증폭기의 출력. loop compensation network(루프 보상 네트워크)는 이 핀과 FB 핀 사이에 연결되어야한다.
CSN	3	I	전류 감지 증폭기의 입력을 반전합니다. 전류 감지 저항의 negative-side(음극 측)에 연결하십시오.
CSP	4	I	전류 감지 증폭기의 Non-inverting input(비 반전 입력). 전류 감지 저항의 positive-side(양극 측)에 연결하십시오.
DG	2	O	Disconnection switch(단선 스위치) 제어 핀. N-channel MOSFET disconnection switch(단선 스위치)의 게이트 단자에 연결하십시오.
DS	1	I/O	N-channel MOSFET 단선 스위치의 소스 연결. 단선 스위치의 source terminal(소스 단자), freewheeling diode의 cathode terminal(캐소드 단자) 및 boost inductor의 전원 입력에 연결하십시오.
EP	EP	N/A	패키지의 노출 된 패드. 내부 전기 연결이 없습니다. thermal(열) 저항을 줄이기 위해 large ground plane(큰 접지면)에 납땜해야합니다.

FB	10	I	Feedback. 내부 오류 증폭기의 입력 반전. 출력에서 이 핀까지의 저항 분배기는 출력 전압 레벨을 설정한다. FB 핀의 regulation 임계 값은 1.2V이다.
HO	19	O	High-side N-channel MOSFET 게이트 드라이브 출력. low inductance path(짧은 인덕턴스 경로)를 통해 high-side synchronous(동기) N-channel MOSFET 스위치의 게이트에 연결하십시오.
LO	16	O	Low-side N-channel MOSFET 게이트 드라이브 출력. 짧은 inductance path(인덕턴스 경로)를 통해 low-side N-channel MOSFET 스위치의 게이트에 연결하십시오.
MODE	13	I	Switching mode 선택 핀. 내부 700k Ω pull-up 및 100k Ω pull-down 저항은 MODE 핀을 기본값으로 0.15V로 유지합니다. pull-up 또는 pull-down 저항을 추가함으로써 MODE 핀 전압을 프로그래밍 할 수 있다. MODE 핀 전압이 1.2V보다 높은 경우, diode emulation mode 임계 값, 강제 PWM 모드가 활성화되어 high-side N-channel MOSFET 스위치를 통해 전류가 어느 방향으로든 흐르게 한다. MODE 핀전압이 1.2V보다 낮으면 컨트롤러는 diode emulation mode로 작동합니다. Skip cycle comparator(비교기)는 MODE 핀이 floating 상태 일 때 기본 조건으로 활성화됩니다. MODE 핀이 접지되면 컨트롤러는 여전히 diode emulation mode에서 작동하지만 정상 작동 시 Skip cycle comparator가 trigger되지 않으므로 light load(경부하)에서 pulse skipping operation(동작)이 가능하다.
PGND	15	G	low-side N-channel MOSFET 게이트 드라이버의 전원 접지 연결 핀. low-side N-channel MOSFET 스위치의 소스 터미널에 직접 연결
RES	14	O	hiccup mode를 off-time으로 구성하고 과부하 상태 및 hiccup mode 단락 보호 동안 재시작 지연을 구성하는 외부 커패시터의 재시작 타이머 핀. hiccup mode 작동이 필요하지 않을 때 AGND에 직접 연결하십시오.
SLOPE	12	I	Slope compensation(사면 보정?보상?)은 SLOPE와 AGND 사이의 외부 저항에 의해 프로그래밍된다.
SS	7	I	Soft-start programming pin. 외부 커패시터와 내부 10 μ A 전류 소스는 soft-start 중에 내부 오류 증폭기 reference의 ramp rate (램프 속도)를 설정한다.
SW	18	I/O	boost regulator의 Switching node. bootstrap capacitor,high-side N-channel MOSFET 스위치의 source terminal 및 low-side N-channel MOSFET 스위치의 drain terminal을 low inductance paths(짧은 인덕턴스 경로)를 통해 연결하십시오.
SYNCIN/RT	8	I	내부 oscillator frequency(주파수)는 RT와 AGND 사이의 외부 저항에 의해 프로그래밍된다. 내부 oscillator는 이 핀에 양의 펄스 신호를 인가하여 외부 clock에 동기화 할 수있다. 권장되는 최대 내부 oscillator 주파수는 2MHz이며 최대 switching 주파수는 1MHz입니다.

UVLO	6	I	Undervoltage lockout programming pin(저전압 잠금 핀) UVLO 핀이 0.4V 미만이면 regulator는 shutdown mode에 있고 모든 기능은 disabled 상태이다. UVLO 핀 전압이 0.4V보다 크고 1.2V보다 낮으면 regulator는 대기 모드에 있으며 VCC regulator가 작동하고 HO 및 LO 출력에서 스위칭되지 않는다. UVLO 핀 전압이 1.2V 이상이면 시동 절차가 시작된다. UVLO 핀에서 10 μ A의 전류 소스는 UVLO가 1.2V를 초과 할 때 enabled되고 *hysteresis를 제공하기 위해 외부 UVLO 저항을 통해 흐른다. UVLO 핀은 floating 상태로 두어서는 안됩니다
VCC	17	P/I/O	VCC bias 공급 핀. 컨트롤러에 가능한 한 가까이 위치한 낮은 ESR/ESL capacitor를 사용하여 PGND로 국부적으로 decouple한다. (*decouple(연관 관계에 있는 돌을)분리시키다)
VIN	5	P/I	VCC regulator 를 위한 전원 입력 소스. short, low impedance paths (짧은 커패시턴스 경로)로 입력 커패시터 및 소스 전원 공급 장치 연결부에 연결하십시오.

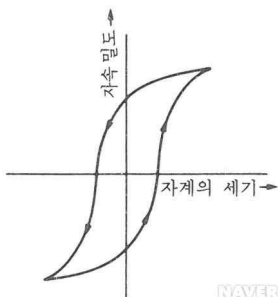
*경부하 [light-load] - 전부하보다도 작은 부하를 말한다.

*사용 금지의 [disabled]

금지의 인터럽트가 발생하지 못하도록 하는 중앙 처리 장치의 제어 상태.

*히스테리시스[hysteresis]

- ① 철심을 자화하는 경우에, 자계의 세기를 증가해 갈 때의 자속 밀도의 변화를 나타내는 곡선과 자계의 세기를 감소해 갈 때의 자속 밀도의 변화를 나타내는 곡선과는 일치하지 않고, 그림과 같이 다른 경로를 통하기 때문에 고리 모양의 곡선이 된다. 이러한 현상을 히스테리시스라 하고, 이 고리 모양의 곡선을 히스테리시스 루프라 한다. 이 곡선의 모양은 자성 재료와 종류에 따라 다르다.
- ② 위의 경우를 포함하여 일반적으로 같은 이력을 반복하는 현상을 말한다. 유전체에서의 전계의 세기와 전속 밀도의 관계에도 같은 현상이 있다.



6 Specifications

6.1 Absolute Maximum Ratings(절대 최대 정격) ⁽¹⁾

작동 대기 온도 범위 (별도의 언급이 없는 한)

		MIN	MAX	UNIT
Input	VIN, CSP, CSN	-0.3	75	V
	BST to SW, FB, MODE, UVLO, VCC ⁽²⁾	-0.3	15	
	SW	-5.0	105	
	BST	-0.3	115	
	SS, SLOPE, SYNCIN/RT	-0.3	7	
	CSP to CSN, PGND	-0.3	0.3	
Output ⁽³⁾	DG to DS	-3.0	18	
	DG to VIN	-75	15	
	DS	-3.0	75	
	HO to SW	-0.3	BST to SW+0.3	
	LO	-0.3	VCC+0.3	
	COMP, RES	-0.3	7	
Thermal	Junction Temperature	-40	150	°C
T _{stg}	Storage temperature range	-55	150	°C

(1) 절대 최대 정격에 나열된 내용 이외의 Stresses는 장치에 영구적인 손상을 줄 수 있습니다. 이는 스트레스 등급으로, 권장 작동 조건에 명시된 조건 이외의 다른 조건에서의 장치의 기능 작동은 함축되어 있지 않습니다. 장기간 절대 최대 정격 조건(absolute-maximum-rate)에 노출되면 장치의 신뢰성에 영향을 줄 수 있습니다. 달리 명시하지 않는 한 모든 전압은 AGND 핀을 기준으로 합니다.

(2) 입력 전원 전압이 VCC 전압보다 낮으면 응용 정보를 참조하십시오.

(3) 모든 출력 핀은 외부 전압이 인가되도록 지정되어 있지 않습니다.

6.2 ESD Ratings(평가): LM5121

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2	kV
		Charged device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1	

V_(ESD) Electrostatic discharge(정전기 방전)

Human body model (HBM), per ANSI/ESDA/JEDEC JS-001(1)

VALUE : ±2 UNIT : kV

Charged device model (CDM), per JEDEC specification JESD22-C101 kV(2)

VALUE : ±1 UNIT : kV

(1) JEDEC 문서 JEP155에 따르면 500-V HBM은 표준 ESD 제어 프로세스로 안전하게 제조 할 수 있다고 명시하고 있습니다.

(2) JEDEC 문서 JEP157은 250V CDM이 표준 ESD 제어 프로세스로 안전하게 조작 할 수 있다고 명시하고 있습니다.

6.3 ESD Ratings: LM5121-Q1

				VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 ⁽¹⁾		±2	kV
		Charged device model (CDM), per AEC Q100-011	Corner pins	±1	
			Other pins		

(1) AEC Q100-002는 HBM stress가 ANSI / ESDA / JEDEC JS-001 사양에 따라 수행되었음을 나타냅니다.

6.4 권장 작동 조건 ⁽¹⁾

작동 대기 온도 범위 (별도의 언급이 없는 한)

		MIN	NOM	MAX	UNIT
Input supply voltage ⁽²⁾	VIN	4.5		65	V
Disconnection switch voltage ⁽²⁾	DG, DS	3.0		65	
Low-side driver bias voltage	VCC			14	
High-side driver bias voltage	BST to SW	3.8		14	
Current sense common mode range ⁽²⁾	CSP, CSN	3.0		65	
Switch node voltage	SW			100	°C
Junction temperature	T _J	−40		125	

(1) 권장 작동 조건은 장치의 작동이 의도된 조건이지만 특정 성능 제한을 보장하지는 않습니다.

(2) 최소 VIN 동작 전압은 항상 4.5V입니다. VIN 전압이 사용 가능한 외부 소스로부터 공급된다고 가정하면, 최소 입력 전원 전압은 시동 후 3.0V가 될 수 있습니다.

6.5 Thermal Information

THERMAL METRIC ⁽¹⁾		LM5121, LM5121-Q1	UNIT
		PWP (HTSSOP)	
		20 PINS	
R _{θJA}	Junction-to-ambient thermal resistance (Typ.)	40	°C/W
R _{θJC(bot)}	Junction-to-case (bot) thermal resistance (Typ.)	4	°C/W

R_{θJA} 접합부 - 대기 간 열 저항 (Typ.)

R_{θJC(bot)} 접합부 - 케이스 (bot) 열 저항 (Typ.)

(1) 기존 thermal metrics 및 새로운 thermal metrics에 대한 자세한 내용은 IC 패키지 Thermal Metrics application report SPRA953을 참조하십시오.

6.6 Electrical Characteristics(전기적 특성)

달리 명시되지 않는 한이 사양은

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$, $V_{\text{VIN}} = 12\text{ V}$,

$V_{\text{VCC}} = 8.3\text{ V}$, $R_T = 20\text{ k}\Omega$,

LO 및 HO에 부하가 없을 때 적용된다. 일반적인 값은 $T_J = 25^{\circ}\text{C}$ 에서 가장 가능성 있는 parametric 표준을 나타내며 참조용으로만 제공됩니다.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
VIN SUPPLY						
IShutdown	VIN shutdown current	VUVLO = 0 V		9	17	μA
IBIAS	VIN operating current (exclude the current into RT resistor)	VUVLO = 2 V, non-switching		4	5	mA
VCC REGULATOR						
VCC(REG)	VCC regulation	No load	6.9	7.6	8.3	V
	VCC dropout (VIN to VCC)	VVIN = 4.5 V, no external load			0.25	
		VVIN = 4.5 V, IVCC = 25 mA		0.28	0.5	
	VCC sourcing current limit	VVCC = 0 V	50	62		mA
IVCC	VCC operating current (exclude the current into RT resistor)	VVCC = 8.3 V		3.5	5	
		VVCC = 12 V		4.5	8	
	VCC undervoltage threshold	VCC rising, VVIN = 4.5 V	3.9	4.0	4.1	V
		VCC falling, VVIN = 4.5 V			3.7	
	VCC undervoltage hysteresis			0.385		
UNDERVOLTAGE LOCKOUT						
	UVLO threshold	UVLO rising	1.17	1.20	1.23	V
	UVLO hysteresis current	VUVLO = 1.4 V	7	10	13	μA
	UVLO standby threshold	UVLO rising	0.3	0.4	0.5	V
	UVLO standby hysteresis			0.1	0.125	
MODE						
	Diode emulation mode threshold	MODE rising	1.20	1.24	1.28	V
	Diode emulation mode hysteresis			0.1		
	Default MODE voltage		145	155	170	mV
	Default skip cycle threshold	COMP rising, measured at COMP		1.290		V
		COMP falling, measured at COMP		1.245		
	Skip cycle hysteresis	Measured at COMP		40		mV
ERROR AMPLIFIER						
VREF	FB reference voltage	Measured at FB, VFB= VCOMP	1.188	1.200	1.212	V
	FB input bias current	VFB= VREF		5		nA
VOH	COMP output high voltage	ISOURCE = 2 mA, VVCC = 4.5 V	2.75			V
		ISOURCE = 2 mA, VVCC = 12 V	3.40			
VOL	COMP output low voltage	ISINK = 2 mA			0.25	
AOL	DC gain			80		dB
fBW	Unity gain bandwidth			3		MHz
OSCILLATOR						
fSW1	Switching frequency 1	RT = 20 kΩ	400	450	500	kHz
fSW2	Switching frequency 2	RT = 10 kΩ	775	875	975	
	RT output voltage			1.2		V
	RT sync rising threshold	RT rising		2.5	2.9	
	RT sync falling threshold	RT falling	1.6	2.0		
	Minimum sync pulse width		100			
DISCONNECTION SWITCH CONTROL						
IDIS-SOURCE	DG current source	UVLO = 2 V, Sourcing		25		uA
IDIS-SINK	DG current sink	Inrush Control, Sinking		67		

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
	DG discharge switch R_{DS-ON}	Circuit Breaker		38		Ω
	DG charge pump regulation	DG to VIN, No load, $V_{VIN} = 4.5\text{ V}$	9.5	10.5	11.5	V
		DG to VIN, No load, $V_{VIN} = 12\text{ V}$			12.5	
V_{GS-DET}	V_{GS} detection threshold	DG to DS, Rising, $V_{VIN} = 12\text{ V}$	4.0	5.4	6.5	
	V_{GS} detection hysteresis			0.2		
	Transconductance gain	CSP to CSN to I_{DG}		12		$\mu\text{A/mV}$
SLOPE COMPENSATION						
	SLOPE output voltage		1.17	1.20	1.23	V
V_{SLOPE}	Slope compensation amplitude	$R_{SLOPE} = 20\text{ k}\Omega$, $f_{SW} = 100\text{ kHz}$, 50% duty cycle, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.375	1.650	1.925	
		$R_{SLOPE} = 20\text{ k}\Omega$, $f_{SW} = 100\text{ kHz}$, 50% duty cycle, $T_J = 25^\circ\text{C}$	1.400	1.650	1.900	
SOFT-START						
$I_{SS-SOURCE}$	SS current source	$V_{SS} = 0\text{ V}$	7.5	10	12	μA
	SS discharge switch R_{DS-ON}			13		Ω
PWM COMPARATOR						
t_{LO-OFF}	Forced LO off-time	$V_{VCC} = 5.5\text{ V}$		420	550	ns
		$V_{VCC} = 4.5\text{ V}$		360	500	
t_{ON-MIN}	Minimum LO on-time	$R_{SLOPE} = 20\text{ k}\Omega$		150		
		$R_{SLOPE} = 200\text{ k}\Omega$		300		
	COMP to PWM voltage drop	$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.95	1.10	1.25	V
		$T_J = 25^\circ\text{C}$	1.00	1.10	1.20	
CURRENT SENSE / CYCLE-BY-CYCLE CURRENT LIMIT						
V_{CS-TH1}	Cycle-by-cycle current limit threshold	CSP to CSN, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	65.5	75.0	87.5	mV
		CSP to CSN, $T_J = 25^\circ\text{C}$	67.0	75.0	86.0	
		$V_{CS-TH2} - V_{CS-TH1}$		5		
V_{CS-TH2}	Inrush current limit threshold	CSP to CSN	80	110	133	
V_{CS-TH3}	Circuit breaker enable threshold	CSP to CSN, Rising	143	160	170	
		$V_{CS-TH3} - V_{CS-TH2}$		20		
V_{CS-TH4}	Circuit breaker disable threshold	CSP to CSN, Falling	4.0	11.5	16.0	
V_{CS-ZCD}	Zero cross detection threshold	CSP to CSN, Rising		7		
		CSP to CSN, Falling	0.3	6	12	
	Current sense amplifier gain			10		V/V
I_{CSP}	CSP input bias current			12		μA
I_{CSN}	CSN input bias current			11		
	Bias current matching	I_{CSP} to I_{CSN}	-1.75	1	3.75	
	CS to LO delay	Current sense / current limit delay		150		ns
HICCUP MODE RESTART						
V_{RES}	Restart threshold	RES rising	1.15	1.20	1.25	V
$V_{HCP-UPPER}$	Hiccup counter upper threshold	RES rising		4.2		
		RES rising, $V_{VIN} = V_{VCC} = 4.5\text{ V}$		3.6		
$V_{HCP-LOWER}$	Hiccup counter lower threshold	RES falling		2.15		
		RES falling, $V_{VIN} = V_{VCC} = 4.5\text{ V}$		1.85		

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{RES-SOURCE1}	RES current source1	Fault-state charging current	20	30	40	μA
I _{RES-SINK1}	RES current sink1	Normal-state discharging current		5		
I _{RES-SOURCE2}	RES current source2	Hiccup mode off-time charging current		10		
I _{RES-SINK2}	RES current sink2	Hiccup mode off-time discharging current		5		
	Hiccup cycle			8		Cycles
	RES discharge switch R _{DS-ON}			40		Ω
	Ratio of hiccup mode off-time to restart delay time			122		
HO GATE DRIVER						
V _{OHH}	HO high-state voltage drop	I _{HO} = −100 mA, V _{OHH} = V _{BST} − V _{HO}		0.15	0.24	V
V _{OLH}	HO low-state voltage drop	I _{HO} = 100 mA, V _{OLH} = V _{HO} − V _{SW}		0.1	0.18	
	HO rise time (10% to 90%)	C _{LOAD} = 4700 pF, V _{BST} = 12 V		25		ns
	HO fall time (90% to 10%)	C _{LOAD} = 4700 pF, V _{BST} = 12 V		20		
I _{OHH}	Peak HO source current	V _{HO} = 0 V, V _{SW} = 0 V, V _{BST} = 4.5 V		0.8		A
		V _{HO} = 0 V, V _{SW} = 0 V, V _{BST} = 7.6 V		1.9		
I _{OLH}	Peak HO sink current	V _{HO} = V _{BST} = 4.5 V		1.9		
		V _{HO} = V _{BST} = 7.6 V		3.2		
I _{BST}	BST charge pump sourcing current	V _{VIN} = V _{SW} = 9.0 V, V _{BST} − V _{SW} = 5.0 V	90	200		μA
	BST charge pump regulation	BST to SW, I _{BST} = −70 μA, V _{VIN} = V _{SW} = 9.0 V	5.3	6.2	6.75	V
		BST to SW, I _{BST} = −70 μA, V _{VIN} = V _{SW} = 12 V	7	8.5	9	
	BST to SW undervoltage		2.0	3.0	3.5	
	BST DC bias current	V _{BST} − V _{SW} = 12 V, V _{SW} = 0 V		30	45	μA
LO GATE DRIVER						
V _{OHL}	LO high-state voltage drop	I _{LO} = −100 mA, V _{OHL} = V _{VCC} − V _{LO}		0.15	0.25	V
V _{OLL}	LO low-state voltage drop	I _{LO} = 100 mA, V _{OLL} = V _{LO}		0.1	0.17	
	LO rise time (10% to 90%)	C _{LOAD} = 4700 pF		25		ns
	LO fall time (90% to 10%)	C _{LOAD} = 4700 pF		20		
I _{OHL}	Peak LO source current	V _{LO} = 0 V, V _{VCC} = 4.5 V		0.8		A
		V _{LO} = 0 V		2.0		
I _{OLL}	Peak LO sink current	V _{LO} = V _{VCC} = 4.5 V		1.8		
		V _{LO} = V _{VCC}		3.2		
SWITCHING CHARACTERISTICS						
t _{OLH}	LO fall to HO rise delay	No load, 50% to 50%	50	80	115	ns
t _{OHL}	HO fall to LO rise delay	No load, 50% to 50%	60	80	105	
THERMAL						
T _{SD}	Thermal shutdown	Temperature rising		165		°C
	Thermal shutdown hysteresis			25		

6.7 Typical Characteristics(일반적인 특성)

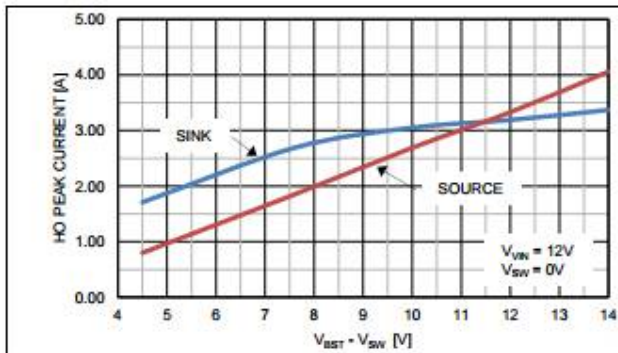


Figure 1. HO Peak Current vs $V_{BST} - V_{SW}$

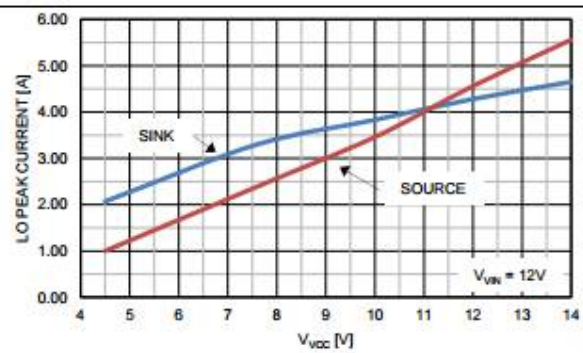


Figure 2. LO Peak Current vs V_{VCC}

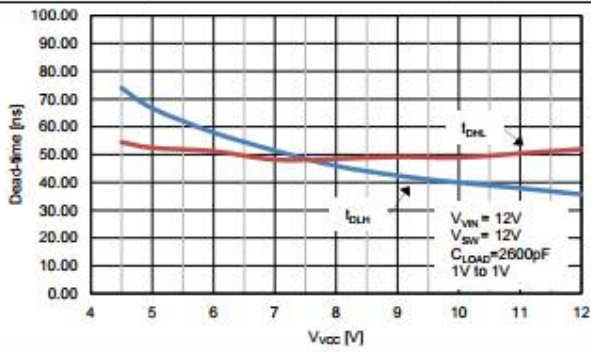


Figure 3. Dead Time vs V_{VCC}

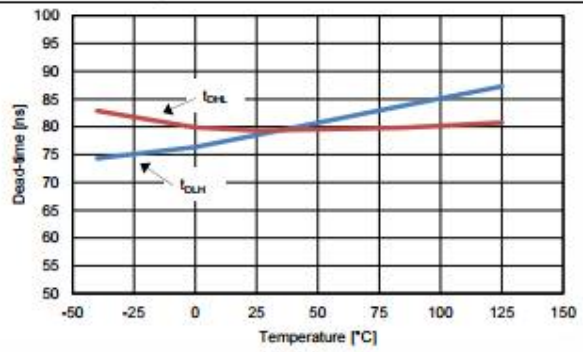


Figure 4. Dead Time vs Temperature

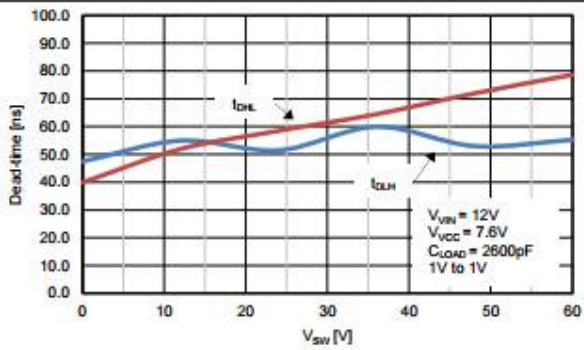


Figure 5. Dead Time vs V_{SW}

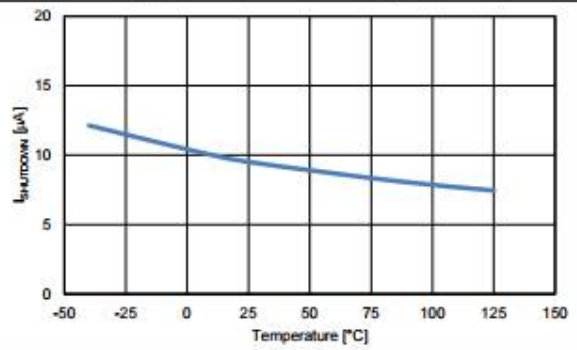


Figure 6. $I_{SHUTDOWN}$ vs Temperature

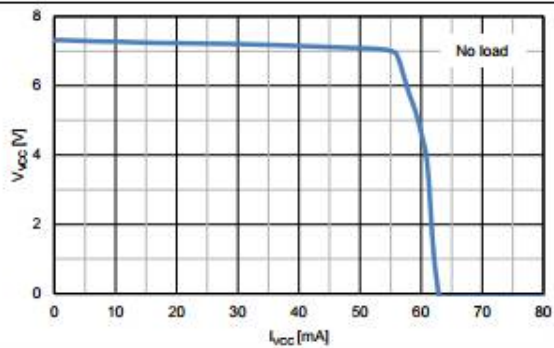


Figure 7. V_{VCC} vs I_{VCC}

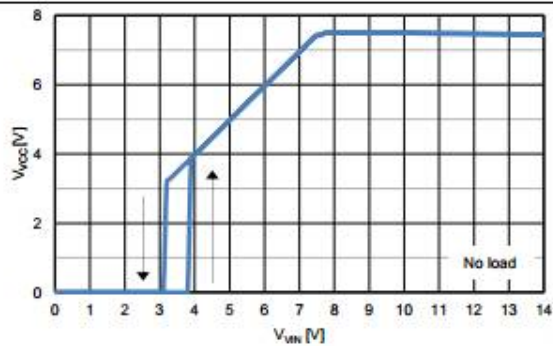


Figure 8. V_{VCC} vs V_{VIN}

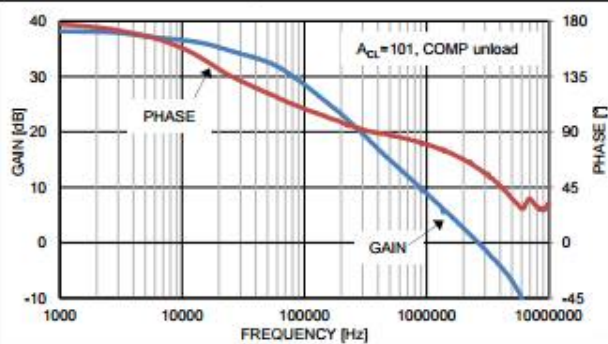


Figure 9. Error Amp Gain and Phase vs Frequency

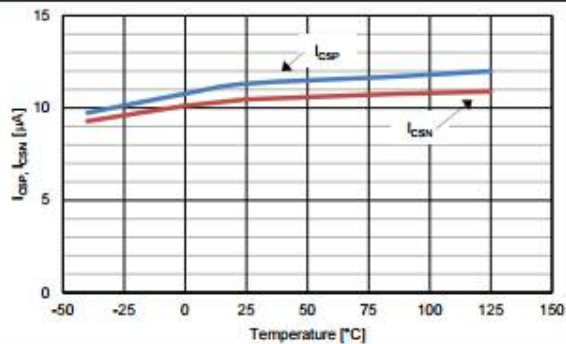


Figure 10. I_{CSP} , I_{CSN} vs Temperature

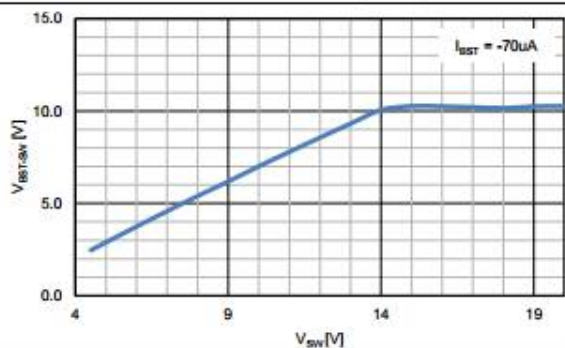


Figure 11. V_{BST-SW} vs V_{SW}

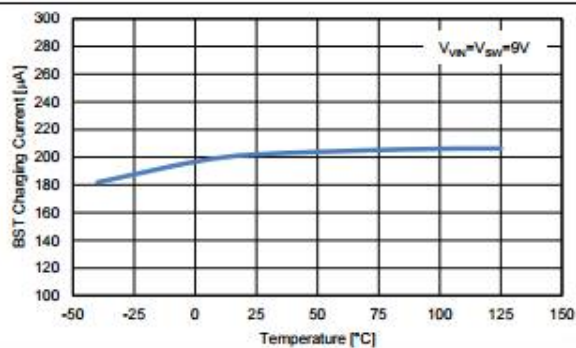


Figure 12. I_{BST} vs Temperature

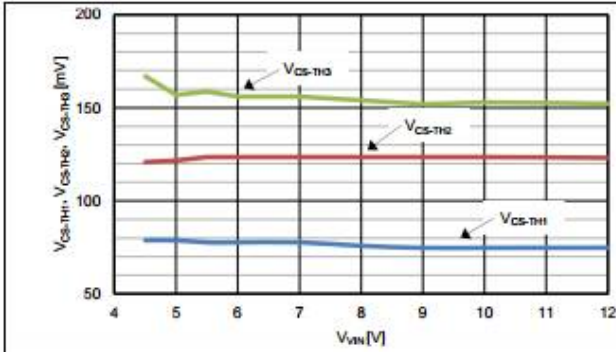


Figure 13. V_{CS-TH1} , V_{CS-TH2} , V_{CS-TH3} vs V_{IN}

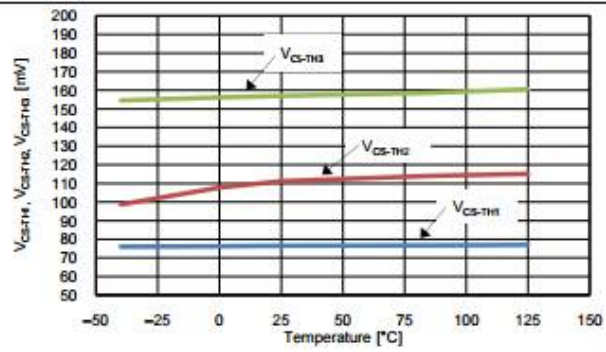


Figure 14. V_{CS-TH1} , V_{CS-TH2} , V_{CS-TH3} vs Temperature

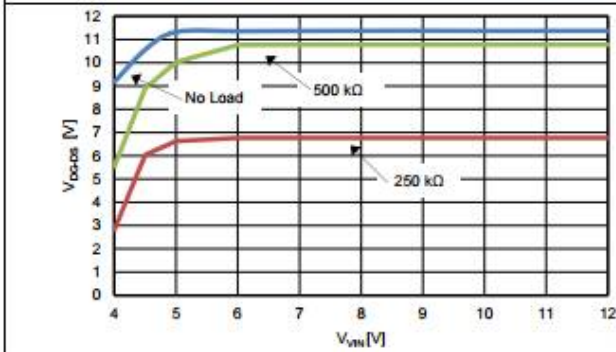


Figure 15. V_{DG-DS} vs V_{IN}

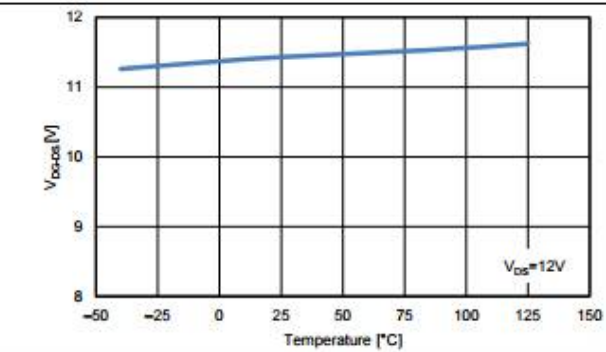


Figure 16. V_{DG-DS} vs Temperature

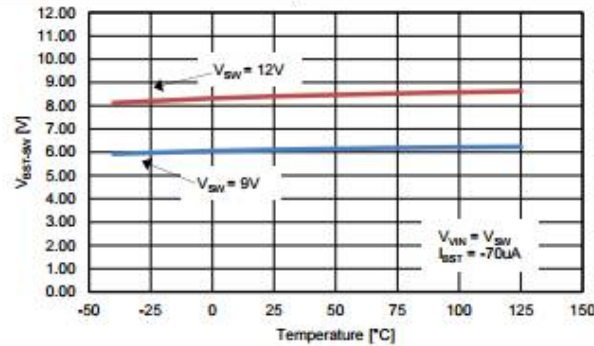


Figure 17. V_{BST-SW} vs Temperature

7 Detailed Description(자세한 설명)

7.1 Overview(개요)

LM5121의 wide input range(넓은 입력 범위) synchronous(동기식) boost controller는 highly efficient synchronous(고효율 동기식) boost regulator를 구현하는 데 필요한 모든 기능을 갖추고 있다. regulator 제어 방법은 피크 전류 모드 제어를 기반으로 한다. 피크 전류 모드 제어는 고유한 line feed-forward 및 loop compensation의 용이성을 제공합니다. 이 highly integrated(고도로 융합된) 컨트롤러는 adaptive(적응 할 수 있는) dead-time control 기능이 있는 강력한 high-side and low-side N-channel MOSFET 드라이버를 제공한다. 스위칭 주파수는 단일 저항으로 설정되거나 외부 클럭에 동기화 된 최대 1MHz까지 사용자 프로그래밍이 가능하다.

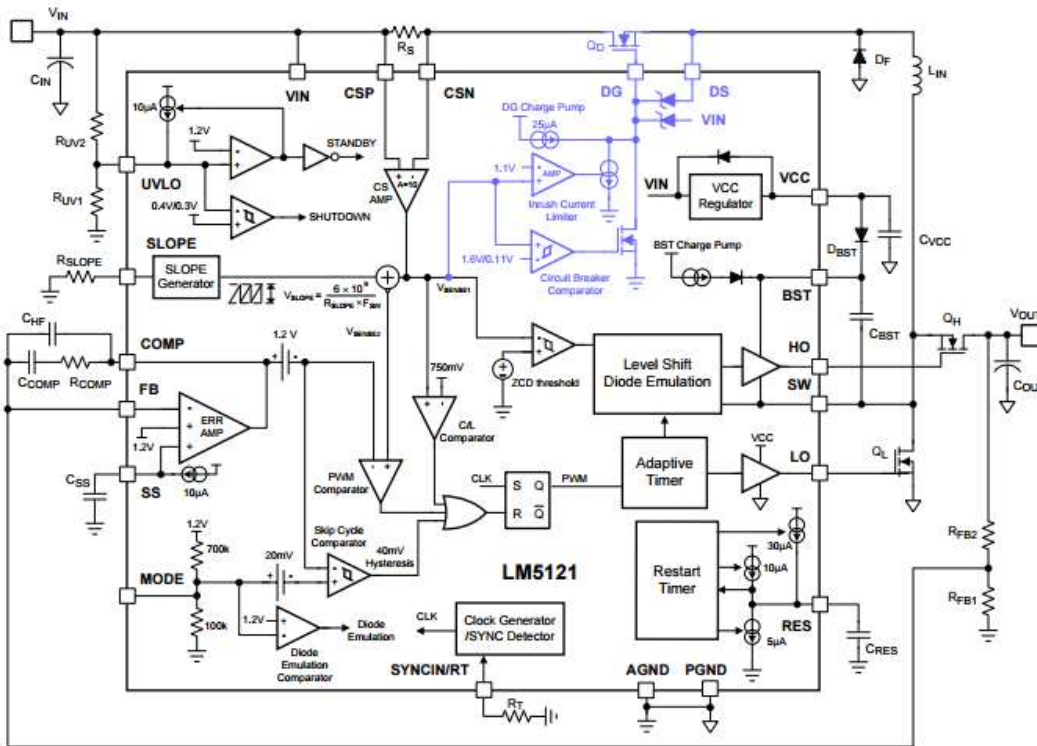
high-side synchronous switch의 제어 모드는 강제 PWM (FPWM) 또는 diode emulation mode로 구성 할 수

있습니다. Fault protection features(오류 보호 기능)에는 cycle-by-cycle 전류 제한, hiccup mode 과부하 보호, hiccup mode 단락 회로 보호, thermal shutdown 및 UVLO 핀을 끌어내어 remote shutdown 기능이 포함된다. UVLO 입력은 입력 전압이 사용자가 선택한 임계값에 도달 할 때 컨트롤러를 활성화하고, low로 낮출 때 9μA의 shutdown 대기 전류를 제공한다. LM5121의 독창적인 분리 스위치 제어 기능은 추가로 많은 이점을 제공합니다.

True Shutdown 기능은 입력에서 부하를 차단하여 shutdown 모드에서 누설 전류 경로를 차단한다. Inrush current control(돌입 전류 제어)는 출력 커패시터의 초기 충전 시 입력 전류를 제한합니다. 회로 차단기 기능은 단절 스위치를 신속하게 차단하여 심각한 과전류 상태를 종결시킵니다. Hiccup 모드 단락 회로 보호 기능은 장시간 출력 단락 상태에서 전력 손실을 최소화합니다. 입력 과전압 억제제 분리 MOSFET 게이트 핀에서 접지로 제너 다이오드를 연결하여 수행 할 수 있습니다. 이 소자는 방열을 돕기 위해 노출 패드가 있는 20 핀 HTSSOP 패키지로 제공됩니다.

*돌입 전류 [rush current, inrush current]

선로, 변압기, 전동기, 콘덴서 등의 회로의 개폐기를 투입했을 때 볼 수 있듯이, 순간적으로 증가하지만 즉시 정상상태로 복귀되는 과도전류를 말한다.



7.3 Feature Description (기능 설명)

7.3.1 Undervoltage Lockout (UVLO) (저전압 차단)

LM5121은 dual level UVLO 회로를 갖추고 있다. UVLO 핀 전압이 0.4V UVLO 대기 임계 값보다 작으면 LM5121은

입력 파형에 직류분을 가하고, 파형의 밑 부분 또는 꼭지 부분을 소정의 정전압 값에 일치시키는 것. 밑 부분을 0V 에 일치시키는 것을 + (또는 정)클램프, 꼭지 부분을 0V 에 일치시키는 것을 - (또는 부)클램프라고 한다.

$$(1) \quad R_{UV2} = \frac{V_{HYS}}{10\mu A}[\Omega]$$

$$(1) \quad R_{UV1} = \frac{1.2 \times R_{UV2}}{V_{IN (STARTUP)} - 1.2V}[\Omega]$$

(2) 어디에

- VHYS는 원하는 UVLO hysteresis입니다.
- VIN (STARTUP)은 전원을 켜는 동안 원하는 regulator의 시동 전압입니다.

turn-off 동안의 일반적인 shutdown 전압은 다음과 같이 계산할 수 있습니다.

$$(3) \quad V_{N (SHUTDOWN)} = V_{N (STARTUP)} - V_{HYS}[V]$$

7.3.2 High Voltage VCC Regulator (고전압 VCC 규칙)

LM5121에는 컨트롤러 및 N 채널 MOSFET 드라이버를 위한 일반적인 7.6V VCC 바이어스 전원을 제공하는 내부 고전압 regulator가 내장되어있다. VCC regulator의 입력 인 VIN은 65V의 높은 전압 소스에 연결될 수 있다. VCC regulator는 UVLO 핀 전압이 0.4V보다 클 때 켜진다. 입력 전압이 VCC setpoint level보다 낮으면 VCC 출력은 작은 전압 강하로 VIN을 추적한다. VCC regulator의 출력은 최소 50mA에서 전류 제한이 있다.

기능 설명

power-up 시 VCC regulator는 VCC 핀에 연결된 capacitor에 전류를 공급한다. VCC capacitor의 권장 범위는 1.0μF ~ 47μF이며 CBST 값의 10 배 이상인 것이 좋습니다. VIN 전압이 6V 미만에서 작동 할 때 VCC capacitor값은 4.7μF 이상이어야합니다.

LM5121 디바이스의 내부 전력 손실은 외부 전원으로 VCC를 공급함으로써 감소시킬 수 있다. 외부 VCC bias 전원이 존재하고 전압이 9V 이상 14.5V 이하인 경우 그림 19와 같이 외부 VCC 바이어스 전원을 다이오드를 통해 직접 VCC 핀에 인가 할 수 있다.

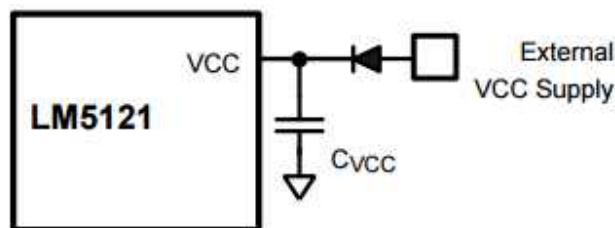


Figure 19. External Bias Supply when 9 V < V_{EXT} < 14.5 V

그림 20은 boost inductor에 추가 권선을 사용하여 VCC bias 전압을 유도하는 방법이다. 이 회로는 내부 VCC regulator를 차단하기 위해 VCC 전압을 VCC regulation 전압보다 높게 설계해야 한다.

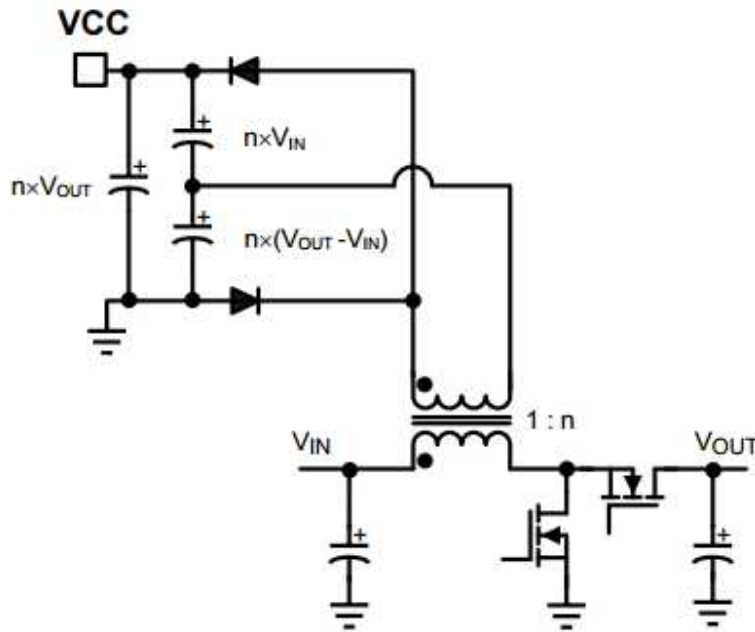


Figure 20. External Bias Supply using Transformer

VCC regulator series pass transistor 그림 21에서 보듯이 VCC와 VIN 사이에 다이오드를 포함하고 있으며 정상 동작 시 순방향 bias되지 않아야한다. 외부 VCC bias supply의 전압이 VIN 핀 전압보다 큰 경우, 외부 bias 전원이 VCC를 통해 입력 supply로 전류를 통과하지 못하도록 외부 전원 차단 장치가 입력 전원 공급 장치에서 VIN 핀까지 필요하다. VCC가 외부 bias 전원에 의해 공급 될 때 모든 애플리케이션에 대해 blocking diode의 필요성을 평가해야한다. 입력 전원 전압이 4.5V보다 낮으면 외부 VCC 전원을 사용해야하며 external blocking diode(외부 차단 다이오드)가 필요합니다.

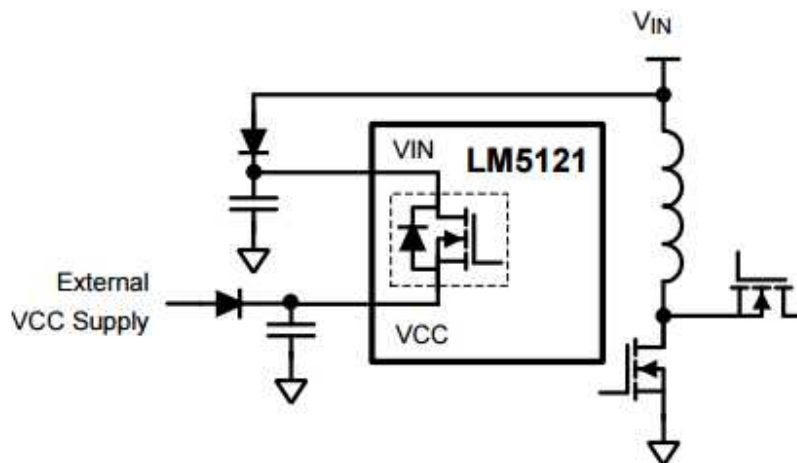


Figure 21. VIN Configuration when $V_{VIN} < V_{VCC}$

7.3.3 Oscillator

LM5121 switching frequency는 RT 핀과 AGND 핀 사이에 연결된 단일 외부 저항으로 프로그래밍 할 수 있다. 저항은 디바이스에 매우 가깝고 RT 및 AGND 핀에 직접 연결되어야 한다. 원하는 switching frequency(fSW)를 설정하기

위해, 저항 값은 식 4로부터 계산 될 수 있다.

$$(4) \quad R_T = \frac{9 \times 10^9}{f_{SW}} [\Omega]$$

7.3.4 Slope Compensation(기울기 보상)

duty cycle이 50 %보다 큰 경우, peak current mode regulator는 sub-harmonic oscillation이 발생할 수 있다. Sub-harmonic oscillation은 일반적으로 넓은 duty cycle과 좁은 duty cycle을 교대로 특징으로 합니다. 이 sub-harmonic oscillation은 감지된 inductor 전류에 경사 보상 (slope compensation)으로 알려진 인공 램프를 추가하는 기술로 제거 할 수 있다.

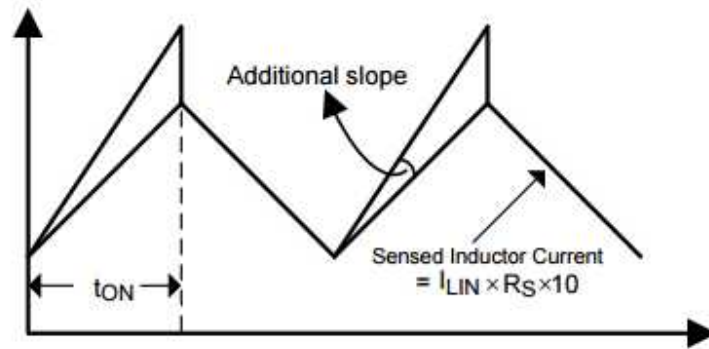


Figure 22. Slope Compensation

LM5121의 slope compensation은 SLOPE 핀과 AGND 핀 사이에 연결된 단일 저항으로 프로그래밍 할 수 있다. 기울기 보상의 양은 다음과 같이 계산할 수 있습니다.

$$(5) \quad V_{SLOPE} = \frac{6 \times 10^9}{f_{SW} \times R_{SLOPE}} \times D [V]$$

Where

$$D = 1 - \frac{V_N}{V_{OUT}}$$

R_{SLOPE} 값은 최소 입력 전압에서 다음 식으로 결정할 수 있습니다.

$$(6) \quad R_{SLOPE} = \frac{L_{IN} \times 6 \times 10^9}{[K \times V_{OUT} - V_{IN(MIN)}] \times R_S \times 10} [\Omega]$$

where

- K=0.82~1 as a default

위의 방정식으로부터 K는 입력 범위에 대해 다음과 같이 계산 될 수 있습니다.

$$(7) \quad K = \left(1 + \frac{L_{IN} \times 6 \times 10^9}{V_{IN} \times R_S \times 10 \times R_{SLOPE}}\right) \times D$$

Where

$$\bullet D' = \frac{V_{IN}}{V_{OUT}}$$

어떤 경우에도 K는 0.5보다 커야합니다. 500 kHz 이상의 높은 switching frequency에서, 최소 on-time이 내부 지연으로 인한 slope compensation의 양에 영향을 미치기 때문에 K factor(인자)는 1보다 크거나 같을 것을 권장합니다.

감지된 inductor 전류와 slope compensation의 합은 부하 및 적절한 전류 제한 동작으로 적절한 시동을 위해 COMP 출력 고전압 (VOH)보다 낮아야한다. RSLOPE의 최소값을 다음과 같이 제한합니다.

$$(8) \quad R_{SLOPE} > \frac{5.7 \times 10^9}{f_{SW}} \times \left(1.2 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) [\Omega]$$

•이 방정식은 대부분의 경우에 사용될 수 있습니다.

$$R_{SLOPE} > \frac{5.7 \times 10^9}{f_{SW}} [\Omega]$$

•이 보수적인 선택은 $V_{N(MIN)} < 5.5 \text{ V}$ 일 때 고려해야합니다.

SLOPE 핀은 floating 상태로 둘 수 없습니다.

7.3.5 오차 증폭기

내부 high-gain error amplifier는 FB 핀 전압과 내부 정밀도 1.2V 기준 전압의 차이에 비례하는 오류 신호를 생성한다. 오류 증폭기의 출력은 COMP 핀에 연결되어 사용자가 Type 2 loop compensation network를 제공 할 수 있도록 한다.

RCOMP, CCOMP 및 CHF는 error amplifier gain 및 위상 특성을 구성하여 안정적인 voltage loop를 달성합니다. 이 네트워크는 DC에 phase boost을 위한 mid-band zero (fZ_EA) 및 high frequency pole(fP_EA)을 생성합니다. RCOMP의 최소 권장 값은 2kΩ입니다 (Feedback Compensation section 참조).

$$(9) \quad f_{Z_EA} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} [\text{Hz}]$$

$$(10) \quad f_{P_EA} = \frac{1}{2\pi \times R_{COMP} \times \left(\frac{C_{COMP} \times C_{CHF}}{C_{COMP} \times C_{CHF}}\right)} [\text{Hz}]$$

7.3.6 PWM Comparator

PWM comparator는 감지된 inductor 전류와 slope compensation ramp의 합을 1.2V 내부 COMP에 PWM 전압 강하를 통해 COMP 핀의 전압과 비교하고 감지 된 inductor 전류와 slope compensation ramp의 합이 COMP -1.2 V보다 클 때 PWM 전류 강하를 종료한다.

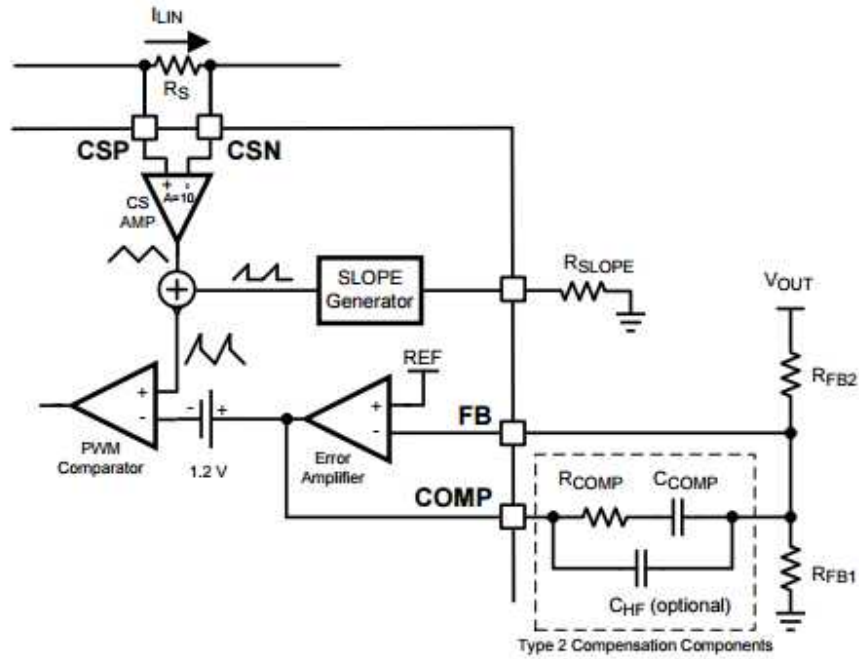


Figure 23. Feedback Configuration and PWM Comparator

7.3.7 Disconnection Switch Control(분리 스위치 제어)

부드러운 스위치 ON은 분리 스위치를 서서히 켜서 이루어집니다. UVLO 핀 전압이 1.2V UVLO 임계 값보다 크고 V_{CC} 전압이 V_{CC} UV 임계 값을 초과하면 DG의 내부 charge pump가 sourcing 전류(전원 전류)를 시작하여 N 채널 MOSFET 단선 스위치를 향상시킨다. 내부 charge pump는 VIN핀 전압보다 높은 DG핀에서 bias 전압을 제공한다.

추가 inrush current(돌입 전류) 제한은 최대 inrush current를 제한하는데 도움이됩니다. inrush current 제한 조건에서 감지 저항 R_S의 전압이 inrush current 제한 임계 값에 도달하면 DG 핀 전압은 DG pull-down 전류 sink를 제어하여 R_S의 전류 흐름을 제한하도록 제어된다.

단선 스위치의 소스 전압이 초기 충전 기간 동안 충전됨에 따라 단로 스위치의 동작 점이 활성 영역에서 ohmic region 으로 전환되고 DG 핀 전압이 충전 펌프에 의해 유지된다. DG-DS 전압이 V_{GS} 검출 임계 값보다 큰 경우 내부 10μA soft-start 전류 소스가 켜진다. 내부 차지 펌프가 VIN 전압보다 높은 DG bias 전압을 제공하기 때문에 VIN 전압은 입력 전원 전압보다 크거나 같아야 합니다.

DG 핀 전압은 내부 zener diodes에 의해 DS 핀 위 약 16V 및 VIN 핀 위 약 11V로 clamped 된다.

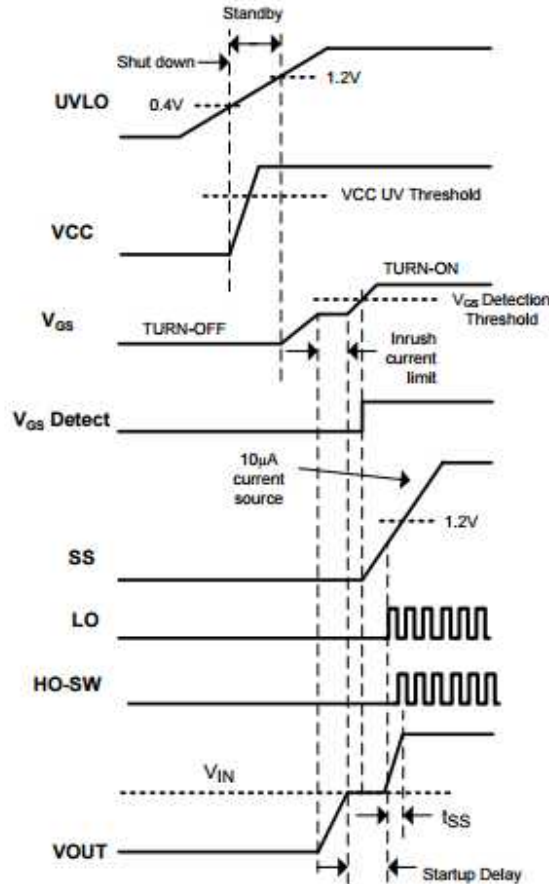


Figure 24. Start-Up Sequence

7.3.8 Soft-Start

soft-start 기능은 regulator 가 점진적으로 정상 상태 동작 점에 도달하도록하여 시동 stresses 및 서지를 감소시킨다. LM5121은 FB 핀을 SS 핀 전압 또는 내부 1.2V 기준 중 낮은 값으로 조정한다. 내부 10µA soft-start current source 는 SS 핀에 연결된 외부 soft-start capacitor 의 전압을 점차 증가시킨다. 그 결과 입력 전압 레벨에서부터 목표 출력 전압까지 점진적으로 출력 전압이 상승합니다. soft-start time (t_{SS})은 입력 전원 전압 및 출력 설정 점에 따라 달라지며 식 (11)에서 계산됩니다.

$$(11) \quad t_{SS} = \frac{C_{SS} \times 1.2V}{10\mu A} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) [\text{sec}]$$

UVLO 핀 전압이 1.2V UVLO 임계 값보다 클 때 VCC 전압이 VCC UV 임계 값을 초과하고 DG-DS 전압이 VGS 검출 임계 값보다 크면 내부 10µA soft-start current source가 켜진다. 이 soft-start sequence의 시작에서 VSS는 내부 SS pull-down 스위치로 25mV 미만으로 떨어 뜨려야한다. SS 핀은 스위칭을 멈추기 위해 외부 스위치에 의해 pull-down 될 수 있지만, 스위치를 켜기 위해 끌어 올리는 것은 권장되지 않습니다. 시동 지연 (그림 24 참조)은 high-side boot capacitor가 내부 BST charge pump에 의해 완전히 충전되기에 충분해야한다. 이는 VIN이 9V보다 클 때 특히 중요한 CSS 최소 권장 값을 정의합니다.

$$(12) \quad C_{SS} > 0.33 \times C_{BST} \times \left(\frac{V_{IN}}{V_{OUT}}\right) [F]$$

또한 CSS의 값은 soft-start time 동안 출력 capacitor를 충전 할 수 있을 만큼 커야한다.

$$(13) \quad C_{SS} > \frac{10\mu A \times V_{OUT}}{1.2V} \times \frac{C_{OUT}}{I_{OUT}} [F]$$

7.3.9 HO and LO Drivers

LM5121은 2 개의 강력한 N-channel MOSFET gate drivers와 외부 N-channel MOSFET switches를 구동하는 high-side level shifter를 포함하고있다. high-side gate driver는 외부 bootstrap diode DBST 및 bootstrap capacitor CBST와 함께 작동한다. low-side N-channel MOSFET driver의 on-time 동안 SW 핀 전압은 약 0V이고 CBST는 DBST를 통해 VCC로부터 충전된다. BST와 SW 핀 사이의 짧은 trace로 연결된 0.1μF 이상의 ceramic capacitor를 권장한다.

LO 및 HO 출력은 adaptive(적응 할 수 있는) dead-time 방식으로 제어되어 두 출력이 동시에 활성화되지 않도록 합니다. controller가 LO를 enable 하도록 명령하면, adaptive dead-time 로직은 먼저 HO를 disable하고 HO-SW 전압이 떨어질 때까지 대기한다. LO는 작은 지연 (HO Fall에서 LO Rise Delay) 후에 활성화됩니다. 유사하게 HO turn-on 은 LO 전압이 방전 될 때까지 지연된다. HO는 작은 지연 후에 활성화된다 (LO Fall to HO Rise Delay). 이 기법은 특히 VCC가 더 높은 외부 전압 소스에 의해 공급 될 때 모든 크기 N 채널 MOSFET 또는 병렬 MOSFET 구성에 적합한 dead-time 을 보장한다. series gate resistor(직렬 게이트 저항)을 추가 할 때 주의하십시오. 이로 인해 유효 dead-time이 줄어들 수 있습니다.

VIN 전압 범위가 VCC regulation level 미만이거나 bypass 동작이 필요할 때 N-channel MOSFET 소자 임계 전압을 선택할 때는 주의해야한다. 출력 전압이 12V 미만일 때 bypass 동작이 필요한 경우 high-side N-channel MOSFET에 logic level device를 선택해야한다. 낮은 입력 전압에서 시동하는 동안 low-side N-channel MOSFET의 gate plateau 전압은 N-channel MOSFET를 완전히 향상시킬 수 있을 만큼 충분히 낮아야한다. 시동시 low-side MOSFET 구동 전압이 low-side MOSFET gate plateau 전압보다 낮으면 regulator가 제대로 시작하지 않을 수 있으며 고 전력 손실 상태에서 최대 duty cycle에서 작동 할 수 있습니다. 이 조건은 낮은 임계 값 N 채널 MOSFET을 선택하거나 UVLO 핀 프로그래밍으로 VIN (STARTUP)을 증가시킴으로써 피할 수 있다.

7.3.10 Bypass Operation (VOUT = VIN)

LM5121은 입력 전원 전압이 목표 출력 전압 이상인 경우 high-side synchronous switch에 100 % duty cycle 동작을 허용한다. 내부 200μA BST charge pump는 전력단 스위칭없이 high-side N-channel MOSFET switch를 켜기 위해 충분한 high-side driver 전원 전압을 유지한다. 내부 BST charge pump는 UVLO 핀 전압이 1.2V보다 클 때, VCC 전압이 VCC UV 임계 값을 초과하고 DG-DS 전압이 VGS 검출 임계 값보다 클 때 활성화된다. BST 차지 펌프는 SW 전압이 9V보다 클 때 5.3V의 최소 BST to SW 전압을 발생시킨다. 이것은 적절한 bypass 동작을 위해 최소 9V boost output voltage을 필요로한다. 저온 및 고온에서 sufficient driver 공급 전압을 유지하려면 boot diode의 leakage current(누출

전류)가 항상 BST charge pump sourcing 전류보다 작아야합니다. bypass 동작이 필요할 때 강제 PWM 모드가 권장 되는 PWM 구성입니다.

7.3.11 Cycle-by-Cycle Current Limit

LM5121은 peak cycle-by-cycle 전류 제한 기능을 갖추고있다. CSP 대 CSN 전압이 75mV cycle-by-cycle 전류 제한 임계 값을 초과하면 전류 제한 비교기는 즉시 LO 출력을 중단한다. inductor 전류가 inductor saturation와 같은 원하는 한계를 넘기는 경우, current limit comparator는 전류가 전류 제한 임계 값 이하로 감소 할 때까지 LO 펄스를 차단합니다. 전류 제한의 피크 inductor 전류는 다음과 같이 계산할 수 있다.

$$(14) \quad I_{PEAK} = \frac{75mV}{R_S} [A]$$

7.3.12 Circuit Breaker Function

hiccup mode 단락 / 과부하 보호 외에도 LM5121은 최대 안전을 위한 회로 차단기 기능을 제공합니다. 입력 전류가 오류로 인해 빠르게 증가하면 inrush control loop가 응답 할 수 있기 전에 차단 스위치를 통과하는 전류가 inrush control 임계 값을 초과 할 수 있습니다. 감지된 전류가 회로 차단기 임계 값을 초과하면 차단 스위치는 전류 감지 입력이 회로 차단기 비활성 임계 값 아래로 떨어질 때까지 DG 핀의 내부 스위치를 통해 빠르게 꺼집니다. RES 핀 전압이 1.2V 미만이면 컨트롤러는 inrush control 절차를 다시 시작합니다.

7.3.13 Clock Synchronization (클록 동기화)

SYNCIN / RT 핀을 사용하여 내부 oscillator 를 외부 clock과 동기화 할 수 있습니다. RT 핀의 양방향 동기화 클럭은 RT sync 상승 임계 값을 초과해야하며 RT 핀의 음의 동기화 클럭은 internal synchronization pulse detector(내부 동기화 펄스 검출기)를 trip하기 위해 RT sync 하강 임계 값을 초과해야합니다.

그림 25의 구성에서 외부 동기 펄스의 주파수는 RT 저항으로 프로그래밍 된 내부 발진기 주파수의 $\pm 20\%$ 이내가 되도록 권장됩니다. 실제 작동 범위는 프로그래밍 된 주파수의 $\pm 100 / 40\%$ 입니다. 예를 들어 450kHz 스위칭을 위해서는 900kHz 외부 동기화 클럭과 20k Ω RT 저항이 필요합니다. 내부 oscillator는 positive edge (양측 모서리)를 RT 핀에 AC coupling 함으로써 동기화 될 수 있습니다. 100-pF capacitor 를 통해 결합 된 5V 진폭 펄스 신호는 좋은 출발점입니다. RT 저항은 발진기가 free running 또는 외부적으로 동기화되었는지에 관계없이 항상 이 구성에서 필요합니다.

RT 핀 전압이 외부 펄스의 falling edge (하강 에지)에서 -0.3V 이하가 되지 않도록 주의해야한다. 이것은 외부 동기화 펄스의 duty cycle을 제한 할 수 있습니다. 외부 펄스의 rising edge에서 LO의 rising edge까지 약 400ns의 지연이 있습니다.

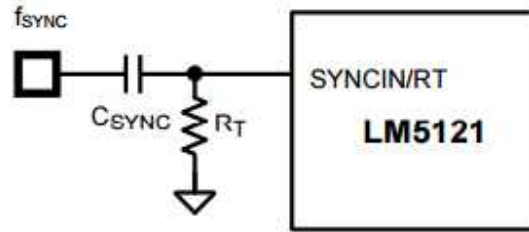


Figure 25. Oscillator Synchronization Through AC Coupling

그림 26의 구성에서 duty cycle 제한없이 R_T resistor 를 통해 R_T 핀에 외부 동기화 클록을 연결하여 내부 oscillator 를 동기화 할 수 있다. 외부 클록 소스의 출력단은 낮은 impedance 의 totem-pole 구조이어야 하며 f_{SYNC} 의 기본 logic 상태는 낮아야한다.

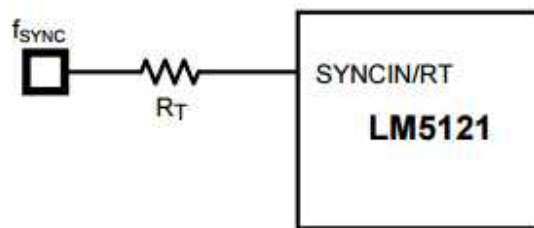


Figure 26. Oscillator Synchronization Through a Resistor

7.3.14 Maximum Duty Cycle

높은 PWM duty cycle에서 작동 할 때, low-side N-channel MOSFET device 는 매 사이클마다 강제로 꺼진다. 이 강제 off-time은 controller의 최대 duty cycle을 제한합니다. 높은 스위칭 주파수 및 높은 duty cycle 요구 사항을 갖는 boost regulator를 설계 할 때 필요한 최대 duty cycle을 점검한다. 목표 출력 전압을 달성 할 수 있는 최소 입력 전 원 전압은 식 (15)로부터 추정된다.

$$(15) \quad V_{N(MIN)} = f_{SW} \times V_{OUT} \times (550ns + margin) [V]$$

100ns의 여백을 권장합니다.

7.3.15 Thermal Protection

내부 thermal shutdown 회로는 최대 접합 온도를 초과하는 경우 controller를 보호하기 위해 제공됩니다. 일반적으로 165 ° C에서 활성화되면 controller는 low-power shutdown mode로 강제 전환되어 출력 드라이버, 분리 스위치 및 VCC regulator를 비활성화한다. 이 기능은 과열 및 장치 파손을 방지하기 위해 고안되었습니다.