|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 立项依据 | 项目背景（研究现状、趋势、研究意义、研究目的及预期达到的效果）   1. **现状和趋势：**   在数据通信、图像信号处理和消费电子等方面，SoC设计已有一定程度的积累，基于IP复用的SoC设计能快速实现以满足应用需求，该方式成为集成电路设计的主流方法。各大公司研发的用于消费电子和终端设备的SoC大多集成GPU或其他图像处理模块，具备一定的图像处理能力，以应对图像处理需求。面向应用需求进行SoC的架构设计，不同应用场景下SoC的结构与集成的IP都会有所差异，工作频率、总线带宽、面积是SoC设计的重要评测标准，也是SoC架构设计过程中的核心工作。  面向应用需求进行SoC的架构设计，不同应用场景下SoC的结构与集成的IP都会有所差异，工作频率、总线带宽、面积是 SoC 设计的重要评测标准，也是SoC架构设计过程中的核心工作。  提起国内的SoC，最先想到的是海思的麒麟系列。海思麒麟可以说是华为自主设计的一款SoC，其中CPU和GPU应用的架构是由ARM授权的。NPU（Neural Network Processing Unit）神经网络处理器，曾经是采用寒武纪的产品，目前搭载的是自研NPU，代号达芬奇。麒麟处理器主要应用在华为自家的旗舰机上，对标的是苹果A系列，高通骁龙，以及三星的猎户座处理器。。  国内的另外一家老牌SoC是全志科技，其主要的产品是基于ARM架构的大型SoC，主要产品有R329、R818等28nm的智能语音芯片，以及A系列的平板处理器。全志科技的SoC主要布局物联网，智能家居等领域。作为智能家居的入口，京东的智能音箱就搭载的是全志的SoC芯片，除此之外还有小米的智能扫地机器人等智能硬件产品。  而近日，齐感科技在深圳正式发布视觉处理SoC芯片QG2101。这是一款高性能，高可靠和低功耗，支持AI视觉处理广泛用于摄像设备的SoC芯片，旨在专为极简AI应用而设计，可提供经济、优异能效比的边缘端视觉解决方案。该芯片采用CNN神经网络加速、支持参数固化技术、针对基于神经网络的高性能人脸检测、人形检测算法进行了优化，可以实现高性能边缘推断应用。  对于任何图像系统，首先需要进行图像的采集与处理，经过初步处理的图像被传送至后端，进而实现高级处理与信息获取，该过程是实现图像应用的基础前提。随着数字集成电路的大规模使用，图像的采集与显示得到迅速的发展，进而推动了各类图像处理算法的研究，使得国防军事及日常生活中大规模应用图像处理系统成为现实，与此同时对图像处理系统的性能需求也不断提升。图像处理系统的设计指标包括图像分辨率、处理大量数据能力和处理速度等，除此之外还需要考虑整体系统的功耗和体积。  传统的图像处理芯片开发过程，是由设计者根据图像处理标准制定设计规范，划分模块，进行电路设计与物理设计，交由代工厂进行芯片实现。经过测试的芯片与其他模块集成为PCB单板，一起构成图像处理系统，在使用时仅需初始化即可。专用的图像处理芯片具有处理速度快、功耗低、体积小等优点，但流片过程会产生昂贵费用。因此，FPGA验证在芯片设计流程中扮演着日渐重要的角色，验证专用的FPGA也层出不穷。比如AMD Xilinx在2019年推出的Virtex UltraScale+ VU19P FPGA，提供了有史以来单颗芯片最高逻辑密度和最大 I/O数量，可充分满足IC验证的最新需求。值得注意的是，该芯片目前已被禁止销往中国。  **二、研究意义：**  图像处理是计算机科学和工程领域的一个重要分支，涉及到图像的获取、分析、增强、压缩、传输、显示等多个方面，广泛应用于医学、军事、教育、娱乐等领域。随着图像处理技术的不断发展和应用需求的不断增加，对图像处理硬件平台的性能、功耗、成本等方面提出了更高的要求。传统的基于通用处理器或专用芯片的图像处理硬件平台往往难以满足这些要求，因为它们缺乏针对图像处理特点的优化，或者缺乏对不同应用场景的适应能力。因此，设计一种通用图像处理的SoC架构，利用FPGA作为验证平台，是一种有前景的解决方案。  SoC(System on Chip)是指将一个完整的系统集成到一个单片芯片上，包括处理器核、存储器、外设接口等模块。SoC架构具有高集成度、高性能、低功耗、低成本等优点，适合于实现复杂的图像处理功能。FPGA(Field Programmable Gate Array)是一种可编程逻辑器件，可以通过配置电路连接实现不同的逻辑功能。FPGA具有高灵活性、高可重构性、高并行性等优点，适合于验证不同的图像处理算法。通过将通用图像处理的SoC架构设计及其FPGA验证结合起来，可以实现一种既具有通用性又具有高效性的图像处理硬件平台，为各种图像处理应用提供强大的支持。  **三、预期效果：**  在FPGA上初步实现该SoC功能，包括视频采集输入和预处理、视频数据缓存和处理后的视频数据输出，接入定制化IP核，验证整体可行性，视频帧率达到15帧每秒以上，清晰度达到1024\*768及以上。 | | | |
| 项目实施方案（实验主要内容、实验方案设计及创新点）   1. **主要内容：**   随芯片的集成度越来越高，传统意义上的片内系统总线AHB、ASB难以满足对高性能SoC系统的需求，基于AXI总线的SoC架构，越来越成为高性能SoC系统架构的发展方向，传统SoC的设计流程如图1所示。本设计旨在为基于AXI总线的图像处理SoC架构设计提供一套完整可参考的设计方案，并通过FPGA Verification的形式进行传统的SoC验证。    图1 SoC设计流程  本项目的主要思想是设计带有通用AXI接口的IP核，完成整套视频图像处理的上下游任务，并集成为一个SoC，该SoC主要分为三个部分：摄像头数据输入及预处理模块、DDR3缓存及预留接口模块、视频数据输出及显示模块。如图2所示，各个模块都留有标准的AXI4接口，接入到整个SoC的AXI总线互联，实现数据的流式传输及流水线处理，其中，数据的采集、存储、输出可视为图像处理平台的搭建，意在获取图像数据并缓存并同时提供显示功能，而“处理”则是通过设计通用的AXI4接口的图像处理IP核，并将其与预留接口模块连接，使其能够读取DDR3中的数据并进行处理。    图2 系统整体框图  此架构设计的意义在于完成了整套视频传输及显示的流程，并预留出一个让IP核设计者能够自由设计定制化IP核并无缝衔接的AXI4接口。这个定制化IP核可以用来实现简单的图像处理算法，比如中值滤波、直方图均衡；也可以用来实现比较复杂的图像处理算法，比如腐蚀膨胀、双线性插值；甚至可以用来接入参数化的深度学习IP核实现图神经网络，比如LeNet5、YOLO tiny等。整套系统可定制化强，模块之间的交互可靠合理，足以实现对通用图像视频流进行算法编辑以及处理后显示。  图像处理IP核是一种用于实现图像处理算法的硬件模块，它可以在FPGA或ASIC等可编程逻辑器件上进行配置和运行。图像处理IP核的优点是可以提高图像处理的性能、效率和灵活性，同时降低功耗和成本。基于硬件算法的设计也可以充分利用硬件资源和并行性，提高性能和效率。图3表示了一个由国外FPGA社区开源的实现简易CNN的IP核架构。    图3 简易CNN架构   1. **实验方案与创新点：**  2.1 AXI4总线互联设计 AXI总线是一种多通道传输总线，如图4所示，将地址、读数据、写数据、握手信号在不同的通道中发送，不同的访问之间顺序可以打乱，用ID来表示各个访问的归属。主设备在没有得到返回数据的情况下可发出多个读写操作。读回的数据顺序可以被打乱，同时还支持非对齐数据访问。同时，AXI总线还能够使SoC以更小的面积、更低的功耗，获得更加优异的性能。AXI获得如此优异性能的一个主要原因，就是它的单向通道体系结构。单向通道体系结构使得片上的信息流只以单方向传输，减少了延时。    图4 AXI总线传输示意图  AXI interconnect是一种用于连接AXI协议的IP核的组件，可以实现不同的数据宽度、时钟频率和协议版本之间的转换。AXI interconnect可以支持多个主设备和多个从设备之间的通信，通过仲裁器、解码器、复用器等逻辑来处理事务。AXI interconnect可以根据性能和面积的需求，选择不同的互连架构。    图5 AXI总线互联 2.2 用于跨时钟域数据传输的buffer设计 当图像数据在系统各个部分之间传输时，很难去制定一个统一的数据位宽。为了解决这一问题问题，传统的解决方法有拼接、串行转并行等，但是对于视频数据流的传输，这些方法极其容易引起数据的丢失或者拥塞。同时，整个系统工作于多个时钟域下，如摄像头输入的PCLK、AXI总线使用的ACLK和DDR3系统参考的MCLK，数据在多个时钟域之间传输，传统的数据处理方法将不可避免的造成数据在亚稳态时被另一个时钟采样发送。  因此，我们在每个同AXI总线进行数据交互的系统接口处设计了定制的data buffer用于暂存数据，这些data buffer大多数采用了了异步FIFO来实现，如图6所示。既解决了跨时钟域时数据可能采样出亚稳态的问题，又满足了视频数据流式传输的上下游吞吐量匹配。    图6 异步FIFO用作数据buffer  例如video-in to AXI的设计，这部分设计的主要目是将以分两次8位输入的RGB565图像数据通过参考输入的行同步信号，在buffer中缓存一行后，用AXI主机读出送入到高速总线转发给下游模块。其主要结构如图7所示。    图7 video-in to AXI数据buffer  实验所用的摄像头输出窗口被设置为1024\*768像素分辨率，每行总共就是1024个像素点，每个像素点需要16位二进制数来表示为RGB565，故FIFO的写位宽定义为16，存储深度定义为1024。每次摄像头拉高HREF信号，指示当前数据行有效，FIFO就将写使能有效，进行一行数据的写入。写入完成后，FIFO将写使能拉高，表示写入完成，同时拉高FULL信号，表示FIFO已经写满。此时AXI主机将WVALID拉高，以高速时钟ACLK作为读时钟从FIFO中读出数据，读位宽和AXI\_DATA\_WIDTH相同，为32位，这是为了匹配下游DDR3的协定位宽，直到将数据全部读出。 2.3 数据交互中心DDR3 IP核设计 DDR3 IP核是为了与DDR3 SDRAM实现高速数据传输的内存接口技术。  DDR3 IP核的主要特点有：  - 支持多种数据宽度和频率，可根据不同的应用需求进行配置  - 支持多种模式，包括burst、chop、fly-by、write leveling等  - 支持ECC（错误检测和纠正）功能，可提高数据的可靠性和安全性  - 支持ODT（终端电阻）功能，可降低信号的反射串扰，提高信号完整性  - 支持DLL（延迟锁定环）功能，实现时钟和数据同步，提高时序准确性  - 支持DFI（DRAM接口规范）协议，可与控制器进行标准化的交互  DDR3 IP核主要是为了将复杂的内存接口时序封装成统一的AXI4接口供设计者使用，设计者无需考虑复杂的信号顺序，仅需进行读写时序的设计即可。图8所示为Xilinx官方设计的MIG IP核，在本项目中用于DDR3的验证。    图8 Xilinx设计的MIG IP核 2.4 并行流水线模式提供硬件加速 传统的CPU图像处理模式为串行处理，分步按流程进行，如图9所示，使用这种模式的后果是后一次的处理开始需要前一次处理结束后才能进行，这势必会导致整个系统无法应用于流通大批量数据的视频图像处理系统中。    图9 传统的串行处理模式  因此，我们引入了图10所示的并行流水线的处理模式，通过将各级任务并行来提高整个系统的效率，达到对视频图像的低延迟实时处理。    图10 并行流水线模式 | | | |
| 所用主要仪器设备和实验耗材： | | | | |
| 所用主要仪器设备 | | | | 数量 |
| Xilinx Kintex7 FPGA开发板 | | | | 1 |
| OV5640工业摄像头 | | | | 1 |
| 所用主要实验耗材、必要的制作费、资料费等 | | | 数量 | 金额 |
| 实验耗材 | | | 2 | 1600 |
| 实验小工具 | | | 4 | 200 |
| 加工费 | | | 1 | 100 |
| 资料费 | | | 1 | 100 |
| 其它 | | | 0 | 0 |
| **合计**： | | | 8 | 2000 |
| 指导教师意见 | | 指导教师签字： 　 　年 月 日 | | |
| 依托实验室（中心）意见 | | 负责人签字： 　　年 月 日 | | |
| 学院意见 | | 负责人（公章）： 　　年 月 日 | | |
| 学校专家组  意见 | | 组长签字： 　　　　年 月 日 | | |