

DC-11 回演習課題

学籍番号：205728A

氏名：チン シュクトク

演習 1

スライド 27 に示した 2 種類の同期型 RS-FF の特性表が、スライド 28 の表になることを説明せよ。

RS フリップフロップは、SR (set-reset、 "set-reset")、D (data または delay、 "data" または "delay" [1])、T (reverse、 "toggle")、およびいくつかの一般的なタイプに分類できます。 JK。 上記のすべてのタイプのフリップフロップは、特性方程式を使用して、既存の入力信号と出力信号 (Q) に基づいて次の (つまり、次のクロックパルス) 出力 (Q_{next}) を導出できます。

SR ラッチとも呼ばれる基本的な RS フリップフロップは、最も単純なタイプのフリップフロップであり、他のさまざまなタイプのフリップフロップの基本的なコンポーネントです。 2 つの NAND ゲートまたは NOR ゲートの入力端と出力端は、クロスカップリングまたはエンドツーエンドで接続されて、基本的な RS フリップフロップを形成します。

R と S の両方が低い場合、フィードバックは Q と \bar{Q} (Q の逆数) を固定状態に保ちます。 S (セット) が高く R (リセット) が低い場合、出力 Q は強制的にハイに設定され、逆に S が低く R が高い場合、出力 Q は強制的に低電位に設定されます。

特性方程式は $Q_{next} = S + \bar{R}Q$ かつ RS = 0。

演習 2

スライド 32 に示した 2 種類のラッチの特性表が、スライド 33 の表になることを説明せよ。

D フリップフロップ

D フリップフロップには、1 つの入力、1 つの出力、および 1 つのクロック入力があります。

クロックが 0 から 1 になると、出力値は入力値と等しくなります。このタイプのトリガーは、ノイズによって引き起こされるエラーを防ぎ、パイプラインを介して処理されるデータの量を増やすために使用できます。

$$Q_{next} = D$$

演習 3

スライド 37 に示した 2 種類の JK-FF の特性表が、スライド 38 の表になることを説明せよ。

JK フリップフロップには 2 つの入力があり、出力値は次の式で決定されます。

$$Q_{next} = \overline{K}Q + J\overline{Q}$$

JK フリップフロップは、フリップフロップの最も基本的な RS フリップフロップに似ていますが、RS フリップフロップでは、R と S を同時に 1 にすることはできませんが、JK フリップフロップでは J と K を同時に 1 にすることができます。J と K が同時に 1 になると、出力値の状態が逆になります。つまり、0 の場合は 1 になり、1 の場合は 0 になります。

演習 4

スライド 42 に示した T-FF の特性表が、スライド 43 の表になることを説明せよ。

T フリップフロップ

T フリップフロップ (Toggle Flip-Flop、または Trigger Flip-Flop) には、入力と出力があります。クロックパルスが 0 から 1 に変化するとき、T と Q が同じでない場合、出力値は 1 になります。入力端子 T が 1 の場合、出力端子の状態 Q が逆になり、入力端子 T が 0 の場合、出力端子の状態 Q は変化しません。JK フリップフロップの J 入力ポイントと K 入力ポイントを接続して、T フリップフロップを形成します。

したがって、T フリップフロップの式は次のとおりです。

$$Q_{next} = \bar{T}Q + TQ = Q \oplus T$$

演習 5

スライド 47 に示した D-FF の特性表が、スライド 48 の表になることを説明せよ。

D-FF にはデータ入力とデータ出力端子があり、それをコントロールするクロック入力がある。

D-FF はクロックが LOW から HIGH (高) レベルに変化した時の入力データが、出力に伝わり、

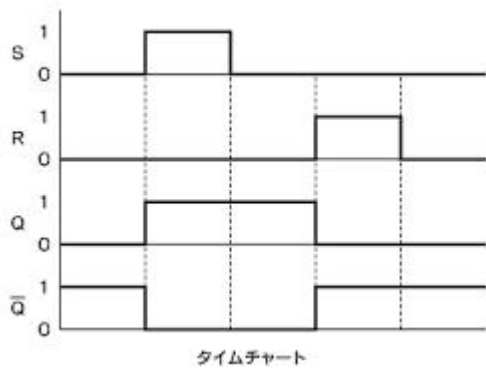
それ以外の時間は、以前のデータ出力を保持する。

演習 6

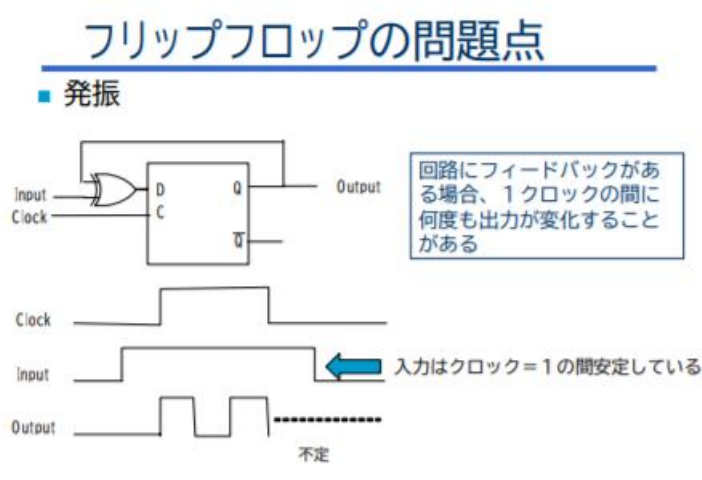
スライド 56 に示したマスター・スレーブ型 JK-FF のタイミングチャートを描け

マスタースレーブトリガーは入力信号に制約があるため、マスタースレーブ JK フリップフロップが開発されました

JK-FF のタイムチャート



また、上記タイミングチャートから、マスター・スレーブ型 FF の問題点を指摘せよ



演習 7

スライド 57 に示したエッジトリガ型 D-FF の動作を説明せよ。

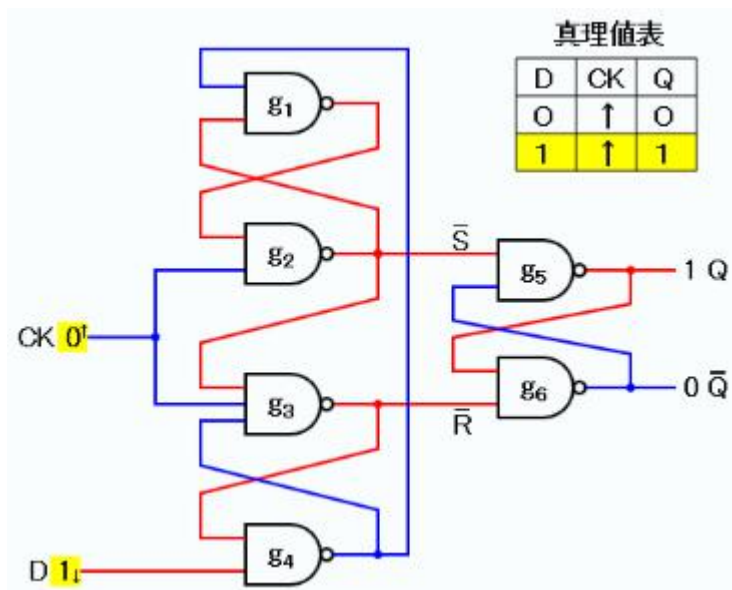
クロックが変化した瞬間にのみアクティブになることを説明すること。

クロック信号の立ち上がりまたは立下りで動作するものを エッジトリガ型フリップフロップ

と呼ぶ。 マスタースレーブ型も動作上は同じであり、回路記号では両者の区別はない。

下図にエッジトリガ型 D フリップフロップを示す。

- $CK = 0$ のとき、NAND ゲート g_2 、 g_3 の出力は共に 1 であるから、本体 FF は出力は変化しない（出力保持状態）。このとき、入力 FF のゲート g_4 の出力は D である。同じく入力 FF のゲート g_1 の出力は D である。
 - ここで $CK = 1$ に変わったとする。その直前で $D = 1$ の場合は、入力 FF の g_2 の出力が 1 から 0（D）に変わる。（もう一つの入力 FF の g_3 の出力は変わらない。）すなわち、 $S = 0$ となり、本体 FF の出力 Q は 1 となる。（直前の状態が 1 ならば、そのまま 1。直前の状態が 0 ならば、0 から 1 に変わる）
 - $CK = 1$ に変わる直前で $D = 0$ の場合は、入力 FF の g_3 の出力が 1 から 0（D）に変わる。（もう一つの入力 FF の g_2 の出力は変わらない。）すなわち、 $R = 0$ となり、本体 FF の出力 Q は 0 となる。
- 要するに、 CK の値が 0 から 1 に変わると、入力 D の値が本体 FF に現れる。
- $CK = 1$ の状態で、入力 D の値を変化させても、ゲート g_4 またはゲート g_1 に阻止され、ゲート g_2 、 g_3 の値は変化しない。
 - $CK = 0$ では NAND ゲート g_2 、 g_3 の出力は共に 1 であるから、本体 FF は出力は変化しないことは最初に述べた。このとき、入力 D を変化させると、ゲート g_4 、 g_1 の出力は変化する。すなわち、ゲート g_4 の出力は D、 g_1 の出力は D である。
 - $CK = 0$ の状態では、ゲート g_2 の第 1 入力 は D であり、ゲート g_3 の第 3 入力 は D である。すなわち、ここで入力 がフリップフロップにセットされるのを待っているといえる。
 - $CK = 1$ に変わると、この時の入力 が 二つの入力 FF にラッチされ、本体 FF の入力 となる。



纏め：

基本的な順序回路	説明
RS フリップフロップ (RS:Reset-Set)	最も基本的なトリガーです。 入力 S が「ハイ (H) 」の場合、出力 Q は「ハイ (H) 」に設定されます。 出力 Q が「ハイ (H) 」状態のとき、入力 R を「ハイ (H) 」に設定すると、出力が「ロー (L) 」に切り替わります。
JK フリップフロップ (JK : Jack Knife)	JK トリガーは、2つの入力を同時に「高 (H) 」に設定できます。 これは RS トリガーとは異なります。 トリガピン T に入力されたクロック信号の有効エッジ (信号の立ち上がりエッジまたは立ち下がりエッジ) では、入力 J が「ハイ (H) 」の場合のみ出力は「ハイ (H) 」になります。 J と K を同時に入力すると、出力 Q が反転します。
D フリップフロップ	トリガーピン T に入力されたクロック信号の有効なエッジ (信

(D:Delay)	<p>号の立ち上がりエッジまたは立ち下がりエッジ) では、入力 D</p> <p>の値を回路に保持する必要があります。</p>
<p>T フリップフロップ</p> <p>(T:Toggle)</p>	<p>JK フリップフロップ (フリップフロップ) の J と K の組み合わせです。 トリガーピンにクロック信号が入力されると、Q が切り替わります。</p>

第 11 回の演習は以上です。