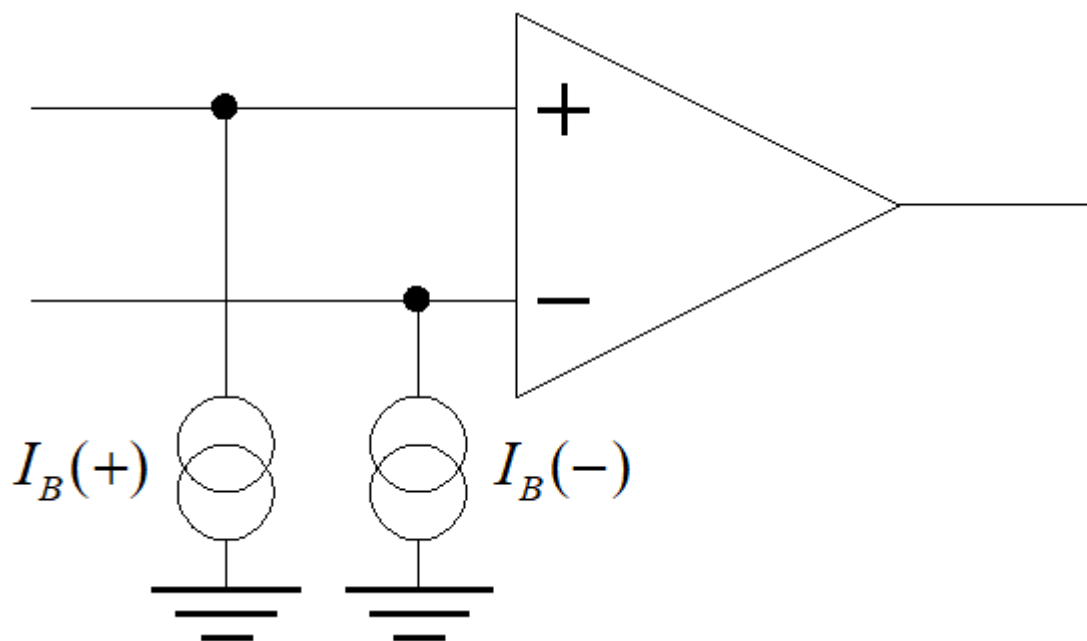


2.2 Static Errors

非理想运放的电流源模型



加了两个电流源,对于简单的运放,可以认为 $I_{B(+)} = I_{B(-)}$

$$I_B = \frac{I_{B(+)} + I_{B(-)}}{2}$$

两种误差的表示

- RTO:在输出上相加减多少能够消除这种误差
- RTI:在输入上相加减多少能够消除这种误差

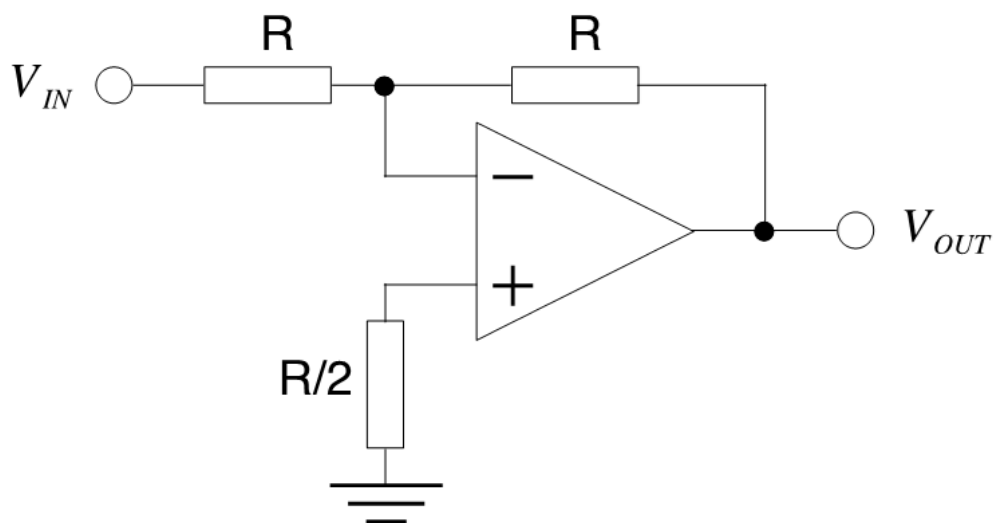


Figure 1: 消除小电流误差(前提是两个口的小电流误差相等)

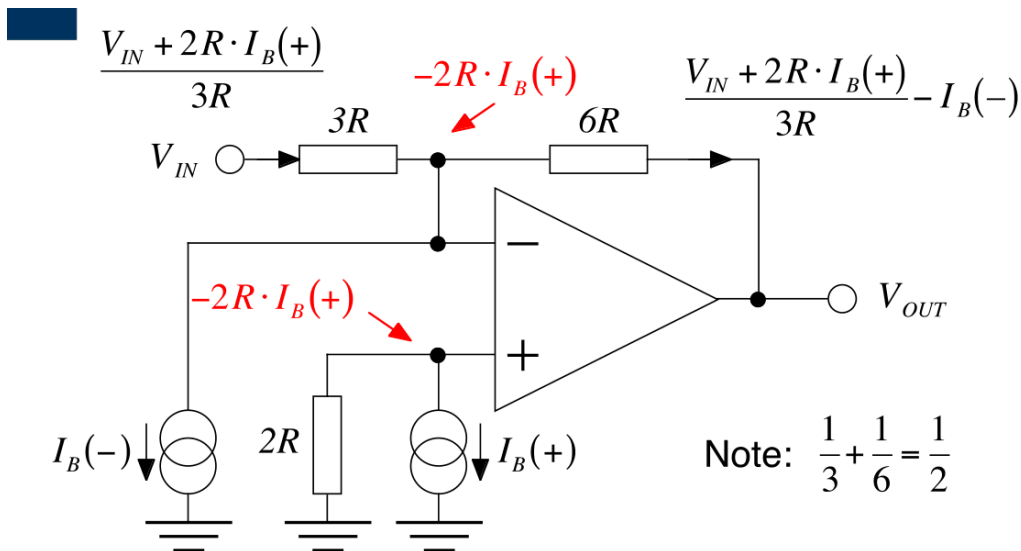



Figure 2: 其实只需要上面两个电阻的并联值和下面的相等就可以了

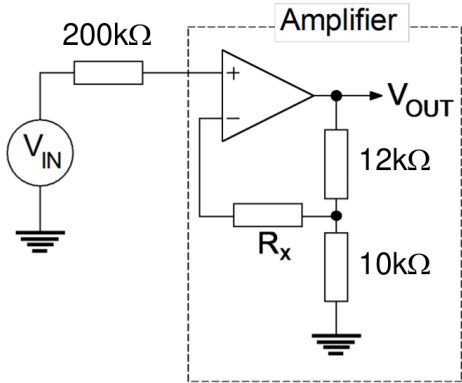


University
of Glasgow

1. What is the required Value of R_x to cancel the effect of I_b at the output?

2. If $I_b = 120\text{nA}$ and $R_x = 200\text{k}$, what is the Voltage error present at the output?

Bias Current Problem



1. $10\text{k}\Omega // 12\text{k}\Omega = 5.5\text{ k}\Omega$
 $R_x + 5.5\text{k}\Omega = 200\text{k}\Omega$, $R_x = 194.5\text{k}\Omega$

2. $V(+)=120\text{nA} \times 200\text{k}\Omega = 24\text{mV}$
 Equivalent feedback $R_f = 200\text{k}\Omega + 5.5\text{k}\Omega = 205.5\text{k}\Omega$
 $V(-) = 205.5\text{k}\Omega \times 120\text{nA} = 24.66\text{mV}$
 $\Delta V = 0.66\text{mV}$
 $\text{Gain} = \left(\frac{10}{10+12}\right)^{-1} = 2.2$
 $V_{\text{out error}} = 2.2 \times 0.66 = 1.452\text{mV}$

Figure 3: Equal Bias Currents 的重要实例

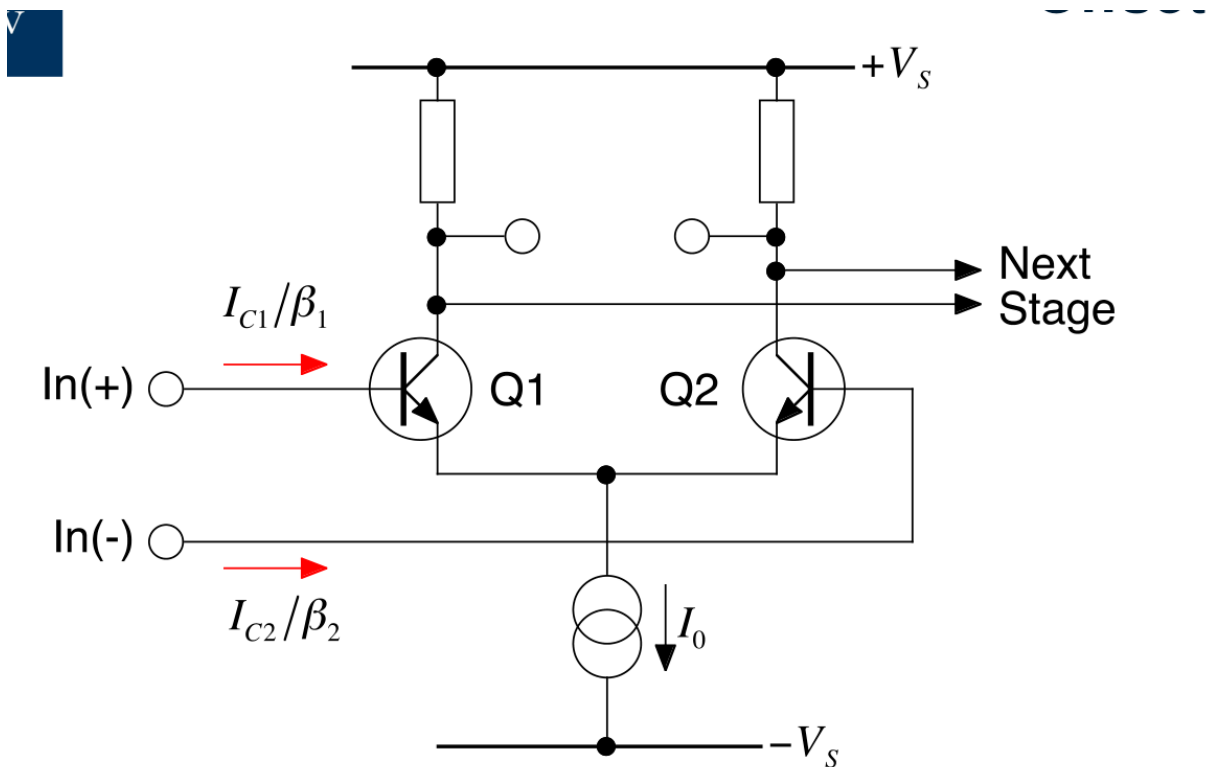


Figure 4: Offset Bias Currents

但是实际上 $I_{B(+)} \neq I_{B(-)}$, 定义 $I_{OS} = |I_{B(+)} - I_{B(-)}|$, I_{OS} 就是 Offset Current. 最坏的情况是 $I_{B(+)} = -I_{B(-)}$, 所以 $I_{OS} \leq 2I_B$, 一般的放大器会尽量消除由于 $I_{B(+)}$ 和 $I_{B(-)}$ 本身所带来的误差, 像 Figure 2 一样, 但是前提是两个电流是相等的, 但是对 I_{OS} 没法修复, 消除小电流误差的电阻会由于 I_{OS} 把误差反而加大.

考虑 I_{OS} 所建立的模型

But we express $I_B(-)$ and $I_B(+)$ in terms of their average and difference:

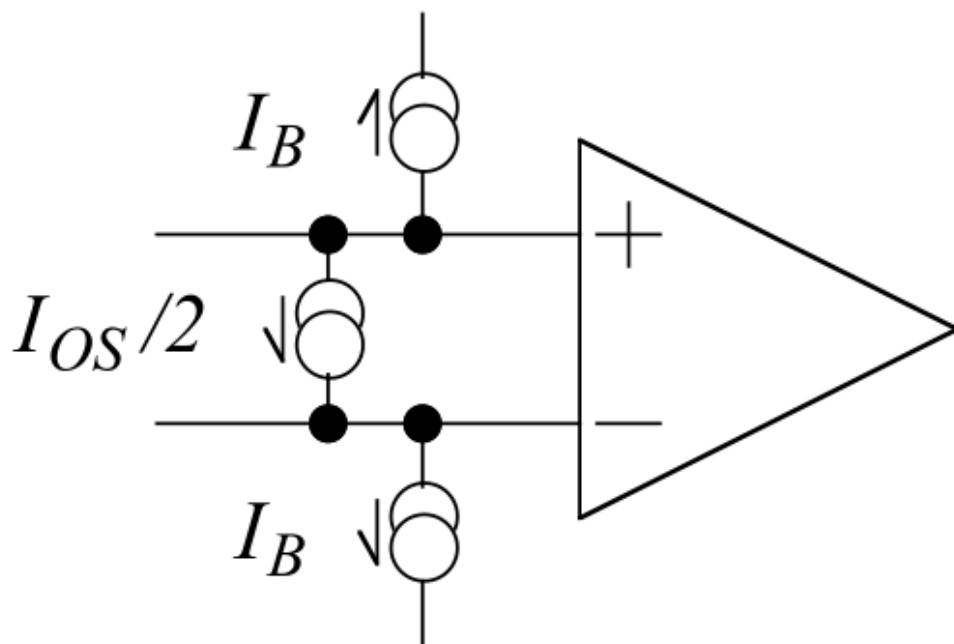


Figure 5: Offset model

$$I_B = \frac{I_{B(+)} + I_{B(-)}}{2}$$

当运放输入端的阻抗严重失配时，两输入端的电流可能差异较大。此时，偏置电流 I_B 对输出误差的影响会更显著。

如果两输入端的阻抗相对平衡，偏移电流 I_{OS} 是主要的误差来源

不要混合使用偏置电流和偏移电流

I_B 会随着温度升高指数级的增长(FET工艺的运放).对于BJT工艺的运放,对于温度来说更加温度,适合在军事,航空航天等极端的领域使用.

Offset Voltage

Input Offset Voltage

在实际电路的运放中,需要加一个(+)到(-)的电压 V_{os} 才能使得输出电压 $V_{out} = 0$

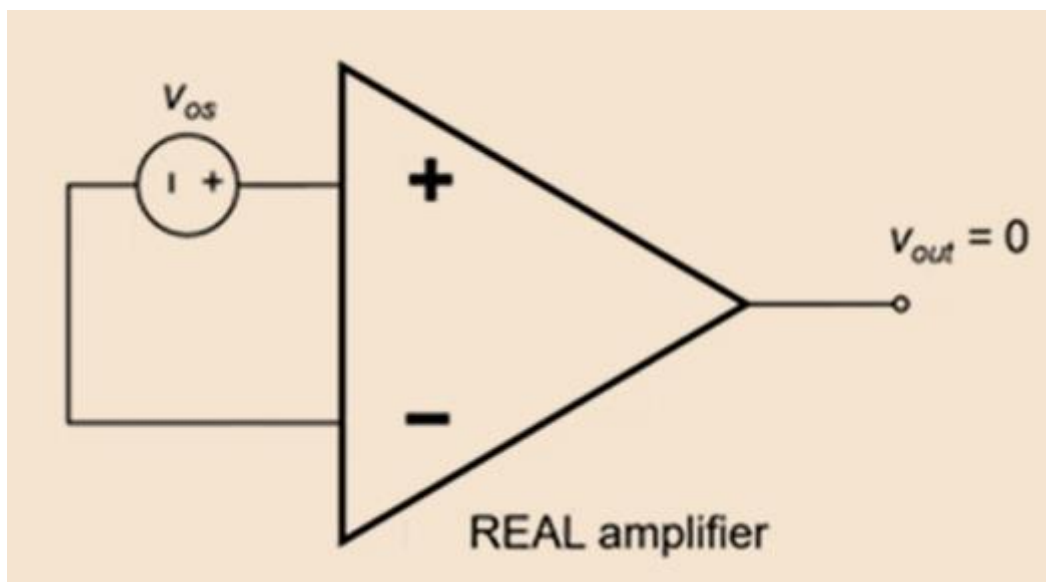


Figure 6: Input Offset Voltage

,实际上这个是不能消除(eliminated)的,只能减小(reduced).很有随机性,各种芯片的值是不一样的,只能给出个大概的分布.

造成的原因:

1. 内部芯片制作的时候的 mismatch(制造工艺)
2. 在包装的时候的外部压力之内(包装运输)

CMOS 器件的 V_{OS} 最低,而且受温度影响最小,JFET 劣势: 较差的失调电压和漂移, Bipolar 折中: 失调电压和漂移接近 CMOS.

Slew Rate(变化率)

运放根据输入的改变做出输出的改变的响应速度.(允许理论输出信号的最大变化幅度) 国际单位: V/S ,常用: $V/\mu S$,主要是由内部的电容来决定的.

高的变化速率在需要快速响应的应用场景下特别重要

- 正弦信号的最大斜率 $2\pi f V_p$, V_p 是峰值,一般是由于输出信号的理论变化太大导致被 Slew Rate 限制了