

# Interrupciones y Excepciones

Cap. 14 Angulo

Cap 8.9 Quiroga

①

Las interrupciones y excepciones son acontecimientos que provocan la desviación del flujo de control de la CPU quien pasa a ejecutar un servicio que "interprete el manejo de esa interrupción"

Las interrupciones son generalmente acontecimientos externos como por ej un dispositivo externo que solicita la ejecución de actividades que le son necesarios. P.ej: "solicito a la CPU que ejecute mi driver"

Si un pgm quiere provocar una interrupción para acceder a un disco o a otro dispositivo de E/S utiliza una instrucción especial del set de instrucciones (p.ej. INT #). El micro decodifica el COP, en este caso CD, y ejecuta el servicio identificado por el nº #.

Por ej INT 08  $\Rightarrow$  CD08

- Las interrupciones programadas se denominan **interrupciones internas, interrupciones programadas o interrupciones SW**, y causan la suspensión momentánea del pgm que los invoca para bifurcar al servicio solicitado; éste se ejecuta y se retoma el pgm. interrumpido.

- Cuando el micro "recibe" una señal de interrupción "desde afuera" deja la ejecución del pgm actual y bifurca al servicio residente en la MP. Estas interrupciones se clasifican como **interrupciones externas o interrupciones HW**.

Estos servicios se denominan servicios de interrupción o de dispositivo

ISR interrupt service routine

Excepciones: desviaciones del flujo de control provocados automáticamente como consecuencia de alguna anomalía en la CPU, producida y detectada en el desarrollo del pgm en curso de ejecución. Por ej una división por 0



Para manejar las interrupciones y excepciones el Pentium dispone de una TABLA de INTERRUPTACIONES IDT (Interrupt descriptor table) Dispone de 256 entradas, c/u de las cuales atiende a un tipo de interrupción o excepción diferente.

c/ entrada especifica la dirección de comienzo del procedimiento que atiende la causa que la ha provocado.

IDT: ocupa un segmento, cuyo base y límite están contenidos en el Registro de Tablas de Descriptores de Interrupciones IDTR.

En modo real y en modo protegido se utiliza la IDT (con operatividad diferente)

### Interrupciones externas

Una señal eléctrica activada por un componente externo provoca la activación de los pines del Pentium.

Esta activación es detectada por el Controlador de Interrupciones Programmable Advanced Local APIC (incorporado a la CPU)

Los pines del Pentium que soportan las interrupciones externas son la INTR y NMI

NMI interrupción no enmascarable (no puede ser ignorada)

Se suele ser el resultado de un problema serio de HW como la caída de tensión de la alimentación.

NMI → entrada 2 de la IDT

INTR interrupción enmascarable (puede ser atendida o ignorada por la CPU)

Su aceptación y ejecución depende del valor del flag IF del EFLAGS.

Si  $IF = 1$  se atiende la interrupción enmascarable

Si  $IF = 0$  no se tiene en cuenta la petición.

La entrada de la IDT que atiende a esta interrupción es cualquiera de las 256



## Interrupciones internas

Se origina como consecuencia de la ejecución de alguna instrucción especial  $\Rightarrow$  son interrupciones que se provocan a través del SW (Su desarrollo funcional es igual al que le corresponde a una excepción)

Son instrucciones que pueden provocar este tipo de interrupciones son **INTn** e **INTO**

**INT n** se genera una interrupción no maskable suministrando el n° del vector de interrupciones de la IDT como un operando.

**INTO** comprueba el valor del flag OF del EFLAGS (overflow)

Si  $OF = 1$  se producirá una interrupción que es atendida por la entrada n° 4 de la IDT

## EXCEPCIONES

son provocados automáticamente por el procesador al detectar alguna anomalía en el flujo de control

Clasificación:

- Faltas o errores: Son aquellas excepciones que se encargan de corregir la anomalía producida al intentar ejecutar una instrucción. El pgm retorna a la instr. que provocó la excepción, y de esta manera se puede realizar. Por ej cuando la CPU realiza una operación matemática y aún no tiene todos los operandos necesarios
- Timeout: se generan tras la finalización de la instrucción. Permite continuar con la ejecución del pgm retornando a la siguiente instr. a la que provocó la excepción. Por ej interrupciones definidas por el usuario e incluidas en el pgm.
- Aborto: son generados por la CPU en los que no se



sobre la localización exacta de la instrucción que los originó.  
No permite restablecer el pgm que causó la excepción  
Se suele usar para indicar errores muy graves, como  
errores de HW o valores ilegales en las tablas del sistema.

## IDT Tabla de descriptores de Interrupciones y excepciones

Formada por 256 entradas

c/u de los diferentes tipos de interrupciones asociados  
a una de estas entradas

• Se admiten 256 tipos de interrupciones.

Modo real → cada entrada 4 bytes  $256 \times 4 \text{ bytes} = 1K$

Modo protegido → " " 8 bytes  $256 \times 8 \text{ bytes} = 2K$

entradas 0-19 reservadas para situaciones concretas

20-31 reservadas exclusivamente para operaciones  
internas del procesador

32-255 a disposición del usuario

IDT puede encontrarse en cualquier lugar del espacio  
de direcciones

IDTR 32 bits → indica dir de la base + 16 bits indica  
el límite de la IDT.

Instrucciones que operan sobre IDTR

- LIDT carga en el IDTR la dir. base y el límite.  
(CPL=0 current privilege level)

- SIDT copia en la memoria los valores que tiene el IDTR  
↳ (en cualquier nivel de privilegio)

Cada entrada de la IDT de 32 bits guarda los reg CS e IP  
que apunta al segmento de código donde reside la  
rutina que atiende a la interrupción.

En modo real el límite de IDT es 00003FF (1K)



Cuando se produce una interrupción y cuando ésta no provoca la finalización del pgm. en ejecución, se debe resguardar la información que se aloja en todos los registros del micro y que se relaciona con la ejecución del pgm interrumpido. Toda la información de la CPU asociada con la ejecución se almacena en MP en la pila.

Este procedimiento resguarda el entorno de CPU

El pgm pasa a un estado de espera que durará como mínimo el tiempo que tarde en ejecutarse el servicio de interrupción. Cuando el servicio se ejecutó por completo se restaura el contexto de CPU.

En 3 pasos

a. Pgm en ejecución

b. Presentación de la interrupción

1. Resguardo de contexto de CPU en la pila

2. Ejecución del servicio de atención de interrupción

3. Restauración del contexto de CPU ©

c. Pgm nuevamente en ejecución

INT 10 encuentra su vector en la entrada 10 (hexadecimal) C/ vector contiene la petición del servicio.

Estos vectores señalan zonas de memoria RAM o ROM.

Al conjunto de servicios se los denomina manejadores de interrupción (Interrupt Drivers)

Para consultar las descripciones de las interrupciones que controlan tanto la ROM-BIOS como el SO, se debe recurrir al manual de referencia técnica de la BIOS y al manual de referencia técnica del SO

© La rutina de interrupción finaliza con la instr. IRET recuperando de la pila CS, IP y FLAGS.



Se puede poner INTO después de la mat. aritmética. Si  $OF=0$  INTO funciona como NOP (no operation), si  $OF=1$  se ejecuta interrupción de tipo 4.

También se podría poner IO y uno poner una rutina de error con la manera que uno quiere manejar el OV



# Interrupciones

## Externos

o Interrup. HW

└─ Inyecta señal de interrupción desde afuera.

→ puede estar activado o no

detecta ARIC (controlador de interrupciones programable) pero no dependen del pgm en ejecución

No modificables (NMI)

CPU activada por señal NMI → Señal de control (non modificable interrupt) Siempre son atendidos → Máxima importancia ej. calidad de tension

Enmascarables o modificables

CPU activada por otro señal ≠ NMI (INTR)

Se consulta la señal de interrupción por cada ciclo de ejecución. Si siempre debe ser atendido se consulta FLAG IF (IF=1) → se atiende IF (IF=0) no atiende IF=0

## Internos

o Interrup SW o pgm.

son convocados por el pgm en ejecución

## Excepciones

causados por anomalías

Servicios de interrupción: ISR

interrupt service routine. → termina con IRET

Tabla de interrupciones: IDT

interrupt descriptor table

└─ 256 entradas (CS: IP de la instr. que opera en segmento) Modo protegido: 8 bytes (2K)

└─ entrada específica al comienzo del procedimiento que cierra la interrupción

└─ ocupa un segmento completo y límite en IDTR

└─ Instr. que operan sobre IDTR → LIDT carga SIDT guarda en memoria

Faltas o errores

Se pueden detectar antes de que se produzca la ejecución de una instr. determinada

Trampas

Se detectan una vez ejecutado la instrucción. Por ej. por el overflow de reg. o overflow de página

Abortos

Se detectan sin localizar la instr. que la provoca, abortando la ejecución del pgm.

Seg. un valor no válido en un registro del sistema o valores de HW