

Circuitos digitales

De acuerdo con lo visto en las clases teóricas consideramos dos tipos de lógica: combinacional y secuencial. Los dispositivos de lógica combinacional se describen mediante Tablas de Verdad y/o Mapas de Karnaugh y se implementan exclusivamente mediante compuertas. Los dispositivos secuenciales, en cambio se describen mediante Tablas de Funcionamiento y/o Diagramas de Transición de Estados [DTE] y se implementan usando compuertas y elementos de memoria [biestables – flipflops].

A continuación se propone una serie de ejercicios destinados a consolidar los conceptos desarrollados de manera teórica.

Ejercicio 1

Conectar cada Artefacto con su Descripción

Artefacto	Descripción
Generador de Paridad	Compuerta caracterizada por proporcionar “1” como salida cuando la cantidad de entradas en “1” es impar
Decodificador	Permite obtener un frame binario para cada uno de los dígitos decimales
PLD	Genera el bit de control que se adosa a un mensaje de modo que cada frame tenga una cantidad de unos par o impar, según criterio adoptado
Diagrama de Karnaugh	Dispositivo que a partir de n entradas proporciona 2^n salidas que pueden usarse para habilitar otros componentes.
Codificador BCD	Representación Gráfica equivalente a una Tabla de Verdad en la cual cada sector corresponde a un término mínimo de la función.
X-OR	Dispositivo consistente en arreglos programables de compuertas AND y compuertas OR.

Ejercicio 2

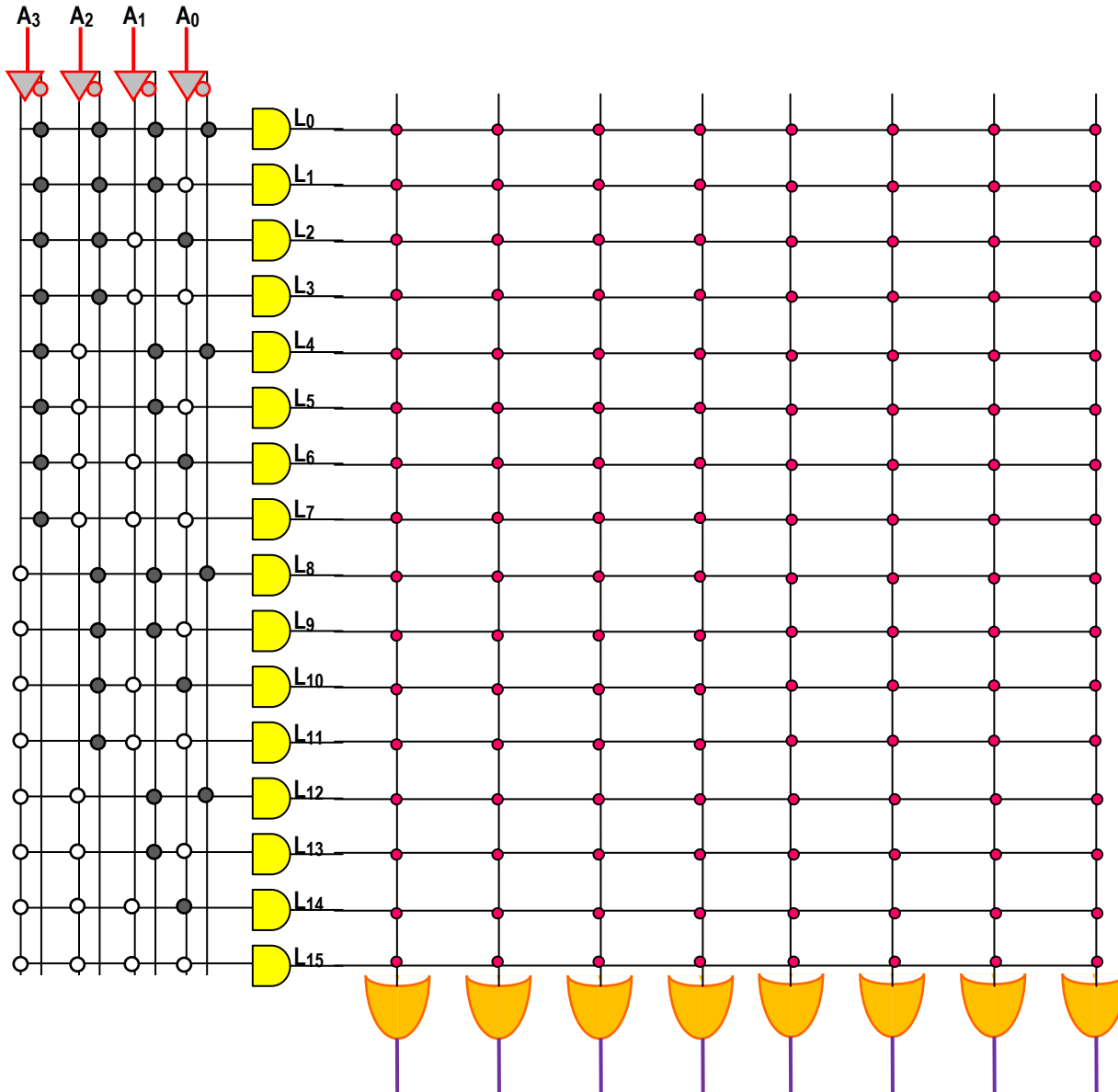
Conectar cada Artefacto con su Descripción

Artefacto
ROM
DEMUX
PAL
PLA
MUX

Descripción
Dispositivo que utiliza n líneas de entrada de control para transferir un $1/n$ dato de entrada a la única vía de salida
Dispositivo de Lógica Programable compuesto por una matriz AND fija y una matriz OR programable
Dispositivo que utiliza n líneas de entrada de control para transferir un dato proveniente de la única vía entrada a una de las 2^n salidas
Dispositivo de Lógica Programable compuesto por una matriz AND programable y una matriz OR fija
Dispositivo de Lógica Programable compuesto por una matriz AND programable y una matriz OR también programable

Ejercicio 3

- Dibuje el Plan de Programación para la ROM mostrada en la figura, de manera que desde la dirección L0, en forma ascendente se almacene, en ASCII la leyenda: UTN.BA-DISI*2014.
- Ídem al anterior, para almacenar un código Gray de 4 posiciones.



El símbolo ● corresponde a un enlace intacto en la red OR y X corresponde al enlace destruido.

Ejercicio 4

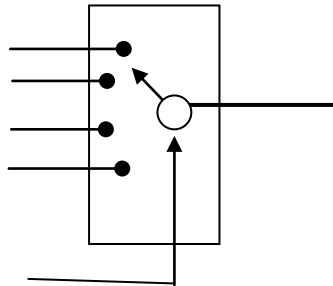
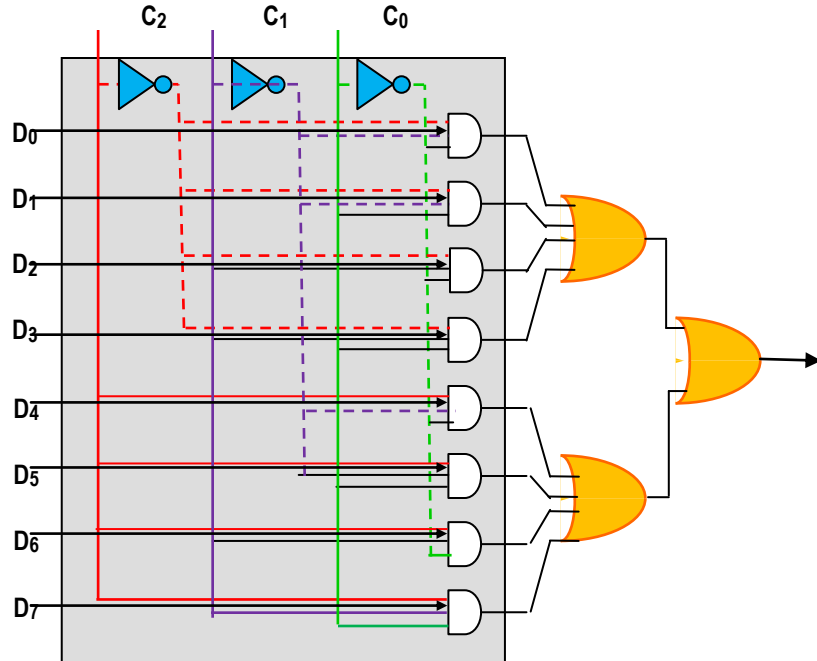
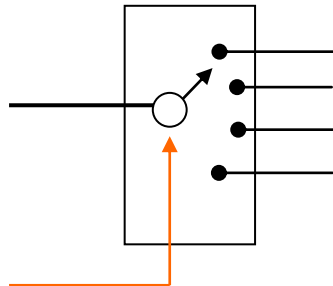
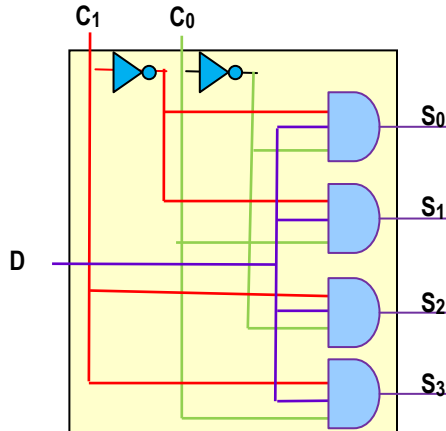
Dibujar el diagrama de bloques de una ROM de 64 posiciones y el Plan de Programación para almacenar en ella la sección de un programa en lenguaje de máquina que:

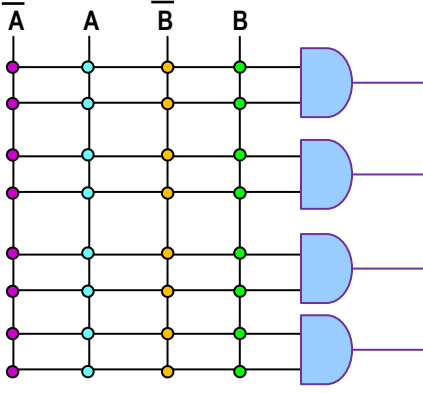
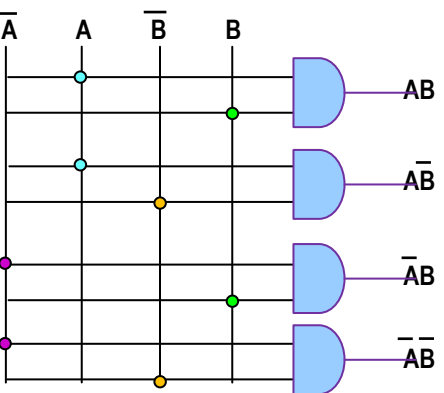

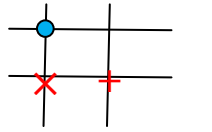
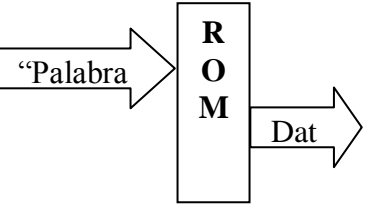
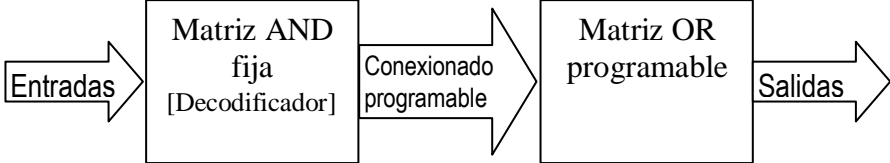
1. ponga: a ceros [reset] los siguientes registros de propósito general: AX, BX, CX, DX, BP, SI, DI
2. cargue el valor hexadecimal ABCD en el SP;

	Instrucción (Mnemónico)	Lenguaje Máquina	Observación	
	MOV AX, 0000	B80000	La instrucción con su operando se almacenan de la siguiente manera	
	MOV BX, 0000	BB0000		
	MOV CX, 0000	B90000		
	MOV DX, 0000	BA0000		
	MOV BP, 0000	BD0000	Posición	Contenido
	MOV SI, 0000	BE0000	α	Código
	MOV DI, 0000	BF0000	$\alpha + 1$	Byte menos significativo
	MOV SP, ABCD	BCCDAB	$\alpha + 2$	Byte MAS significativo

Artefacto	Definición del caso	Tabla de Verdad	Elaboración y Circuito																																																																																																						
Generador de Paridad	Genera el bit de control (par / impar) para un conjunto de bits. Se propone el diseño para controlar un mensaje original de 4 bits, de manera que todas las combinaciones tengan cantidad par de 1.	<table><tr><th>#</th><th>b₃</th><th>b₂</th><th>b₁</th><th>b₀</th><th>b_c</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>2</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>3</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>4</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>5</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>6</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>7</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>8</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>9</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>10</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>11</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>12</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>13</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>14</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>15</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td></tr></table>	#	b ₃	b ₂	b ₁	b ₀	b _c	0	0	0	0	0	0	1	0	0	0	1	1	2	0	0	1	0	1	3	0	0	1	1	0	4	0	1	0	0	1	5	0	1	0	1	0	6	0	1	1	0	0	7	0	1	1	1	1	8	1	0	0	0	1	9	1	0	0	1	0	10	1	0	1	0	0	11	1	0	1	1	1	12	1	1	0	0	0	13	1	1	0	1	1	14	1	1	1	0	1	15	1	1	1	1	0	
	#	b ₃	b ₂	b ₁	b ₀	b _c																																																																																																			
0	0	0	0	0	0																																																																																																				
1	0	0	0	1	1																																																																																																				
2	0	0	1	0	1																																																																																																				
3	0	0	1	1	0																																																																																																				
4	0	1	0	0	1																																																																																																				
5	0	1	0	1	0																																																																																																				
6	0	1	1	0	0																																																																																																				
7	0	1	1	1	1																																																																																																				
8	1	0	0	0	1																																																																																																				
9	1	0	0	1	0																																																																																																				
10	1	0	1	0	0																																																																																																				
11	1	0	1	1	1																																																																																																				
12	1	1	0	0	0																																																																																																				
13	1	1	0	1	1																																																																																																				
14	1	1	1	0	1																																																																																																				
15	1	1	1	1	0																																																																																																				
	<div>Diagrama de Karnaugh</div> <table><tr><td></td><td>b₁b 0</td><td>b₁b 0</td><td>b₁b 0</td><td>b₁b 0</td></tr><tr><td></td><td>00</td><td>01</td><td>11</td><td>10</td></tr><tr><td>b₃b₂ 00</td><td></td><td>1</td><td></td><td>1</td></tr><tr><td>b₃b₂ 01</td><td>1</td><td></td><td>1</td><td></td></tr><tr><td>b₃b₂ 11</td><td></td><td>1</td><td></td><td>1</td></tr><tr><td>b₃b₂ 10</td><td>1</td><td></td><td>1</td><td></td></tr></table>		b ₁ b 0	b ₁ b 0	b ₁ b 0	b ₁ b 0		00	01	11	10	b ₃ b ₂ 00		1		1	b ₃ b ₂ 01	1		1		b ₃ b ₂ 11		1		1	b ₃ b ₂ 10	1		1																																																																											
	b ₁ b 0	b ₁ b 0	b ₁ b 0	b ₁ b 0																																																																																																					
	00	01	11	10																																																																																																					
b ₃ b ₂ 00		1		1																																																																																																					
b ₃ b ₂ 01	1		1																																																																																																						
b ₃ b ₂ 11		1		1																																																																																																					
b ₃ b ₂ 10	1		1																																																																																																						
Verificador de Paridad	Comprueba la paridad/imparidad de un conjunto de bits. Se propone el diseño para controlar un mensaje original de 3 bits [que se transforman en 4 con el agregado del bit de control. Comprobaremos PARIDAD.	<table><tr><th>#</th><th>b_p</th><th>b₂</th><th>b₁</th><th>b₀</th><th>V</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>2</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>3</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>4</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>5</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>6</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>7</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td></tr><tr><td>8</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>9</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>10</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>11</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>12</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>13</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>14</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>15</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td></tr></table>	#	b _p	b ₂	b ₁	b ₀	V	0	0	0	0	0	0	1	0	0	0	1	1	2	0	0	1	0	1	3	0	0	1	1	0	4	0	1	0	0	1	5	0	1	0	1	0	6	0	1	1	0	0	7	0	1	1	1	1	8	1	0	0	0	1	9	1	0	0	1	0	10	1	0	1	0	0	11	1	0	1	1	1	12	1	1	0	0	0	13	1	1	0	1	1	14	1	1	1	0	1	15	1	1	1	1	0	
	#	b _p	b ₂	b ₁	b ₀	V																																																																																																			
0	0	0	0	0	0																																																																																																				
1	0	0	0	1	1																																																																																																				
2	0	0	1	0	1																																																																																																				
3	0	0	1	1	0																																																																																																				
4	0	1	0	0	1																																																																																																				
5	0	1	0	1	0																																																																																																				
6	0	1	1	0	0																																																																																																				
7	0	1	1	1	1																																																																																																				
8	1	0	0	0	1																																																																																																				
9	1	0	0	1	0																																																																																																				
10	1	0	1	0	0																																																																																																				
11	1	0	1	1	1																																																																																																				
12	1	1	0	0	0																																																																																																				
13	1	1	0	1	1																																																																																																				
14	1	1	1	0	1																																																																																																				
15	1	1	1	1	0																																																																																																				
	<div>Diagrama de Karnaugh</div> <table><tr><td></td><td>b₁b 0</td><td>b₁b 0</td><td>b₁b 0</td><td>b₁b 0</td></tr><tr><td></td><td>00</td><td>01</td><td>11</td><td>10</td></tr><tr><td>b₃b₂ 00</td><td></td><td>1</td><td></td><td>1</td></tr><tr><td>b₃b₂ 01</td><td>1</td><td></td><td>1</td><td></td></tr><tr><td>b₃b₂ 11</td><td></td><td>1</td><td></td><td>1</td></tr><tr><td>b₃b₂ 10</td><td>1</td><td></td><td>1</td><td></td></tr></table>		b ₁ b 0	b ₁ b 0	b ₁ b 0	b ₁ b 0		00	01	11	10	b ₃ b ₂ 00		1		1	b ₃ b ₂ 01	1		1		b ₃ b ₂ 11		1		1	b ₃ b ₂ 10	1		1																																																																											
	b ₁ b 0	b ₁ b 0	b ₁ b 0	b ₁ b 0																																																																																																					
	00	01	11	10																																																																																																					
b ₃ b ₂ 00		1		1																																																																																																					
b ₃ b ₂ 01	1		1																																																																																																						
b ₃ b ₂ 11		1		1																																																																																																					
b ₃ b ₂ 10	1		1																																																																																																						

Artefacto	Definición del caso	Tabla de Verdad										Elaboración y Circuito																																																																																																																																																																																																																											
Codificador BCD XS3	<p>Sirve para producir el código binario para cada uno de los dígitos decimales en el formato BCD seleccionado. Proponemos el desarrollo del codificador BCD XS3, cuyo circuito se presenta en la figura adjunta.</p> <p>$b_3 = D_5 + D_6 + D_7 + D_8 + D_9$ $b_2 = D_1 + D_2 + D_3 + D_4 + D_9$ $b_1 = D_0 + D_3 + D_4 + D_7 + D_8$ $b_0 = D_0 + D_2 + D_4 + D_6 + D_8$</p>	<table><tr><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>b₃</th><th>b₂</th><th>b₁</th><th>b₀</th></tr><tr><td>0</td><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td><td>8</td><td>9</td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table>										D	D	D	D	D	D	D	D	D	D	D	b ₃	b ₂	b ₁	b ₀	0	1	2	3	4	5	6	7	8	9						1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	<table><tr><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th><th>D</th></tr><tr><td>0</td><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td><td>8</td><td>9</td><td></td><td></td><td></td><td></td><td></td></tr></table>										D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	0	1	2	3	4	5	6	7	8	9					
D	D	D	D	D	D	D	D	D	D	D	b ₃	b ₂	b ₁	b ₀																																																																																																																																																																																																																									
0	1	2	3	4	5	6	7	8	9																																																																																																																																																																																																																														
1	0	0	0	0	0	0	0	0	0	0	0	0	1	1																																																																																																																																																																																																																									
0	1	0	0	0	0	0	0	0	0	0	0	1	0	0																																																																																																																																																																																																																									
0	0	1	0	0	0	0	0	0	0	0	0	1	0	1																																																																																																																																																																																																																									
0	0	0	1	0	0	0	0	0	0	0	0	1	1	0																																																																																																																																																																																																																									
0	0	0	0	1	0	0	0	0	0	0	0	1	1	1																																																																																																																																																																																																																									
0	0	0	0	0	1	0	0	0	0	0	1	0	0	0																																																																																																																																																																																																																									
0	0	0	0	0	0	1	0	0	0	0	1	0	0	1																																																																																																																																																																																																																									
0	0	0	0	0	0	0	1	0	0	0	1	0	1	0																																																																																																																																																																																																																									
0	0	0	0	0	0	0	0	1	0	0	1	0	1	1																																																																																																																																																																																																																									
0	0	0	0	0	0	0	0	0	1	1	1	0	0	0																																																																																																																																																																																																																									
D	D	D	D	D	D	D	D	D	D	D	D	D	D	D																																																																																																																																																																																																																									
0	1	2	3	4	5	6	7	8	9																																																																																																																																																																																																																														
Decodificador	<p>Hay diferentes tipos de decodificadores. Un mensaje-dígito BCD puede decodificarse a ASCII (para imprimirlo o presentarlo en pantalla) o utilizarlo para activar un display de siete segmentos.</p> <p>Un código binario de n bits se decodifica para recuperar cada una de las 2ⁿ instancias posibles.</p> <p>Se desarrollará un decodificador n x 2ⁿ, siendo n igual a tres</p>	<table><tr><th>#</th><th>b₂</th><th>b₁</th><th>b₀</th><th>A_c</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>L₀</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>L₁</td></tr><tr><td>2</td><td>0</td><td>1</td><td>0</td><td>L₂</td></tr><tr><td>3</td><td>0</td><td>1</td><td>1</td><td>L₃</td></tr><tr><td>4</td><td>1</td><td>0</td><td>0</td><td>L₄</td></tr><tr><td>5</td><td>1</td><td>0</td><td>1</td><td>L₅</td></tr><tr><td>6</td><td>1</td><td>1</td><td>0</td><td>L₆</td></tr><tr><td>7</td><td>1</td><td>1</td><td>1</td><td>L₇</td></tr></table>	#	b ₂	b ₁	b ₀	A _c	0	0	0	0	L ₀	1	0	0	1	L ₁	2	0	1	0	L ₂	3	0	1	1	L ₃	4	1	0	0	L ₄	5	1	0	1	L ₅	6	1	1	0	L ₆	7	1	1	1	L ₇																																																																																																																																																																																								
#	b ₂	b ₁	b ₀	A _c																																																																																																																																																																																																																																			
0	0	0	0	L ₀																																																																																																																																																																																																																																			
1	0	0	1	L ₁																																																																																																																																																																																																																																			
2	0	1	0	L ₂																																																																																																																																																																																																																																			
3	0	1	1	L ₃																																																																																																																																																																																																																																			
4	1	0	0	L ₄																																																																																																																																																																																																																																			
5	1	0	1	L ₅																																																																																																																																																																																																																																			
6	1	1	0	L ₆																																																																																																																																																																																																																																			
7	1	1	1	L ₇																																																																																																																																																																																																																																			

Artefacto	Definición del caso	Tabla de Verdad	Elaboración y Circuito																																													
Multiplexor MUX	<p>Es un dispositivo que transfiere a una única salida una de las 2^n entradas, seleccionándola en base al código de control recibido. Desarrollaremos un MUX con 8 entradas de dato y 3 de control.</p> 	<table><tr><th>#</th><th>C₂</th><th>C₁</th><th>C₀</th><th>M_c</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>D₀</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>D₁</td></tr><tr><td>2</td><td>0</td><td>1</td><td>0</td><td>D₂</td></tr><tr><td>3</td><td>0</td><td>1</td><td>1</td><td>D₃</td></tr><tr><td>4</td><td>1</td><td>0</td><td>0</td><td>D₄</td></tr><tr><td>5</td><td>1</td><td>0</td><td>1</td><td>D₅</td></tr><tr><td>6</td><td>1</td><td>1</td><td>0</td><td>D₆</td></tr><tr><td>7</td><td>1</td><td>1</td><td>1</td><td>D₇</td></tr></table>	#	C ₂	C ₁	C ₀	M _c	0	0	0	0	D ₀	1	0	0	1	D ₁	2	0	1	0	D ₂	3	0	1	1	D ₃	4	1	0	0	D ₄	5	1	0	1	D ₅	6	1	1	0	D ₆	7	1	1	1	D ₇	
#	C ₂	C ₁	C ₀	M _c																																												
0	0	0	0	D ₀																																												
1	0	0	1	D ₁																																												
2	0	1	0	D ₂																																												
3	0	1	1	D ₃																																												
4	1	0	0	D ₄																																												
5	1	0	1	D ₅																																												
6	1	1	0	D ₆																																												
7	1	1	1	D ₇																																												
Demultiplexor DEMUX		<table><tr><th>#</th><th>C₁</th><th>C₀</th><th>D</th><th>S₀</th><th>S₁</th><th>S₂</th><th>S₃</th></tr><tr><td>0</td><td>0</td><td>0</td><td>D</td><td>D</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>D</td><td>0</td><td>D</td><td>0</td><td>0</td></tr><tr><td>2</td><td>1</td><td>0</td><td>D</td><td>0</td><td>0</td><td>D</td><td>0</td></tr><tr><td>3</td><td>1</td><td>1</td><td>D</td><td>0</td><td>0</td><td>0</td><td>D</td></tr></table>	#	C ₁	C ₀	D	S ₀	S ₁	S ₂	S ₃	0	0	0	D	D	0	0	0	1	0	1	D	0	D	0	0	2	1	0	D	0	0	D	0	3	1	1	D	0	0	0	D						
#	C ₁	C ₀	D	S ₀	S ₁	S ₂	S ₃																																									
0	0	0	D	D	0	0	0																																									
1	0	1	D	0	D	0	0																																									
2	1	0	D	0	0	D	0																																									
3	1	1	D	0	0	0	D																																									

Artefacto	Definición del caso	Dispositivo Sin Programar	Dispositivo Programado
Dispositivos Lógicos Programables PLD	<p>Son frameworks de compuertas asociadas a una red de interconexión que se adquieren “no programadas” y se programan suprimiendo las conexiones que no revisten interés.</p> <p>Esto permite realizar rápidamente un circuito sin cableado, lo que constituye una significativa ventaja. Por este motivo son muy usados para desarrollar prototipos y poner a punto componentes.</p> <p>La mayor parte de estos dispositivos son “<i>field-programmable</i>” es decir se programan fuera del ambiente en que son fabricados;</p> <p>Muchos son borrables y reprogramables, lo que permite su reutilización;</p>		
Convenciones de Representación		Los tres tipos más simples de PLD o <i>Programmable Logic Device</i> son: <ul style="list-style-type: none"> • La memoria de solo lectura –ROM: [matriz AND fija y OR programable] • El array lógico programable –PLA: [matriz AND programable y matriz OR programable] • El array de lógica programable –PAL: [matriz AND programable y matriz OR fija] 	
<p>B </p>	<p>Buffer: Los datos ingresan a través de buffers que dan salida a la variable y a su complemento</p>	 <div> <div>F-Intacto</div> <div>F-Quemado</div> </div>	<p>Fusibles: La trama de conexión original tiene un contacto fusible en cada cruce. Con la programación se “queman” algunos fusibles y otros permanecen intactos.</p>
	<p>ROM</p> <p>Es una matriz fija de compuertas AND seguida de una matriz programable de compuertas OR.</p> <p>En su forma básica, la entrada es una palabra de dirección y la salida configura el contenido de esa posición.</p>		

Artefacto	Definición del caso	Dispositivo Sin Programar	Dispositivo Programado																																				
ROM	<p>Se utilizará una ROM programable para almacenar un codificador Gray de 8 posiciones</p> <table border="1"> <thead> <tr> <th>#</th><th>G₂</th><th>G₁</th><th>G₀</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>2</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>3</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>4</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>5</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>6</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>7</td><td>1</td><td>0</td><td>0</td></tr> </tbody> </table>	#	G ₂	G ₁	G ₀	0	0	0	0	1	0	0	1	2	0	1	1	3	0	1	0	4	1	1	0	5	1	1	1	6	1	0	1	7	1	0	0		
#	G ₂	G ₁	G ₀																																				
0	0	0	0																																				
1	0	0	1																																				
2	0	1	1																																				
3	0	1	0																																				
4	1	1	0																																				
5	1	1	1																																				
6	1	0	1																																				
7	1	0	0																																				
PAL	<p>PAL Es una matriz programable de compuertas AND que alimenta a una matriz fija de compuertas OR.</p>																																						
PLA	<p>PLA Es una matriz programable de compuertas AND que alimenta a una matriz programable de compuertas OR.</p>																																						