

---

## DIAGRAMA DE CONEXIONADO

---

# 15

15.1.- Introducción.....	2
15.2.- Alimentación.....	5
15.3.- Señales de datos.....	6
15.1.- Del bus de datos.....	6
15.1. De paridad de datos.....	6
15.4.- Señales de direcciones.....	6
15.1.- Del bus de direcciones.....	6
15.2.- De máscara de direcciones.....	8
15.3.- De paridad de direcciones.....	8
15.5.- Señal de reloj.....	8
15.6.- Señales de definición del ciclo de bus.....	8
15.7.- Señales de control del ciclo de bus.....	9
15.8.- Señales de inicialización.....	9
15.9.- Señales de interrupción.....	9
15.10.- Señales de error.....	10
15.11.- Señales de arbitraje de bus.....	10
15.12.- Señal de chequeo de redundancia.....	11
15.13.- Señales de control de caché.....	11
15.14.- Señales de caché de páginas.....	12
15.15.- Señal de orden de escritura.....	12
15.16.- Señales del SMM.....	13
15.17.- Señales de punto de ruptura y monitor de ejecución.....	13
15.18.- Señales de seguimiento de ejecución.....	13
15.19.- Señales del modo de prueba.....	14

## 15.1. INTRODUCCIÓN

El microprocesador es un sistema abierto, se comunica con el subsistema de memoria, elementos periféricos de muy diversa índole, dispositivos de E/S e incluso, con otros procesadores. Esta comunicación se realiza a través de las señales que salen y entran desde y hacia el procesador por las patitas de este. El conjunto de todas las señales constituye el bus propio del microprocesador. La disposición e identificación de dichas señales en un encapsulado constituyen su esquema de conexionado.

A lo largo del tiempo Intel ha presentado diferentes tipos de encapsulados, variando su presentación, el número y la disposición de las patitas. A la vez que los procesadores se hicieron más potentes, más rápidos y más complejos la necesidad de mejorar el encapsulado se ha ido incrementando.

El encapsulado PGA (Pin Grid Array) es la forma más común de presentación de los microprocesadores Intel y el que más éxito ha tenido a lo largo de los años. Este tipo de encapsulado está caracterizado por su forma rectangular y por la disposición de las patitas ordenadas en filas y columnas como si de una matriz se tratase.

El primer Pentium utiliza el encapsulado PGA 273, denominado así por los 273 pines que lo conforman.



Figura 15.1 – Encapsulado PGA 273

A partir del Pentium II Intel lanza un nuevo tipo de encapsulado el S.E.C.C. (Single Edge Contact Cartridge). Está formado por un cartucho que reúne: al procesador, la caché L2, otros componentes y un área de ventilación.

En el Pentium III se presentó la cápsula S.E.C.C-2 además del PGA 370.

El lanzamiento por parte de Intel del cartucho S.E.C.C. es una forma de continuar con su compromiso de proporcionar soluciones innovadoras y de calidad. Además este tipo de encapsulado fue registrado de tal forma que los competidores de Intel no pudieran usarlo.

Los encapsulados son el soporte físico del diagrama de conexionado. Las 273 patitas del encapsulado PGA 273 se agrupan en una matriz de 21 filas x 21 columnas. A las filas se les asigna una letra y a las columnas un número, así por ejemplo la patita A17 (*Address 17*), que es la línea 17 del bus de direcciones, se determina con la fila T y columna 11.

No todas las patitas del diagrama de conexionado están ocupadas y hay una asimetría producida por la patita 273.

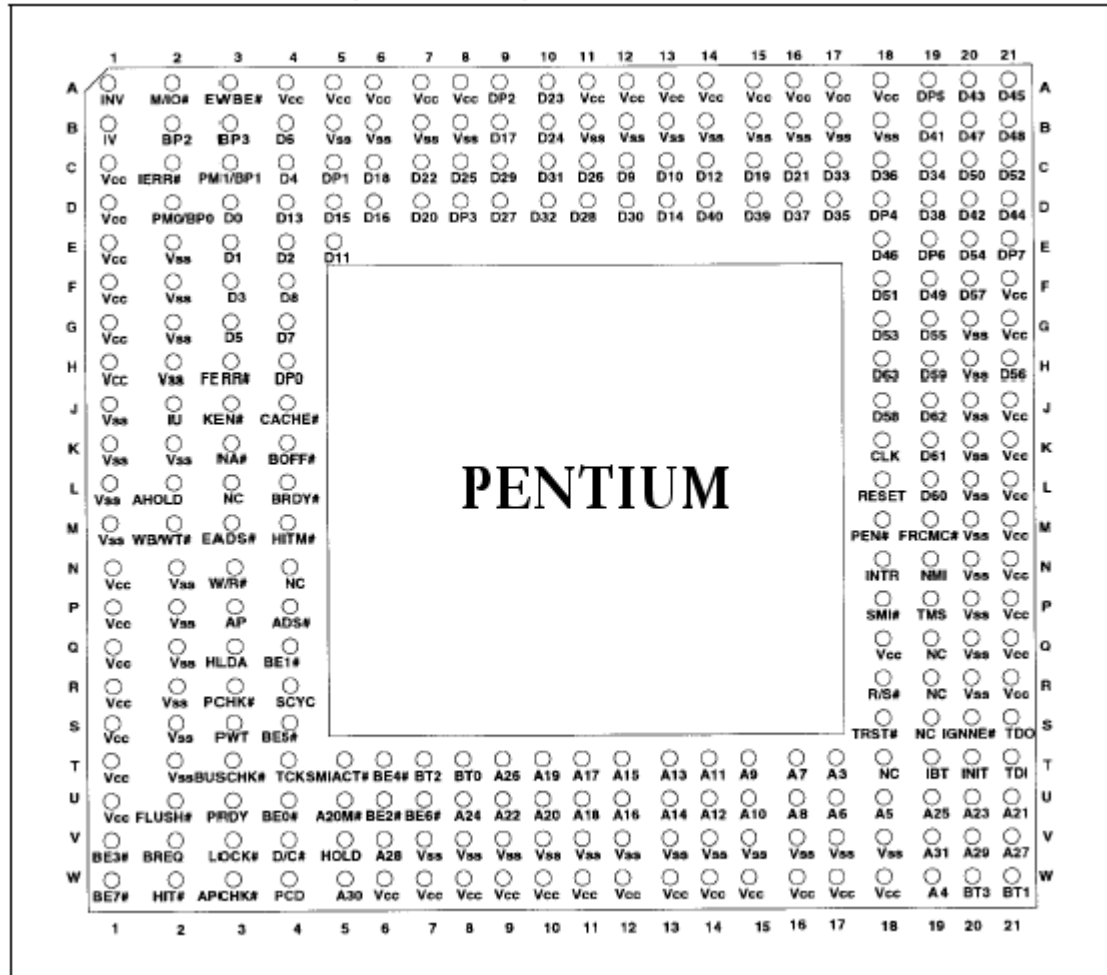


Figura 15.2 – Diagrama de conexionado del Pentium

A continuación se describe el diagrama de conexionado del Pentium. Para una mejor comprensión del mismo mostramos la siguiente figura en la cual se agrupan las señales por funciones.

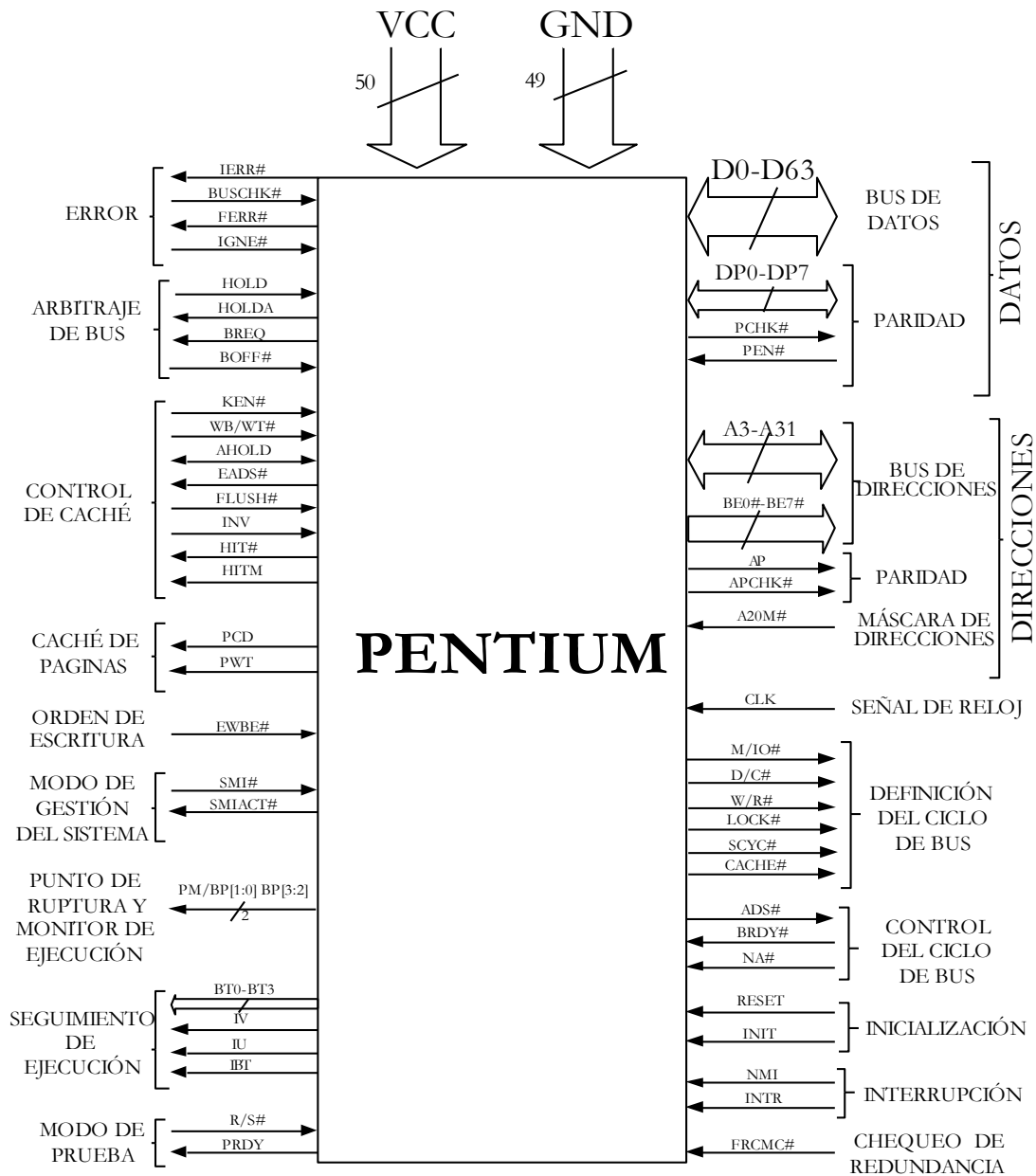


Figura 15.3 – Esquema de las señales del Pentium

## 15.2. ALIMENTACIÓN

El número de patitas del Pentium aumenta debido en parte a la alimentación. Dentro del procesador existen cada vez más circuitos, los cuales necesitan su propia alimentación para funcionar.

En el Pentium hay 50 patitas de alimentación conectadas a VCC y 49 patitas conectadas a GND.

El consumo normal del procesador empezó siendo 5V, pero como la disipación de potencia (13 W) y el calor (70 ° C) eran muy altos, la tensión se ha ido rebajando continuamente. Incluso se utilizan refrigeradores de cualquier tipo para que no se queme el procesador.

## 15.3. SEÑALES DE DATOS

Agrupan las señales del bus de datos y las señales de paridad de datos.

### 15.3.1. Señales del bus de datos

Las señales del bus de datos son líneas bidireccionales triestado: tienen nivel alto, nivel bajo y alta impedancia. Las líneas del bus de datos se dejan en estado de alta impedancia para ser controladas por el exterior.

- **D0-D63 (E/S): Data lines.** Son 64 líneas de datos de entrada/salida del procesador. Las líneas D0-D7 definen el byte menos significativo del bus de datos y las líneas D56-D63 definen el byte de mayor peso del bus de datos.  
Como entradas se activan después de recibir la señal BRDY#.  
Como salidas están activas durante los estados T2, T12 y T2P del bus.

### 15.3.2. Señales de paridad de datos

El Pentium utiliza paridad par cuando envía información al exterior. Además tiene un sistema de detección de paridad cuando recibe información, en el caso de que el elemento exterior sea capaz de generar paridad.

Las señales de paridad de datos son las siguientes:

- **DP0-DP7 (E/S): Data parity.** Son 8 líneas de entrada/salida, una por cada byte del bus de datos, para indicar la paridad de los datos. Son enviadas en la misma señal de reloj que las líneas del bus de datos. DP0 acompaña al byte D0-D7, y DP7 acompaña al byte D56-D63.
- **PCHK# (S): Parity check.** Es una línea de salida que indica si se ha producido error en la paridad de los datos en el proceso de lectura. Se envía dos señales de reloj después de recibir la señal BRDY# y se mantiene activa durante una señal de reloj por cada error de paridad detectado.
- **PEN# (E): Parity enable.** Es una patita de entrada que se activa cuando el Pentium ha sacado información al exterior y el dispositivo externo detecta un error de paridad en los datos.

## 15.4. SEÑALES DE DIRECCIONES

Agrupar las señales del bus de direcciones, de máscara de direcciones y de paridad de dirección.

### 15.4.1. Señales del bus de direcciones

Las líneas del bus de direcciones son líneas bidireccionales triestado: tienen nivel alto, nivel bajo y alta impedancia. Se dejan en alta impedancia cuando son controladas por el exterior.

Observando cómo se agrupa se puede comprobar que la memoria se agrupa en posiciones de ocho bytes, por lo que el bus de direcciones no apunta a un byte sino a ocho. Se necesita por tanto 29 líneas para apuntar una posición de memoria.

- A3-A31 (E/S): Address.** Son 29 líneas de entrada/salida. De salida porque el Pentium deposita en ellas la dirección física de la memoria donde se quiere acceder, y de entrada porque se debe poder acceder a la caché.  
 Existen dos razones para acceder a la caché:
  - Para actualizar la caché:  
 Cuando se produce un fallo en la caché, hay que acceder a la caché para actualizarla.
  - Para invalidar una línea de la caché:  
 Cuando se escribe en la memoria principal hay que acceder a la caché para invalidar el contenido que ésta tiene.
- BE7#-BE0# (S): Byte enable.** Son 8 líneas que se activan en función de los bytes del bus de datos que participan en la operación. BE7# corresponde al byte de mayor peso del bus de datos y BE0# al de menor peso.

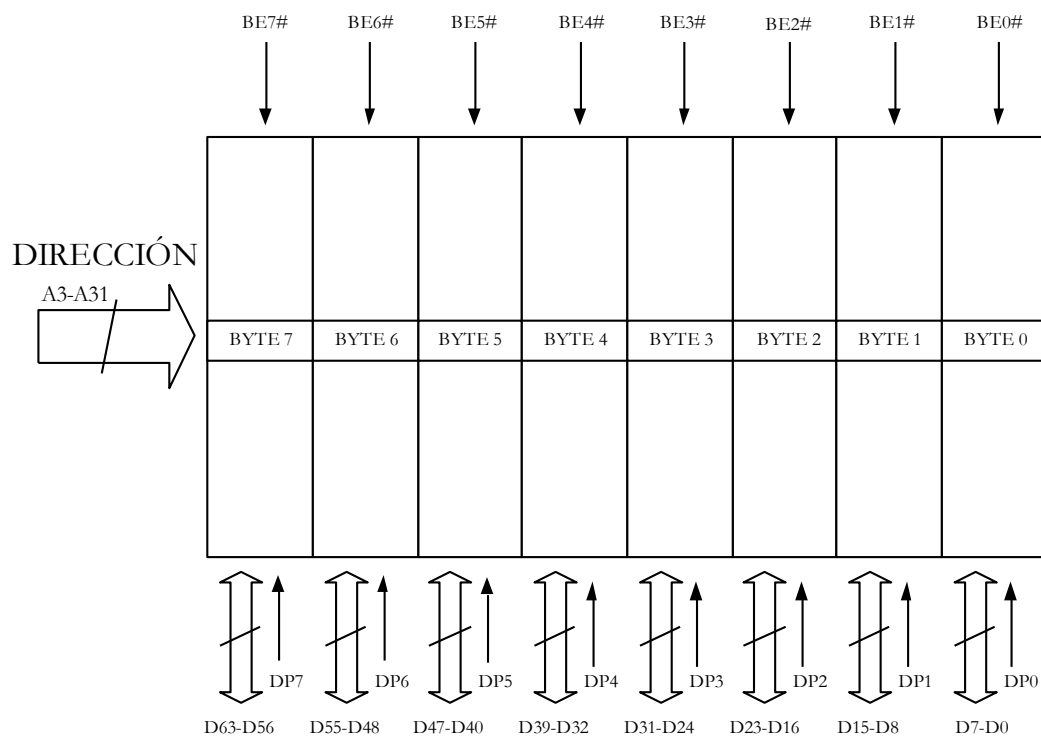


Figura 15.4 – Agrupación del bus de datos de 8 en 8 para cada byte de memoria.

### 15.4.2. Señal de máscara de direcciones

- **A20M# (E):** *Address bit 20 mask*. Es una línea de entrada que activa el elemento externo para indicar al Pentium que el bus de direcciones trabaja con el primer Mbyte del espacio de direcciones de la memoria. Cuando se activa sólo se utilizan las primeras 20 patitas del bus de direcciones.  
Esta patita sólo puede utilizarse cuando el procesador trabaja en modo real.

### 15.4.3. Señales de paridad de direcciones

- **AP (S):** *Address parity*. Es una línea de salida que activa el Pentium para generar paridad en las líneas del bus de direcciones.
- **APCHK# (S):** *Address parity check*. Es una línea de salida que indica si se ha producido error en la paridad del bus de direcciones.

## 15.5. SEÑAL DE RELOJ

La señal de reloj CLK es una línea de entrada que proporciona la frecuencia a la que trabaja internamente el Pentium.

## 15.6. SEÑALES DE DEFINICIÓN DEL CICLO DE BUS

Un ciclo de bus es el tiempo en el que la CPU realiza una transferencia de datos completa con el exterior, esto es, con la memoria o con los periféricos de E/S.

Las señales de definición del ciclo de bus son 6 líneas de salida:

- **M/IO# (S):** *Memory / Input-Output*. Es una patita que toma el valor 1 ó 0 si en el ciclo actual se accede a la memoria principal o al espacio de posiciones de E/S. Es válida en el mismo ciclo de reloj que la señales ADS#.
- **D/C# (S):** *Data / Code*. Esta patita toma valor 1 si es un dato y 0 si es el código de una instrucción ó se trata de un ciclo especial. Se activa en el mismo ciclo de reloj que ADS#.
- **W/R# (S):** *Write / Read*. Esta patita tomar valor 1 si es un ciclo de escritura y valor 0 si es un ciclo de lectura. Se activa en el mismo ciclo de reloj que ADS#.
- **LOCK# (S):** *Bus Lock*. El Pentium activa por nivel bajo esta patita para indicar al exterior que no va a ceder los buses hasta que finalice la instrucción que está ejecutando. Esto lo hace el Pentium porque está ejecutando una instrucción especial protegida, normalmente de lectura, escritura o modificación.
- **SCYC#(S):** *Split cycle*. Esta patita se activa para indicar que existen más de dos ciclos de LOCK# consecutivos.
- **CACHE# (S):** En un ciclo de lectura, se activa esta patita para avisar al exterior que hay espacio libre en la caché. Por tanto, si se lee de la memoria principal se puede guardar luego en la caché. Si no se activa, indica que no hay espacio en la caché. En un ciclo de escritura, el Pentium la activa si el ciclo es de escritura obligada.



## 15.7. SEÑALES DE CONTROL DEL CICLO DE BUS

- **ADS# (S):** *Address status*. Esta línea se activa cuando comienza un nuevo ciclo de bus válido.
- **BRDY# (E):** *Burst ready*. La activa el elemento externo para indicarle al Pentium que ha cogido el dato depositado por el Pentium en el bus de datos cuando se dispone a escribir o bien que el elemento externo ha depositado el dato en el bus de datos cuando el Pentium se dispone a leer. Esta señal indica el final del ciclo de bus y es activa en los estados T1, T2 y T2P del bus.
- **NA# (E):** *Next address*. Esta línea la activa el sistema exterior para avisar al Pentium que, aunque el ciclo de bus actual no haya finalizado, está preparado para recibir un nuevo ciclo de bus.

## 15.8. SEÑALES DE INICIALIZACIÓN

- **RESET (E):** *Reset*. La provoca un sistema externo cuando quiere inicializar el Pentium. Fuerza al procesador a comenzar la ejecución en un estado conocido. Todas las caches internas del procesador serán invalidadas. Las líneas modificadas en la caché de datos no se pueden deshacer.
- **INIT (E):** *Initialization*. El pin de entrada de *inicialización* del procesador fuerza al procesador Pentium a comenzar la ejecución en un estado conocido. El estado del procesador después de INIT es igual al estado después del RESET excepto que los caches internas, buffers de escritura y los registros de la FPU conservan los valores que tenían antes de INIT. INIT no se puede utilizar en lugar de RESET después de encender el ordenador.

## 15.9. SEÑALES DE INTERRUPCIÓN

- **NMI (E):** *Non-maskable interrupt*. Señal de petición de interrupción no mascarable, a esta interrupción la CPU la atiende siempre con la entrada dos de la IDT. Indica que se ha generado una interrupción no mascarable externa.
- **INTR (E):** *Maskable interrupt*. Señal de petición de interrupción mascarable. Indica que se ha generado una interrupción externa. Si el bit IF en el registro EFLAGS está activo, el procesador atiende la interrupción, con el vector definido por los ocho bits de menos peso del bus de datos (D0-D7). Si por el contrario el bit IF = 0 se ignora la interrupción.  
INTR debe seguir activo hasta que el primer ciclo de reconocimiento de interrupción es generado para asegurar que la interrupción es reconocida.

## 15.10. SEÑALES DE ERROR:

- **IERR# (S):** *Internal error*. El pin interno de error se utiliza para indicar dos tipos de errores, errores de paridad internos y errores de comprobación de redundancia. Este segundo se debe a la capacidad de actuar en paralelo con otro procesador, uno maestro y otro esclavo comprobando posteriormente los resultados. Si ocurre un error entre el valor muestreado en los pins y el valor computado internamente, el procesador activará IERR# dos relojes después de que el valor erróneo se devuelva.  
Si un error de paridad ocurre en una lectura de un array interno, el procesador activará el pin IERR# en un ciclo de reloj y después parar.
- **BUSCHK# (E):** *Bus check*. La comprobación del bus de entrada, el sistema indica al Pentium que el ciclo de bus que estaba desarrollando no se ha completado con éxito. Si este pin es muestreado como activo, el procesador guardará la dirección y las señales de control en los registros de comprobación de la máquina. Si además, el bit MCE en CR4 está activo, el procesador Pentium se dirigirá a la excepción de comprobación de la máquina.
- **FERR# (S):** *Floating point error*. El pin del error de coma flotante, indica que ha ocurrido un error no mascarable en el coprocesador matemático FPU.  
FERR# es similar al pin ERROR# en el coprocesador matemático de Intel387.
- **IGNNE# (E):** *Ignore numeric error*. Entrada numérica del error ignore. Permite ignorar errores numéricos, se le indica al Pentium que ignore los errores de la FPU.  
Si se activa IGNNE# y el bit NE del registro de control CR0 está a 0, el procesador ignorará cualquier excepción numérica desenmascarada pendiente y continuará ejecutando las instrucciones en coma flotante. Si por el contrario NE está a 1, este pin no tendrá ningún efecto.  
Cuando el bit NE está a 0 e IGNNE# no está activo, existe una excepción numérica desenmascarada pendiente, y si la instrucción en coma flotante es una FINIT, FCLEX, FSTENV, FSAVE, FSTSW, FSTCW, FENI, FDISI, o FSETPM, el Pentium ejecutará la instrucción a pesar de tener una excepción pendiente. Si por el contrario la instrucción en coma flotante no es una de las anteriores el Pentium parará la ejecución y esperará una interrupción externa.

## 15.11. SEÑALES DE ARBITRAJE DE BUS

- **HOLD (E):** *Hold request*. Petición de los buses. El Pentium después de completar los ciclos de bus pendientes activa HLDA y deja en triestado el bus; se desconecta de él para que el elemento que realiza la petición lo utilice. El Pentium mantendrá su bus en este estado hasta que HOLD sea desactivado. Esta señal no se reconocerá durante ciclos de LOCK. El procesador reconocerá la señal HOLD durante el reset.
- **HLDA (S):** *Bus hold acknowledge*. Pin de reconocimiento del estado hold. Se activa en respuesta a una petición del bus, dirigida al procesador para el pin HOLD. Indica que el Pentium ha cedido el bus. Al salir de HOLD, HLDA se desactiva y el Pentium reasumirá el control del bus y si tiene algún ciclo del bus pendiente, será completado en el mismo ciclo de reloj en el que HLDA se desactive.

- **BREQ (S):** *Bus request*. Señal de petición del bus. Indica al sistema externo que el Pentium internamente ha generado una petición del bus. Esta señal se controlará siempre aunque el Pentium no esté controlando el bus.
- **BOFF# (E):** *Backoff*. Entrada que se emplea para abortar todos los ciclos de bus que todavía no se han completado, quedando congelados. Supone una parada brusca de la CPU. El Pentium permanece en este estado hasta que este pin no se desactive. Cuando se activa reanuda y completa los ciclos que no finalizó.

## 15.12. SEÑAL DE CHEQUEO DE REDUNDANCIA

- **FRCMC# (E):** *Functional redundancy checking master / Checker*. Entrada que se utiliza para determinar si el Pentium está configurado en modo maestro o en modo esclavo. Cuando está configurado como maestro, el procesador pone sus pins de salida según es requerido por el protocolo de bus. Cuando es configurado como esclavo, el procesador pone en triestado todas las salidas (excepto IERR# y TDO) y muestrea los pins de salida.  
La configuración como maestro / esclavo se fija después de RESET y no se podrá cambiar hasta otro RESET.

## 15.13. SEÑALES DE CONTROL DE CACHÉ

- **KEN# (E):** *Cache enable*. El pin que se utiliza para determinar si el ciclo actual es cacheable o no y por lo tanto determinar la longitud del ciclo.  
Cuando el Pentium genera un ciclo que puede ser cacheado (CACHE# activado) y KEN# es activo, el ciclo será transformado en un ciclo de relleno de línea.
- **WB/WT# (E):** *Writeback / Writethrough*. Entrada que permite que una línea de la caché de datos sea definida de escritura obligada o escritura diferida.  
Consecuentemente, se determina si la línea de la caché de datos está inicialmente en el estado S o E (protocolo MESI).
- **AHOLD (E/S):** *Assertion of address hold*. En respuesta a la activación de HOLD del bus de direcciones, el Pentium dejará de tratar las líneas de dirección (A31-A3), y del AP en el ciclo de reloj siguiente. El resto del bus seguirá siendo activo así que los datos se pueden volver o llevar a los ciclos previamente ocurridos del bus.  
Si es de entrada, le indicamos al Pentium que active la hold del bus de direcciones porque hay que invalidar una línea de la caché del Pentium, por ello el controlador de la caché le pide a la CPU active el hold del bus de direcciones, ya que el controlador es el que conoce la dirección de la línea a invalidar, que introducirá por el bus de direcciones. Si es de salida, el Pentium solicita el bus de direcciones para sacar la dirección de una línea de la caché de segundo nivel L2 para invalidarla o modificarla.
- **EADS# (E):** *Valid external address*. Esta señal indica que una dirección externa válida se ha llevado a los pins de dirección del Pentium. Indica que se va a iniciar un ciclo de bus especial, esta dirección corresponde a una línea de la caché externa que se va a invalidar.

- **FLUSH (E):** *Cache flush*. La activa un elemento externo para invalidar la caché interna. Se invalidan todas las líneas de la caché, dejan de tener validez, y esto fuerza la escritura obligada de todas las líneas modificadas de la caché de datos. El Pentium generará un ciclo especial indicando la finalización de la escritura obligada y de la invalidación.
- **INV (E):** *Invalidation*. Entrada de invalidación que determina el estado final de la línea de caché (S o I) en caso de que sea un ciclo de investigación. Si es muestreado junto con la dirección para el ciclo de investigación, EADS# será activado.
- **HIT# (S):** *Hit*. Se utiliza para reflejar el resultado de un ciclo de investigación. Si un ciclo de la investigación da una línea válida en cualquiera de los datos del Pentium o caché de instrucción, este pin es activado dos ciclos de reloj después de que se active EADS#. Si el ciclo de la investigación pierde la caché del Pentium, este pin es negado dos ciclos después que EADS#. Este pin cambia su valor solamente como resultado de un ciclo de la investigación y conserva su valor entre los ciclos.
- **HITM# (S):** *Hit to a modified line*. Se utiliza para reflejar el resultado de un ciclo de investigación. Se activa después de los ciclos que dieron lugar a un hit sobre una línea modificada en la caché de datos. Es utilizada para inhibir otro bus maestro de tener acceso a los datos hasta que la línea ha sido totalmente escrita.

#### 15.14. SEÑALES DE CACHE DE PAGINAS

- **PCD (S):** *Page cache disable*. Pin que refleja el estado del bit PCD del registro de control CR3 de la entrada del directorio de páginas, o de la entrada de la tabla de páginas que apunta. El propósito de PCD es indicar si la página correspondiente es cacheable o no.
- **PWT (S):** *Page write through*. El pin que refleja el estado del bit PWT en CR3 de la entrada en el directorio de páginas, o de la entrada de la tabla de páginas que apunta. El propósito de PWT es indicar si la página correspondiente es de escritura obligada.

#### 15.15. SEÑAL DE ORDEN DE ESCRITURA

- **EWBE# (S):** *External write buffer empty*. Es una línea que entra al Pentium durante un ciclo de escritura de la caché. Si es activa indica que para terminar la operación todavía queda un ciclo de escritura pendiente.

## 15.16. SEÑALES DEL SMM (MODO DE GESTIÓN DEL SISTEMA)

Las señales de modo de gestión del sistema son dos líneas, una de entrada y otra de salida.

- **SMI# (E):** *System management interrupt*. Es una línea de entrada. Cuando se activa, el procesador entra en el modo de gestión del sistema.
- **SMIACK# (S):** *System management interrupt active*. Es una señal de salida que indica al exterior que el procesador está trabajando en el modo de gestión del sistema.

## 15.17. SEÑALES DE PUNTO DE RUPTURA (BP) Y MONITOR DE EJECUCIÓN (PM)

- **PM/BP[1:0] BP[3:2]:** *Performance monitoring / Breakpoint*. Los puntos de ruptura BP [1:0] están multiplexados con las líneas del monitor de ejecución PM [1:0]. Los bits PB0 y PB1 del registro de control de depuración determinan si las líneas están configuradas como puntos de ruptura o como líneas del monitor de ejecución.  
Cuando se produce un reset, dichas líneas quedan configuradas como líneas del monitor de ejecución.  
Los puntos de ruptura BP0-BP3 corresponden con los registros de depuración DR0-DR3. Indican un punto de ruptura cuando los registros de depuración están programados para testear puntos de ruptura.

## 15.18. SEÑALES DE SEGUIMIENTO DE EJECUCIÓN

- **BT3-BT0 (S):** *Branch trace*. Proporciona los bits 2-0 de la dirección lineal de la bifurcación (BT-BT0) y el tamaño del operando por defecto (BT3) durante un ciclo especial. Si el bit BT3 está activo el tamaño será 32 bits, si no lo está el tamaño será de 16 bits.
- **IV (S):** *V<sub>pipe</sub> instruction complete*. Se activa por nivel alto en un ciclo de reloj para indicar que la instrucción en el cauce V ha finalizado su ejecución. Este pin es manejado siempre por el procesador.
- **IU (S):** *U<sub>pipe</sub> instruction complete*. Se activa por nivel alto en un ciclo de reloj para indicar que la instrucción en el cauce U ha finalizado su ejecución. Este pin es manejado siempre por el procesador.  
IV e IU se utilizan para el control de la segmentación de forma externa.
- **IBT (S):** *Instruction branch taken*. Se activa por nivel alto en un ciclo de reloj para indicar que ha ocurrido una instrucción de salto. Esta salida es manejada siempre por el procesador.

## 15.19. SEÑALES DEL MODO DE PRUEBA

- **R/S# (E):** La entrada R/S# es una interrupción asíncrona, usada para parar la ejecución normal del procesador y para ponerla en estado IDLE. Un flanco descendente en el pin R/S# interrumpirá el procesador y hará parar la ejecución en el límite con la siguiente instrucción.
- **PRDY (E):** Indica que el procesador ha parado la ejecución normal en respuesta a la puesta a 1 del pin R/S#, o a la activación de modo de prueba *“probe mode”*.