

---

## EL BUS Y LOS CICLOS DE BUS

---

# 16

<b>16.1.- Introducción.....</b>	<b>1</b>
<b>16.2.- Características del ciclo de bus.....</b>	<b>2</b>
<b>16.3.- Características de la memoria y subsistemas de E/S.....</b>	<b>4</b>
<b>16.4.- Señales entre la CPU y la memoria.....</b>	<b>5</b>
<b>16.5.- Ciclos de memoria.....</b>	<b>6</b>
16.5.1 - Posibles estados de un ciclo.....	6
16.5.2 - Ciclos básicos de transferencia.....	8
16.5.2.1 – Ciclo de lectura.....	8
16.5.2.2 – Ciclo de escritura (sin estados de espera).....	9
16.5.3 – Estados o ciclos de espera.....	10
16.5.4 – Límites Cuádruples palabras.....	11
16.5.5 – Ciclos por ráfagas (burst).....	11
16.5.5.1 – Ciclo de Lectura.....	12
16.5.5.2 – Ciclo de Escritura.....	13
<b>16.6.- Ciclos inquirí (petición) y snooping (rastreo) interno.....</b>	<b>14</b>
16.6.1 – Ciclos Inquiry.....	14
16.6.2 – Ciclos de snooping (de rastreo) interno.....	16
<b>16.7.- Espacio de direcciones de E/S y Periféricos.....</b>	<b>17</b>
16.7.1 – Direccionamiento de E/S.....	17
16.7.1.1- Acceso directo a E/S.....	18
16.7.1.2- Acceso mediante memoria E/S mapeada.....	18
<b>16.8.- Los buffers del bus interno.....</b>	<b>19</b>
16.8.1 – Buffers de escritura.....	19
16.8.2 – Buffers write back (“escritura obligada”).....	19
16.8.3 – Buffers de llenado de línea.....	20

## 16.1- INTRODUCCIÓN

En este tema se estudiarán los ciclos de bus y los diferentes términos en relación con éstos.

Para leer y escribir datos, el Pentium debe ser capaz de transmitir y recibir varias señales de control y por supuesto también necesita energía para su circuitería.

El bus del procesador Pentium puede funcionar en un modo llamado *pipeline*. En este modo, se puede comenzar un segundo ciclo de bus antes de haber terminado el primero. Frecuentemente las instrucciones y datos requeridos se encuentran en cualquiera de las dos cachés, (en algunos casos tres, como en el Pentium 4 Xenon con una L3 de 1MB ) que pueden ser leídas y escritas en un único ciclo de reloj. Para la conexión con la caché de segundo nivel (caché nivel L2), el bus de datos ha de ser ampliado a 64 bits, con lo que las cachés pueden ser leídas y escritas lo suficientemente rápido: 32 bits son insuficientes si los tres ‘pipelines’ ejecutan una instrucción por cada ciclo de reloj (sin bloqueos) y adicionalmente se ejecuta un acceso a memoria cuando sea posible. El Pentium intenta ejecutar accesos a memoria cuando sea posible. El Pentium intenta ejecutar accesos a memoria lo más rápido posible, tanto en llenado de líneas caché como en recuperaciones.

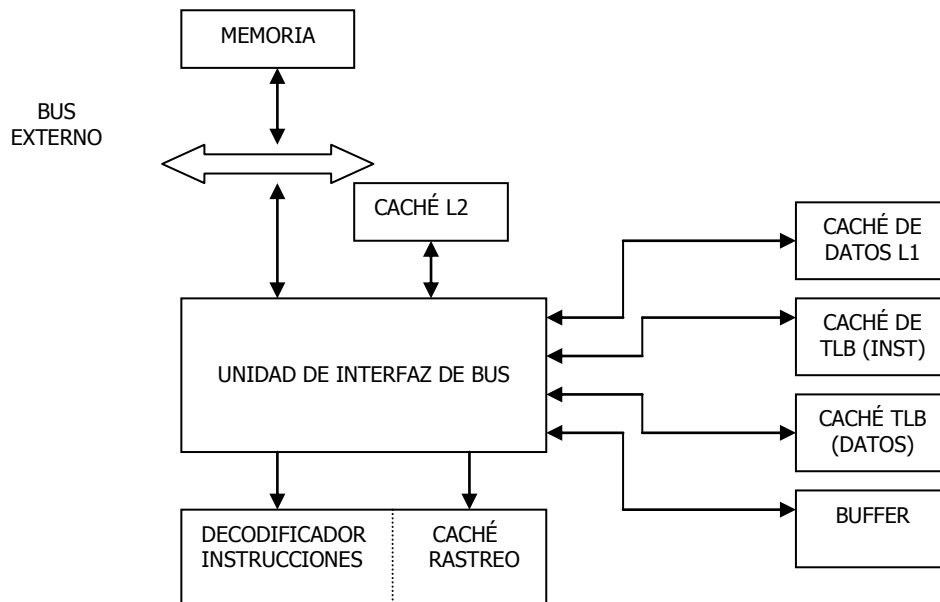


Figura 16.1 Ejemplo de estructura con tres cachés para el Pentium 4 Xenon

Se conoce como ciclo de bus al tiempo en el que la CPU realiza una transferencia de datos completa con el exterior, es decir, con memoria o con los periféricos de entrada/salida. Como mínimo se compone de dos estados T1 y T2.

El procesador realiza las siguientes acciones:

- Coloca en el bus la dirección a acceder
- Activa las señales de control que indican el tipo de transacción
- Transfiere o recibe el dato
- Las acciones se realizan de forma sincronizada y controladas por una unidad interna del procesador: la Unidad de Bus

## 16.2- CARACTERÍSTICAS DEL CICLO DE BUS

La frecuencia de funcionamiento del Pentium se denomina ciclo de reloj interno (CLK). También existe el ciclo de reloj externo (CLK2) que no es otro que el que se introduce por la patita CLK2 y que tiene el doble de la frecuencia a la que funciona la CPU.

Ejemplo: CLK  $f=20$  Mhz  
CLK2  $f=40$  Mhz

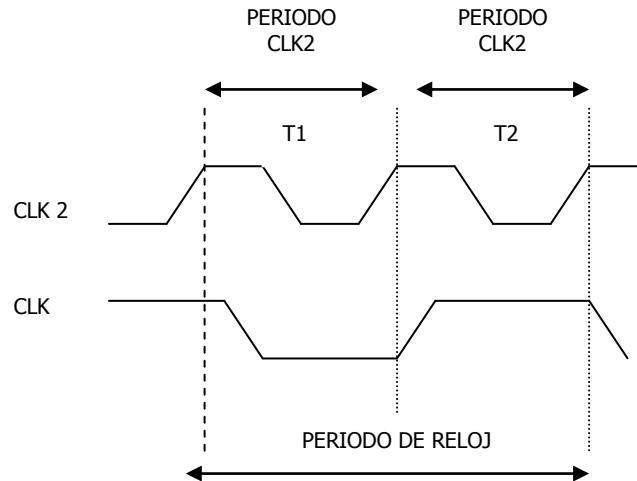


Figura 16.2 Frecuencia de trabajo del Pentium

Se denomina periodo de la CPU, y se representa por  $T_{CPU}$ , al tiempo que dura un ciclo de trabajo.

Un estado de bus (T) es el tiempo mínimo en el que la CPU puede realizar una operación elemental y dura un periodo de CLK, o lo que es lo mismo, dos ciclos de CLK2.

Un ciclo de bus es el tiempo en el que la CPU realiza una transferencia de datos completa con el exterior, o sea, con la memoria o con los periféricos de E/S. Como mínimo se compone de dos estados: T1 y T2.

Existen diferentes tipos de ciclos de bus en el Pentium. A continuación se indican las tres principales categorías en las que pueden ser divididos y mas adelante se profundizará mas en cada uno de ellos:

–**Ciclo de bus en modo Sencillo o Simple (no burst):**

–**Ciclo de bus en modo ráfaga (Burst Bus Cycle):** Para transferir grandes cantidades de datos, por ejemplo una línea de la caché. Si la línea es de 256 bits (32 bytes) y el ancho del bus es de 64 bits (8 bytes), en una transferencia normal necesitaríamos 4 ciclos de bus (8 ciclos de procesador). De esta forma, la transferencia se realiza en 5 ciclos de procesador.

–**Ciclos especiales:** Reconocimiento de interrupción, “shutdown”, etc.

Cada vez que se activa ADS# comienza un nuevo ciclo de bus y al mismo tiempo aparece una dirección válida por las líneas A2-A31 / BE0#0- BE3#, quedando definido el tipo de ciclo de bus con las señales de control M/IO, D/C# y W/R#.

TIPOS DE CICLO DE BUS	M/IO#	D/C#	W/R#
Lectura de datos E/S	0	1	0
Escritura de datos E/S	0	1	1
Lectura de datos de memoria	1	1	0
Escritura de datos de memoria	1	1	1
Lectura de código de memoria	1	0	0
Reconocimiento de interrupción	0	0	0
No válido	0	0	1
Tipo Especial	1	0	1

Tabla 16.1. Tipos de Ciclos de Bus

Cuando se produce la combinación 101 pueden ocurrir varios tipos de ciclos especiales. Estos a su vez se recogen en la tabla 16.2., la cual dirá el Byte que se ha de habilitar en cada caso.

De este modo, por ejemplo, el ciclo de bus tipo HALT se produce al ejecutarse la instrucción HLT. Cuando se da este tipo de bus, por el bus de direcciones sale A2-A31 y BE2#=0.

El ciclo SHUTDOWN se genera al estar generándose una excepción de “doble fallo” y producirse otra excepción de “fallo de protección”, es decir, una violación de las reglas de protección. En este caso, por el bus de direcciones sale A2-A31=0 y BE0#=0.

TIPO ESPECIAL DE CICLO	BE5#	BE4#	BE3#	BE2#	BE1#	BE0#
REPOSO (SHUTDOWN)	1	1	1	1	1	0
INVALIDAR CACHE(FLUSH)	1	1	1	1	0	1
PARADA(HALT)	1	1	1	0	1	1
WRITE BACK ( Escritura obligada )	1	1	0	1	1	1
Reconocimiento de Flush	1	0	1	1	1	1
Mensaje de Rastreo de Etiqueta	0	1	1	1	1	1

Tabla 16.2. Tipos de Ciclos de Bus Especiales

Cuando el procesador no está realizando ninguno de los ciclos de bus existentes, significa que está en estado de reposo (  $T_i$  ) o en estado de reconocimiento de HOLD (  $T_n$  ). El estado de reposo queda identificado porque desde el último ciclo de bus no se ha activado la señal ADS#. El estado de reconocimiento de HOLD se da cuando otro maestro pide los buses a la CPU y este le cede los buses, dejándolos en triestado, y se identifica comprobando la habilitación de la señal de salida HLDA.

### 16.3- CARACTERÍSTICAS DE LA MEMORIA Y SUBSISTEMAS DE E/S

El Pentium contiene un bus externo de 64 bits.

Internamente el Pentium es un procesador de 32 bits.

Tanto la caché externa L2 como la memoria principal están organizadas como una memoria de 64 bits. A pesar de esto el Pentium puede direccionar bytes individuales, palabras o dobles palabras por medio de las señales de activación de byte BE7#-BE0#. Cada ciclo de bus direcciona memoria por medio de A31-A3, en múltiplos de 8.

El espacio de memoria principal del Pentium comprende 4 Gigabytes. Por supuesto, la memoria también puede configurarse como una memoria de 32, 16 u 8 bits. Los bits de direccionamiento A23-A2 y A1-A0, respectivamente deben ser decodificados de las señales de validación de octetos (BEx).

El Pentium incluye un modo burst o por ráfagas para un llenado y salvado más rápido de las líneas caché. Ha sido mejorado para poder leer y escribir el doble de bytes, usando la duplicación del ancho de bus. El Pentium intenta realizar todas las lecturas y escrituras como si fueran ciclos burst o por ráfagas. Solo los accesos al área de memoria de E/S son ejecutadas como ciclos sencillos de transferencia.

Al contrario que los accesos de memoria, los accesos al área de direcciones de E/S no han sido ampliados a 64 bits. La anchura máxima es de 32bits. La razón de esto es que en principio los accesos a E/S no pasan por caché. Así la caché sólo afecta a memoria y no a los puertos de E/S. El Pentium puede también direccionar puertos de 8 y también de 16 o 32 bits siempre que las direcciones de memoria sean contiguas. El subsistema de E/S debe decodificar los bits A2-A0 de las señales de activación de bits BE7#-BE0#.

## 16.4- SEÑALES ENTRE LA CPU Y LA MEMORIA

Para leer o escribir datos en memoria el Pentium tiene que direccionar físicamente la memoria (usando el bus de direcciones – A: A32 y BE0#-BE7#) y transferir los datos (por el bus de datos). Así, un ciclo de bus en el que los datos son leídos o escritos, se sigue una secuencia definida y estricta de señales de direcciones, datos y control. Se dispone de un controlador de bus adicional, que hace que todas las señales estén disponible para el dispositivo e memoria. Hoy en día, el controlador de bus es, junto con los buffers de direcciones y de datos y circuitería adicional de control, la parte principal de un controlador de sistema altamente integrado.

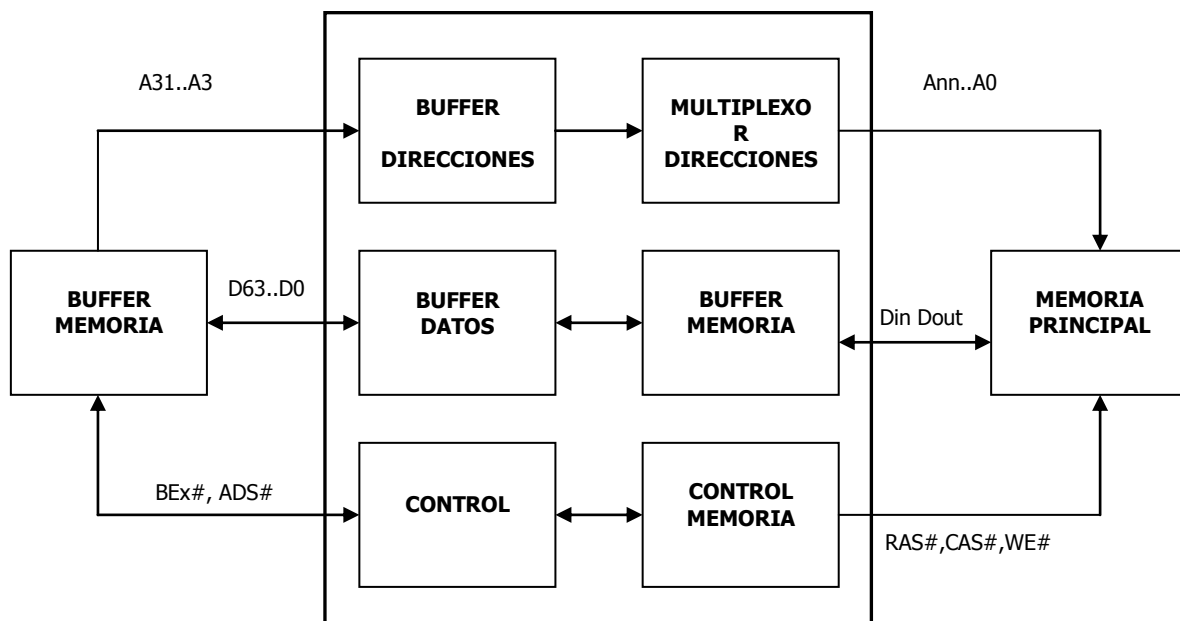


Figura 16.3 Controlador del Sistema

Si el Pentium desea leer o escribir datos de memoria, se transmite una dirección al buffer de direcciones por medio de su bus de direcciones.

Si la señal ADS# está activa, el buffer de direcciones acepta los bits de la dirección y los almacena.

BE0#-BE7# definen qué línea del bus de datos debe transferir los datos.

Para direccionar la palabra correcta en la unidad principal de almacenamiento, se dispone de un multiplexador de direcciones (que selecciona la palabra seleccionada de la memoria principal con la asistencia del controlador de memoria).

Los datos que han sido leídos son entonces transferidos de la memoria principal al buffer de memoria.

Posteriormente, el buffer de memoria transfiere los datos al buffer de datos, del cual el Pentium puede leer los datos. La transferencia de datos sólo es posible por medio del uso de señales eléctricas, no mediante instrucciones software.

## **16.5- CICLOS DE MEMORIA**

El Pentium realiza los mismos ciclos independientemente de cuando el sistema de memoria externa represente una rápida memoria caché de segundo nivel (L2) o una lenta memoria principal DRAM. La única diferencia es que en el último caso, la señal BRDY# se devuelve más tarde así el procesador inserta más estados más estados de espera.

### **16.5.1- Posibles estados de un ciclo**

El bus del procesador Pentium tiene seis estados de bus. Estos estados son los mostrados a continuación.

**Ti Estado de Reposo o Inactividad.** Este estado indica que no se está ejecutando ningún ciclo de bus. Ti es la condición de espera o preparado.

**T1 Tiempo de direccionado.** La condición de bus correspondiente al primer ciclo de reloj de un ciclo de transferencia de bus. La dirección y definición del ciclo de bus se dan durante T1 cuando ADS# es impuesta y con esto proporciona la dirección y el tipo de ciclo. T1 indica que este es el único bus de ciclo en ejecución.

**T2 Tiempo de datos.** Corresponde al segundo estado del ciclo de reloj de un ciclo de transferencia de bus, que puede ser el último si se activa #READY, o que puede repetirse (estado inactivo) hasta que se produzca dicha activación. Durante T2, se realiza la escritura o los datos leídos son transferidos. Si se ha dado un ciclo de lectura, los datos son protegidos del bus de datos cuando BRDY# es impuesta al final de T2.

**T12 Tiempo de direccionado (segundo ciclo en modo pipeline) y Tiempo de datos (primer ciclo ya en progreso).** En esta condición de bus, hay dos ciclos de reloj pendientes. El primer ciclo aun no está completo (y esta en la condición T2), y el segundo está recién enviado (que está en condición T1). T12 sólo ocurre si el Pentium ya ha enviado la dirección para la transferencia posterior antes de que el ciclo de bus actual haya sido completado. Resumiendo, el procesador está todavía en el estado T2 durante este ciclo y ha comenzado el estado T1 para el próximo ciclo en modo 'pipeline', de aquí que este sea el estado compuesto T12.

**T2P Tiempo de datos(primer ciclo) y Tiempo de datos (segundo ciclo en modo 'pipeline').** Este estado representa dos ciclos de reloj que están pendientes en el bus y que además ambos están en el estado T2. El primer ciclo aún no está completo (y está en la condición T2), y el segundo está en el segundo, o posterior ciclo de reloj (también en condición T2). T2P sigue a T12 si, T12 ha sido completado, pero el primer ciclo aún no ha finalizado.

**TD Estado Muerto ( Dead State ).** Indica un ciclo pendiente, donde el Pentium , debe primero permitir transcurrir a un ciclo de reloj, para ejecutar una operación de escritura después de una operación de lectura y viceversa. Este estado ocurre únicamente durante transferencias en modo 'pipeline'.

Las transiciones descritas ocurren entre estados según se muestra en el siguiente diagrama de estados.

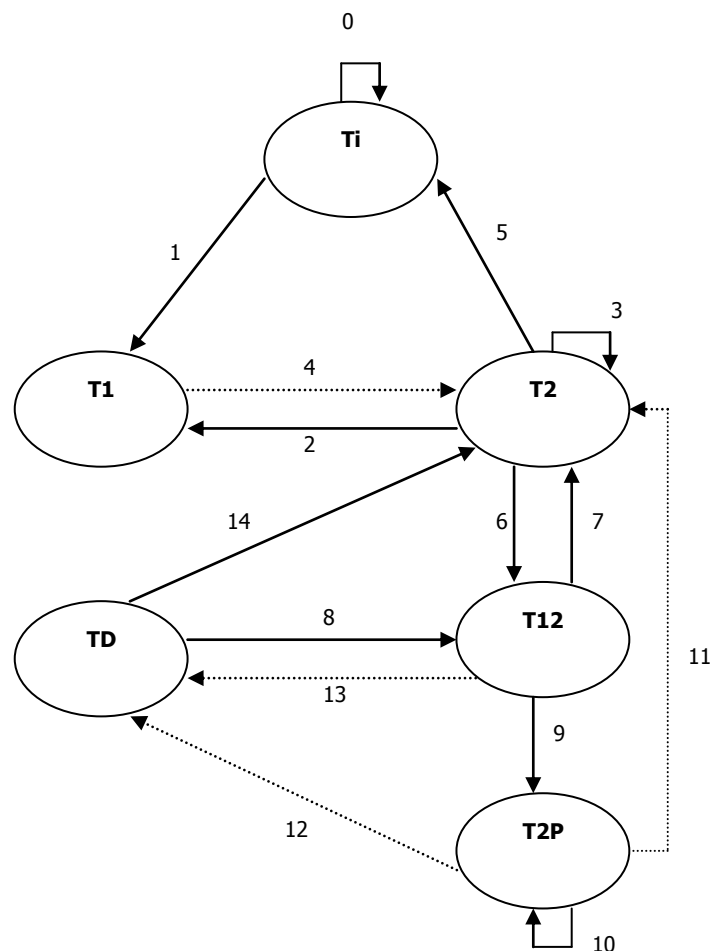


Figura 164 Diagrama de estado del procesador  
A continuación se procederá a la descripción de los estados de Transición.

**0:** No hay petición pendiente.

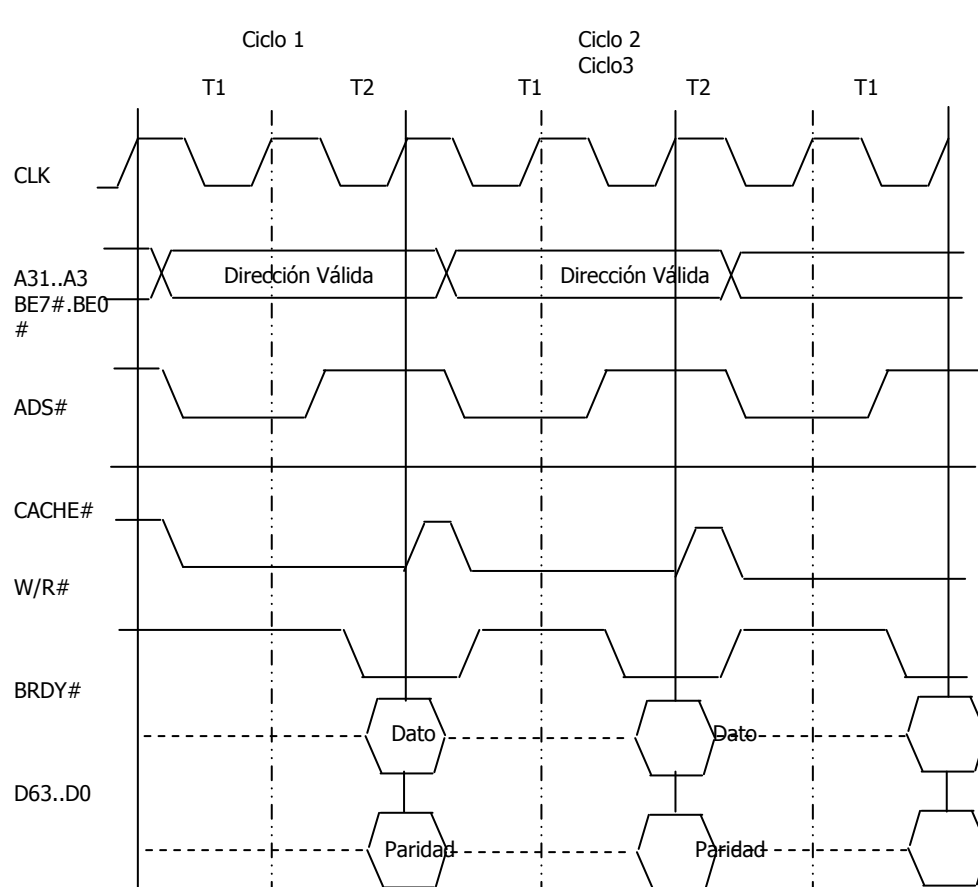
**1:** Se comienza el ciclo de bus cuando el procesador lleva a los demás buses la dirección y definición del ciclo de bus.

**2:** De T1 a T2 siempre , a menos que BOFF# sea afirmada, en cuyo caso el ciclo se termina para retomarse cuando la señal sea liberada.

**3:** Al añadir estados de Reposo, el Pentium se queda en T2 hasta que la ultima BRDY# sea muestreada , hasta que NA# sea afirmada y otro ciclo esté pendiente.

**4:** De T2 a T1 cuando termine el ciclo de bus . si NA# no estaba afirmada el estado de transición vuelve a Ti





5: De T2a T3 cuando acaba el ciclo de bus, si NA# estaba afirmada o si el otro ciclo se queda pendiente.  
6: De T2a T3 si NA# estaba afirmada y esta

pendiente otro ciclo de bus.

7: T12 pasa a T2. El ciclo ha terminado.

8: De t12 a TD. El ciclo de bus ha terminado, pero en este caso se necesita un reloj que indique el fin.

9: De t12 a T2P, dos ciclos están pendientes coincidiendo ambos con la fase de datos.

10: Se espera en la etapa T2P hasta que se complete la primera transferencia.

11: De T2P a T2 cuando la primera transferencia se completa si no se necesita reloj que indique el final.

12: De T2P a TD cuando la primera transferencia (una lectura) se ha completado y la segunda es una escritura, o viceversa.

13: El estado de bus deja Td para volver T12 cuando NA# esté afirmada.

14: TD a T2 si no hay ciclo de bus pendiente.

## 16.5.2- Ciclos simples de transferencia

Los ciclos simples de transferencia en lectura y escritura son los dos ciclos de acceso de memoria más simples del Pentium. Durante su ejecución, los datos de 8, 16, 32 ó 64 bits son transferidos de la memoria al Pentium o viceversa.

En el modo de transferencia sencillo (escritura o lectura) una transferencia de datos sin estados de espera requiere al menos dos ciclos de reloj.

### 16.5.2.1- Ciclo de Lectura

Figura 16.5 Ciclo de lectura sin estado de espera

Durante el primer ciclo de reloj T1, el Pentium primero envía:

- Las direcciones A31:A3
- Las señales BE0:BE7 correspondientes al tamaño del dato en el acceso
- Las señales de control W/R# y CACHE# (inactiva para este ciclo para indicar que es un ciclo de transferencia simple)

Finalmente, activa la señal ASD# para indicar la validez de la dirección y de las señales de control del bus.

Después de un período de tiempo, dependiendo de la velocidad del subsistema de memoria, el subsistema transmite los datos direccionados y activa la señal de preparado BRDY#. El subsistema puede, mas o menos, opcionalmente transmitir los bits de paridad correspondientes a las señales activas BE0:BE7.

Para el ciclo de lectura de memoria descrito, los bits de datos y paridad están inmediatamente disponibles, por lo que no se requieren estados de espera de espera. Así BRDY# es activado por el subsistema de memoria antes del final del ciclo T2.

### 16.5.2.2- Ciclo de escritura (sin estados de espera)

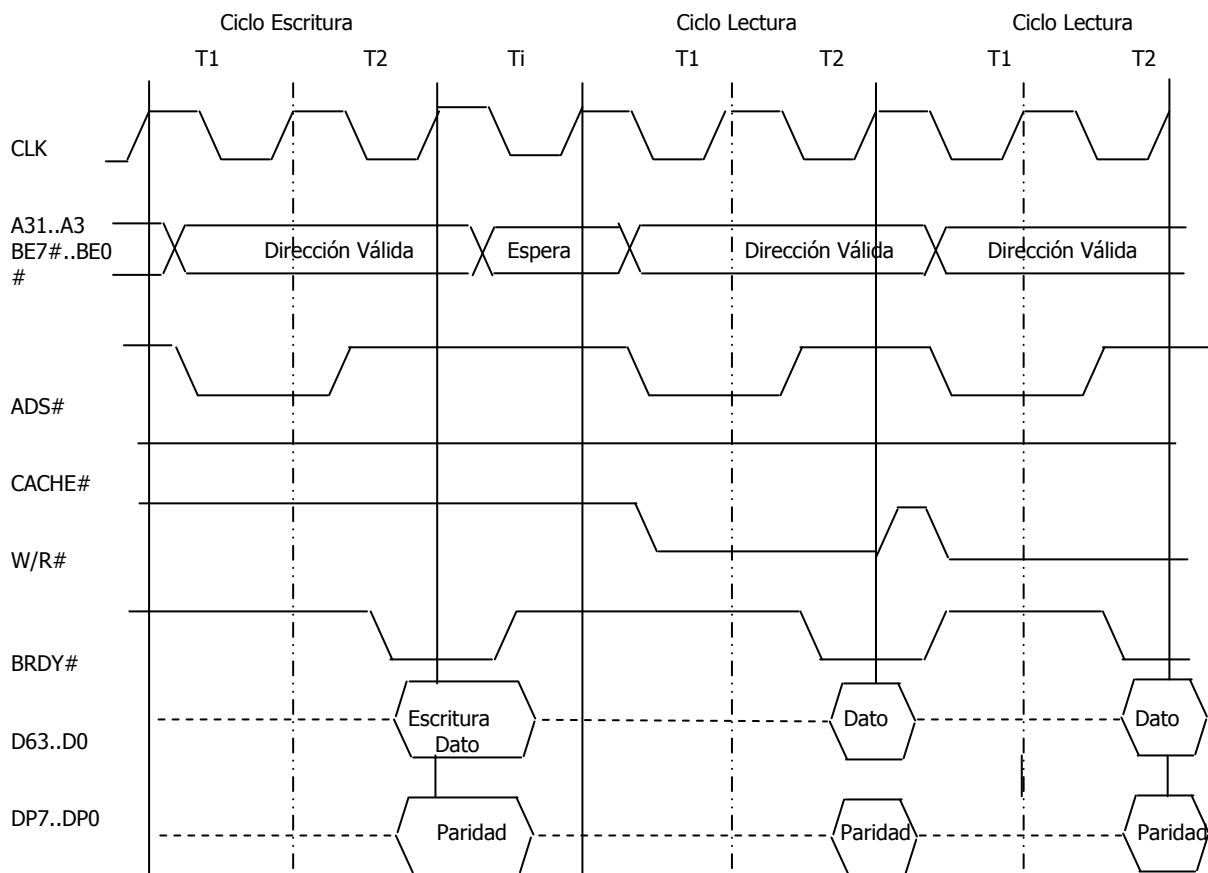


Figura 16.6 Ciclo de escritura sin estado de espera

En este caso el Pentium primero envía:

- Las direcciones A31-A3,
- Las señales BE0:BE7 correspondientes al tamaño del dato en el acceso,
- Las señales de control W/R#(nivel alto: acceso a escritura) y CACHE# (inactiva para indicar ciclo de transferencia ).

Finalmente el Pentium activa la señal ASD#, para indicar la validez de las direcciones y las señales de control del bus.

Durante T2, el Pentium también transmite los datos a escribir y los bits de paridad necesarios. El subsistema toma los datos y entonces devuelve una señal activa BRDY#. Ahora el Pentium está listo para el siguiente ciclo.

### 16.5.3- Estados o ciclos de espera

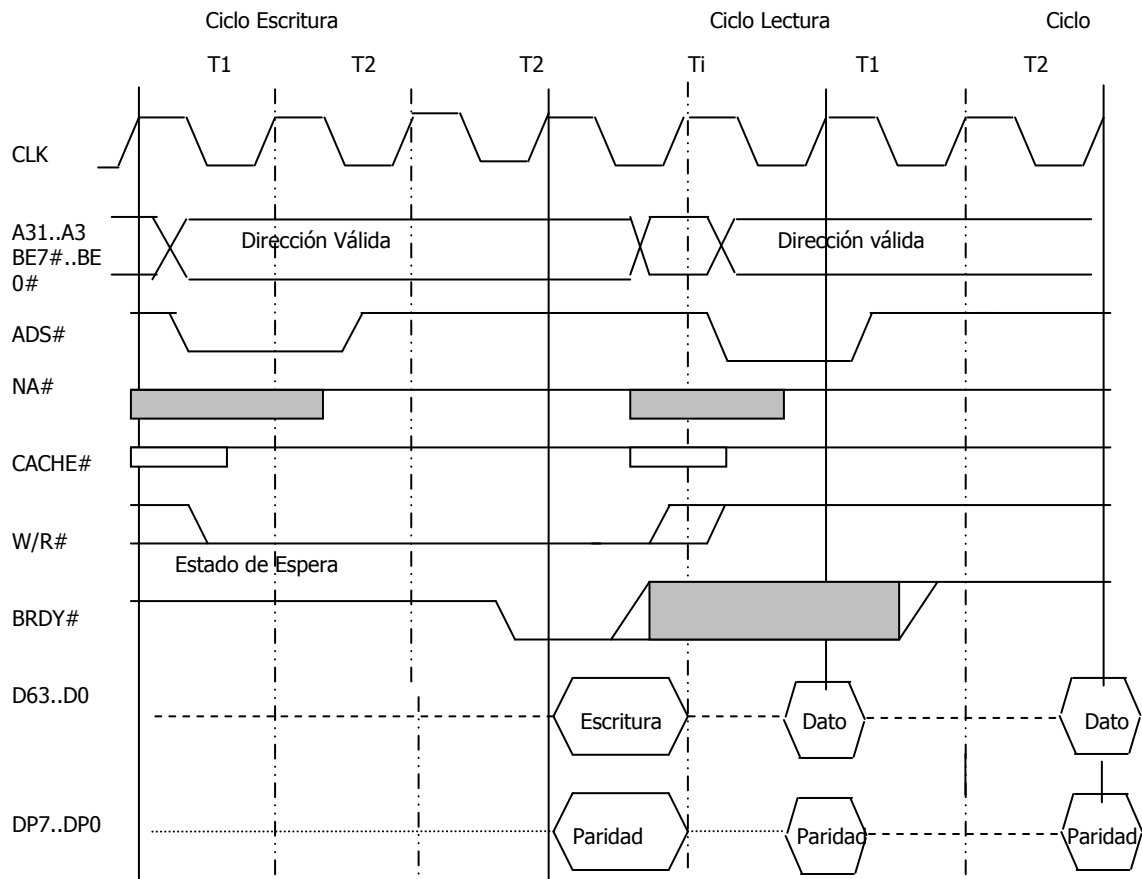


Figura 16.7. Ciclo de escritura básico

Si la memoria o el dispositivo periférico no puede terminar una petición de escritura o lectura en los dos ciclos T1 y T2, entonces el controlador de memoria cambia la señal BRDY# a nivel alto. Esto indica al Pentium que debería implementar otro ciclo de instrucción T2, para dar a la memoria o al periférico más tiempo para ajustarse a la respuesta. Esto es conocido como ciclo de espera (Ti)

o un estado de espera. Si, complementariamente al ciclo adicional T2, la señal BRDY# continúa a nivel alto, entonces el procesador inserta otro ciclo de espera (y otro más mientras la señal continúe en nivel alto).

Por supuesto, el número de ciclos de espera necesarios para escribir datos puede ser distinto de los necesarios para realizar una lectura. Las memorias DRA pueden de hecho escribir más rápido de lo que leen. Puesto que cuando se escribe sólo es necesario transferir la dirección del controlador de memoria y el valor de byte de datos.

El controlador de memoria ejecuta el proceso de escritura independientemente usando los datos almacenados o el buffer de memoria, mientras el Pentium puede dedicarse a otro proceso y no tiene que esperar a que concluya el proceso de escritura. Por el contrario, cuando lee, la CPU no tiene otra opción más que esperar a la terminación del proceso interno de lectura en el área principal de almacenamiento.

Antes, los ciclos de espera venían determinados por el diseño de la placa o podían ser determinados con un jumper, dependiendo de lo rápidos que fueran los chips de memoria instalados. Hoy en día, el controlador de memoria reacciona de una manera standard ante un determinado retardo de la señal BRDY#.

#### **16.5.4- Límites para las cuádruples palabras**

El Pentium es un procesador de 32 bits con un bus de datos de 64 bits. Así la memoria principal está normalmente representada como una memoria física de 32bits. En realidad, las cuádruples palabras (64 bits) pueden comenzar en direcciones de memoria que no son múltiplo de 8. Pero en este caso no serían leídas en un único acceso a memoria.

Si una cuádruple palabra es almacenada o leída en una dirección en la cual no cabe, el interfaz de bus del Pentium divide el acceso en dos: el primer acceso lee o escribe la parte menos significativa y el segundo acceso la más significativa.

Por tanto que la escritura o lectura de una cuádruple palabra que no es múltiplo de 8, siempre requiere de 2 ciclos de bus, mientras que el acceso a una cuádruple palabra en una dirección múltiplo de 8 requiere únicamente de un ciclo de bus.

En ambos casos se direcciona una cuádruple palabra, pero sólo los bytes del 1 al 7 son combinados como una única cuádruple palabra de 64 bits.

Este procedimiento sólo se aplica a datos porque la selección de código se realiza por medio de la caché de instrucciones. La transferencia de los códigos de operación de la caché de instrucciones al preselector puede comenzar en cualquier dirección. Para leer una dirección de la cuádruple palabra, si es necesario, el procesador lee de uno a siete bytes primero, antes de comenzar en los límites de la cuádruple palabra.

#### **16.5.5- Ciclos por ráfagas (burst)**

Para la transferencia de grandes cantidades de datos, el Pentium implementa un modo de bus conocido como modo burst o por ráfagas.

El tiempo para una transferencia de un valor es reducido a un ciclo de reloj simple. El Pentium usa el modo burst o por ráfagas para ciclos de recuperación y lectura de la caché.

Se usan cuatro ciclos de bus para transferir 32 bytes (recordemos que un ciclo tiene 8 bytes).

Para las señales BRDY#, CACHE# y KEN#, el Pentium decide independientemente cuando debe ejecutarse un ciclo de bus burst o por ráfagas, o si sólo un ciclo de transferencia simples es suficiente.

Un ciclo de burst o por ráfagas generalmente comienza con un acceso normal a memoria (que requiere de ciclos de reloj).

### 16.5.5.1- Ciclo de Lectura

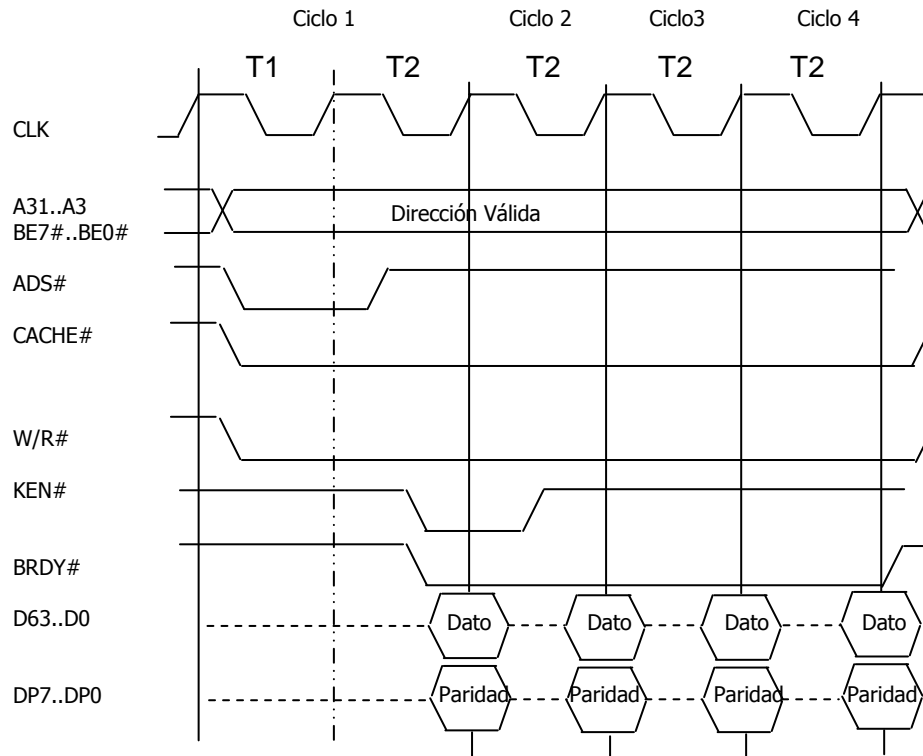


Figura 16.8. Ciclo de lectura por ráfagas

Si el Pentium inicia un ciclo de lectura, primero envía la dirección de memoria del objeto a ser leído por medio del bus de direcciones, y activa la señal ASD# para indicar que la dirección y la señal de control son válidas.

Para un ciclo burst o por ráfagas, la señal CACHE# del Pentium y la señal KEN# constituyen un papel importante. La señal CACHE# a nivel bajo, que el objeto direccionado puede ser transferido a la caché. Si la señal KEN# está activa, el Pentium de forma independiente y automática convierte la transferencia simple a un llenado de fila de caché, para almacenar el objeto direccionado en la caché. El llenado de la fila de caché es necesario para esto porque ningún byte individual, palabras, dobles palabras o cuádruples palabras es almacenado en la caché; por el contrario se utilizan siempre líneas completas de 32 bytes. El subsistema de memoria sólo activa la señal KEN# si el objeto referenciado no se encuentra en el área bloqueada. Un ejemplo de área bloqueada es el mapa de registros en memoria, que es direccionado por medio del espacio normal de direcciones de memoria pero que realiza funciones de control.

Como los ciclos burst o por ráfagas están limitados a un área de memoria que comienza en el límite de 2 bytes, después de recibir la dirección, el subsistema de memoria puede independientemente calcular las otras tres direcciones burst, sin la necesidad de decodificar ninguna

señal del Pentium. El Pentium sólo envía la dirección y las señales BEx durante el primer ciclo; estos valores no se cambian durante los otros tres ciclos posteriores. Para satisfacer las limitaciones y ajustarse a las particiones de 32 bytes, se ha definido una secuencia específica de direcciones en el modo burst o por ráfagas.

Las señales no son muy distintas a las del ciclo de lectura. Sólo es diferente la señal W/R#, que está a nivel alto para indicar la transferencia de escritura.

Adicionalmente, la señal KEN# se ignora porque todos los datos disponibles en la caché son obviamente cacheables y se vaciaría una entrada en la caché y no sería rellenada.

### 16.5.5.2- Ciclo de Escritura

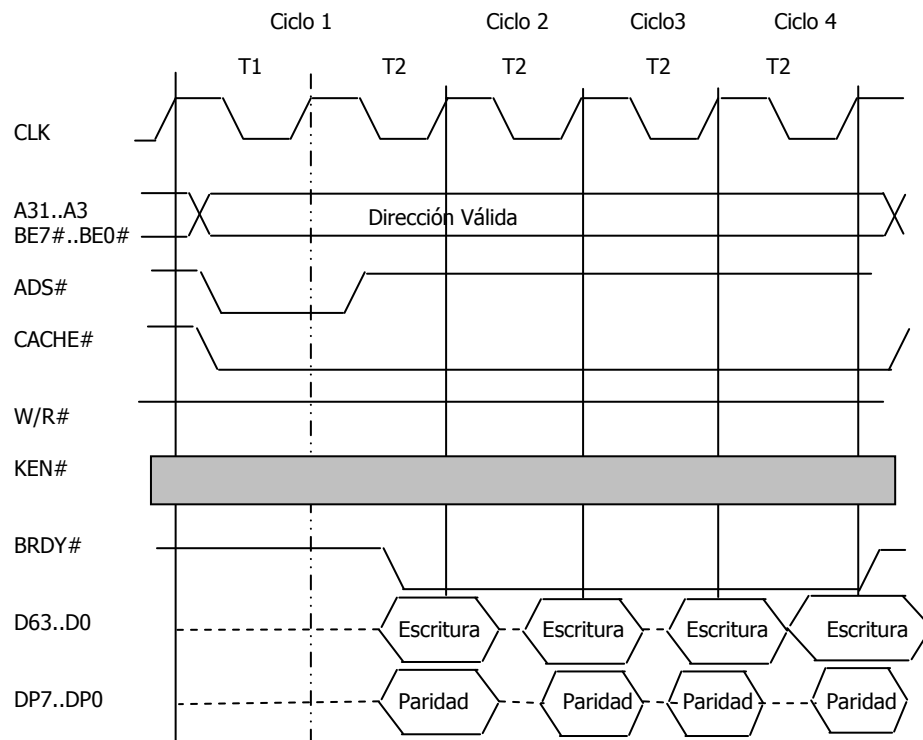


Figura 16.9 Ciclo de escritura por ráfagas

Un **ciclo de escritura** en modo burst o por ráfagas es siempre un ciclo de recuperación de una línea modificada en la caché de datos. El Pentium indica esto con una señal activa CACHE a nivel bajo.

Para la caché L2, que contiene datos e instrucciones, no se pueden producir recuperaciones de instrucciones, porque la información que almacena no debería ser nunca modificada. La caché no contiene instrucciones a diferencia de sus predecesoras.

Así, el ciclo de escritura burst siempre afecta a la caché de datos; los ciclos de lectura burst por otro lado, afectan tanto a la caché de datos como a la de código.

Las recuperaciones ocurren en los siguientes casos:

- 1º) El reemplazo de una línea de caché modificada por una línea de memoria (caché L2 o memoria principal); esto es resultado de un error de caché en la caché de datos.

2ª) En un ciclo de petición de acuerdo con el protocolo MESI (“Modified, Exclusive, Shared, Invalid” o “Modificado, Exclusivo, Compartido,

Inválido”), se produce un acierto para una línea modificada en la caché de datos.

3º) Un ciclo snoop (rastreo) interno del Pentium ha encontrado una línea modificada en la caché de datos.

4ª) Una activación externa de la señal FLUSH# (en la caché).

5º) El Pentium ejecuta una instrucción WBINV (recuperación e invalidación).

Se emplean 4 ciclos de reloj para escribir 32 bytes.

En este modo, también se pueden insertar estados de espera si el subsistema de memoria no pueden continuar lo suficientemente rápido (ciclo de burst o por ráfagas lento). Esto ocurre, si el subsistema de memoria tarda en activar la señal BRDY#. Entonces el ciclo de bus se extiende con un ciclo de reloj T2.

## **16.6- CICLOS “INQUIRY” (PETICIÓN) Y “SNOOPING” (RASTREO INTERNO)**

### **16.6.1- Ciclos “Inquiry”**

Los ciclos “inquiry” son utilizados para el protocolo MESI para sistemas multiprocesador. De este modo es posible para una unidad externa determinar cuando los datos en una dirección específica está almacenada en la caché del Pentium.

Adicionalmente, la unidad externa puede invalidar los datos almacenados, así mismo la línea de caché correspondiente. Esto es necesario para que los datos en un sistema multiprocesador sean siempre consistentes. Si un procesador cambia un dato en su caché que por otra parte está además almacenado en la caché de otra CPU, y esta última también modifica el valor, no está claro del todo cual de los dos cambios es el correcto ni el actual.

Para un ciclo “inquiry” la unidad externa debe transferir la dirección física de memoria del dato al Pentium. Esto se consigue con la ayuda de la señal AHOLD. Después de que el sistema externo ha enviado una señal AHOLD activa con un nivel alto al Pentium y además ha esperado dos ciclos CLK, transfiere la dirección solicitada al Pentium a través de A31-A5, A4 y A3 son ignoradas porque una línea completa de caché es siempre direccionada en un ciclo “inquiry” ( sólo se pueden leer y escribir unidades de líneas en las caché). La activación final de la señal EADS indica al Pentium que obtenga la dirección dada y que las use como una dirección “inquiry”. Así, para ciclos “inquiry” EADS tiene el mismo propósito que ADS# para ciclos de bus normales. La señal INV debe también enviarse con las direcciones A31-A5.

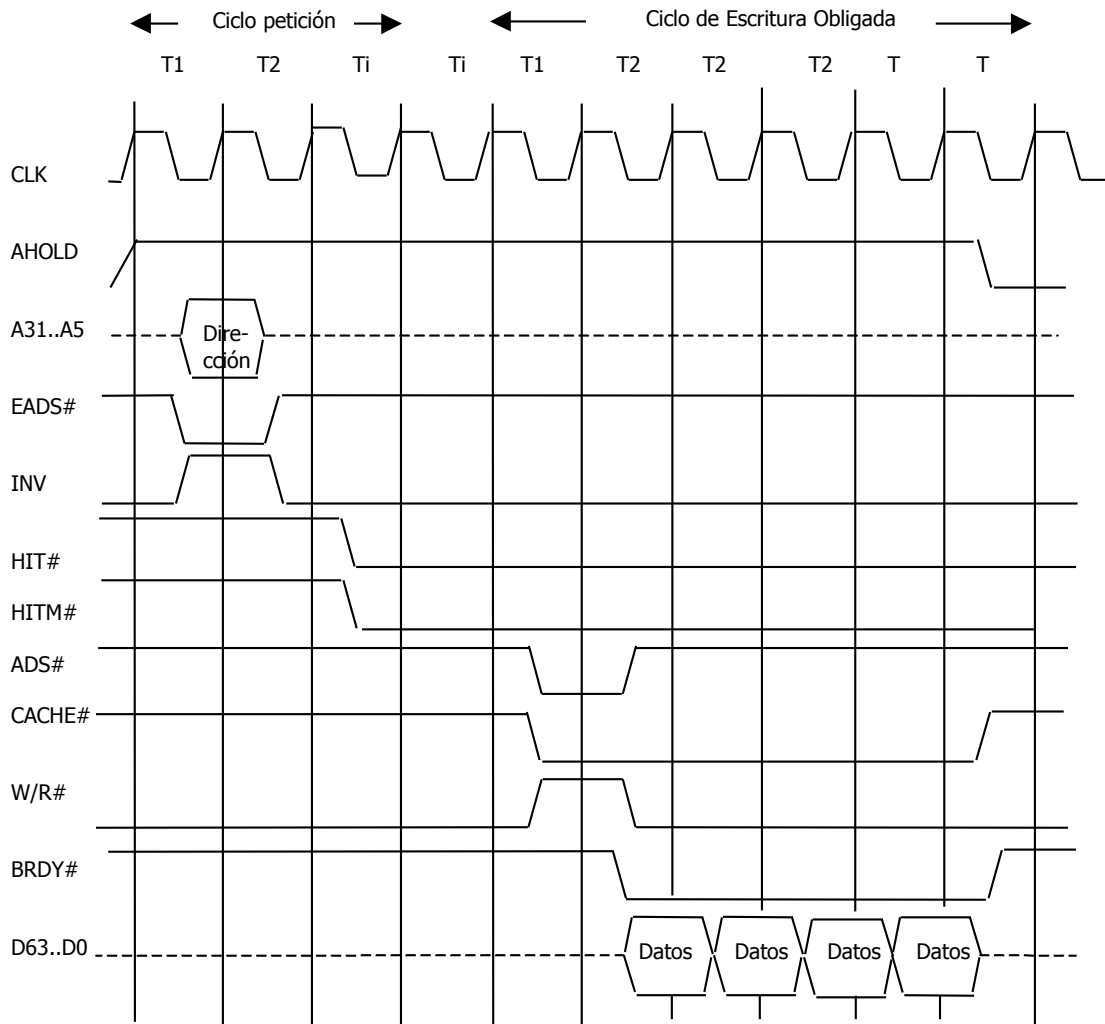


Figura 16.10. Ciclo Inquiry

En un ciclo “inquiry” iniciado externamente, como en un acceso normal a memoria, la lógica “tag” (etiqueta) de la caché chequea cuando la dirección está localizada en la memoria, y así cuando el valor correspondiente está disponible en la caché. En un ciclo “inquiry” la dirección se origina en la lógica externa; en un ciclo de memoria normal, por el contrario en la Kernel de la CPU. En ambos casos, el comparador de direcciones analiza el contenido de la caché y compara las direcciones transferidas direcciones transferidas para determinar un error o un acierto. Si se produce un acierto en la caché de datos o de código el comparador de direcciones, envía una señal activa de nivel bajo desde el pin HIT#, si esto no ocurre, se produce un error y la salida HIT envía una señal con nivel alto. El Pentium requiere dos ciclos de CLK después de la activación de EADS. Si se produce un acierto en una línea de caché de datos el Pentium envía una señal HITM (acierto modificado) con un nivel bajo. Esto es importante para la armonización en sistemas multiprocesador, en los cuales las CPUs individuales se comunican por medio de la memoria principal y además acceden a ella.

Si durante un “ciclo inquiry” ocurre un acierto en una línea de caché modificada (no hay líneas modificadas en la caché de código) entonces el Pentium recupera la línea en memoria. Así se envía un ciclo de recuperación “burst”, de este modo se asegura que el sistema contiene los últimos datos.



El Pentium realiza el ciclo de recuperación “burst” con la activación de ADS# dos ciclos de reloj después de HIT# se haya enviado. En principio HIT# no cambia su valor entre los dos ciclos “inquiry”; así permanece en nivel bajo. HITM# permanece a nivel bajo hasta dos ciclos de reloj después de la última BRDY# el ciclo de recuperación “burst”. Si AHOLD permanece activo al comienzo de una recuperación, y así el Pentium está prevenido de usar su bus de direcciones, entonces el subsistema de memoria utiliza las direcciones A31-A5. De este modo, A31-A5 siempre proporciona la dirección de comienzo de una línea de caché. El sistema externo también puede desactivar AHOLD antes de que el Pentium comience con la recuperación de la línea de caché. En este caso el Pentium envía la dirección de recuperación. Un ciclo “inquiry” puede suceder como máximo cada dos ciclos de reloj. Si se obtiene una línea de caché, entonces el P recupera los 32 bytes y sólo entonces acepta el siguiente ciclo “inquiry”.

### 16.6.2- Ciclo de “snooping” o rastreo interno

Adicionalmente a esta iniciación externa de ciclo “inquiry” (por medio de EADS) existe también un ciclo snooping o de rastreo interno, usado principalmente para chequear la consistencia de los dos cachés independientes, la de instrucciones y la de datos. Los ciclos de rastreo pueden ser inicializados con o sin petición de invalidación. (INV=1 ó 0) En modo real la misma información puede estar disponible tanto en la caché de datos como en el código, como resultado indirecto de una preselección.

Puede producirse en tres casos:

- El Kernel de la CPU del Pentium accede a la caché de instrucciones, y este acceso resulta un error. Si la línea de caché con el valor direccionado está situada en la caché de datos pero la caché de instrucciones está cargada con la misma línea de memoria, es posible que las dos líneas tengan diferentes valores. La entrada en la caché de datos es modificada, pero no ha sido recuperada. En este caso, el ciclo snooping o de rastreo provoca que la línea de la caché de datos se recupere antes de cargar la caché de código. Si la línea está localizada en la caché de datos, pero está marcada como compartida o exclusiva, entonces sólo invalida la línea.
- El kernel de la CPU accede a la caché de datos y este acceso origina un error. Si la línea de caché correspondiente está también almacenada en la caché de instrucciones, es invalidada por el ciclo snooping o de rastreo. La razón de esto es que en el primer caso (acceso de lectura) una unidad externa puede haber cambiado la entrada en la memoria externa sin que el Pentium tenga conocimiento de esto. El llenado de la línea de caché siguiente al error, carga la versión correcta del valor en la caché de datos; la entrada correspondiente en la caché de código es invalidada. En el segundo caso (acceso de escritura) el Pentium cambiará el valor en la memoria externa con una probabilidad del 100%. De este modo, las entradas en la línea de caché correspondiente de la caché de código no son corregidos.
- Si el bit A o D (bit de accedido y de “dirty”(sucio), respectivamente) de una tabla de página o entrada de directorio de página es sobrescrita como el resultado de un acceso o un cambio de la página correspondiente, el Pentium realiza un ciclo snooping o de rastreo interno. Si la línea de caché correspondiente está disponible en una de las dos cachés y está marcada como válida. Entonces el Pentium invalida la entrada. Si la línea está disponible y además ha sido modificada, primero se recupera, y sólo entonces se invalida. Esto es necesario para permitir una administración centralizada de las páginas que afectan a la memoria principal compartida y que son además usadas por el procesador en el sistema. El almacenamiento externo de una página, posiblemente con un almacenamiento explícito a un sistema externo de almacenamiento masivo, es

decidido por la frecuencia y el tipo de accesos a la página. Se podría considerar la memoria principal como una 'caché' entre la CPU y el sistema de almacenamiento masivo.

ESTADO PRESENTE	PRÓXIMO ESTADO INV=1	PRÓXIMO ESTADO INV=0	DESCRIPCIÓN
M	I	S	El rastreo accede a una línea modificada indicada por los pines HIT# y HITM# a nivel bajo.
E	I	S	El rastreo es indicado por el pin HIT# a nivel bajo; no por el ciclo de bus generado.
S	I	S	El rastreo es indicado por el pin HIT# a nivel bajo; no por el ciclo de bus generado
I	I	I	No hay dirección en la caché:El pin HIT# está a nivel alto.

Tabla 16.3 Transiciones de estado de la caché durante los ciclos de rastreo

## 16.7- ESPACIO DE DIRECCIONES DE E/S Y PERIFÉRICOS

Adicionalmente al área de memoria, el Pentium tiene también el llamado espacio de memoria E/S, que puede ser accedido mediante las instrucciones IN/OUT y por medio de los puertos. Este espacio de memoria, al igual que sus predecesores, incluye puertos de 8 bits (64K), 16 bits (32K) y 32 bits (16K) o una equivalencia mixta de todos ellos (sólo es posible combinar puertos cuya dirección de memoria sea contigua). Las direcciones asignadas para la memoria E/S son desde la 0000H hasta la FFFFH, estando reservadas las direcciones comprendidas entre la 0F8H hasta la 0FFH Así el Pentium tiene dos espacios de memoria totalmente separados (memoria y espacio de E/S), ambos direccionados por medio de los buses de datos y direcciones.

Los accesos a direcciones de E/S se permiten con un máximo de 32 bits; por tanto los restantes 32 bits del bus de datos del Pentium quedan sin uso.

El Pentium identifica un ciclo de bus de E/S por medio de una señal de nivel bajo M/IO#. Como en otros procesadores 80x86 los puertos 0f8h a 0ffh están reservados. Estos puertos reservados son utilizados para las comunicaciones entre la CPU y el coprocesador.

### 16.7.1- Direccionamiento de E/S

Existen dos modos de acceso a los puertos E/S:

- 1.- Usando las instrucciones E/S
- 2.- Usando las instrucciones de propósito general, lo cual requiere de mapear (copiar) la memoria E/S

El uso de instrucciones E/S es recomendable porque acceden directamente a la memoria E/S y así se asegura que la instrucción se ejecuta antes de que el siguiente flujo de instrucciones sea ejecutado.

### 16.7.1.1- Acceso directo a E/S

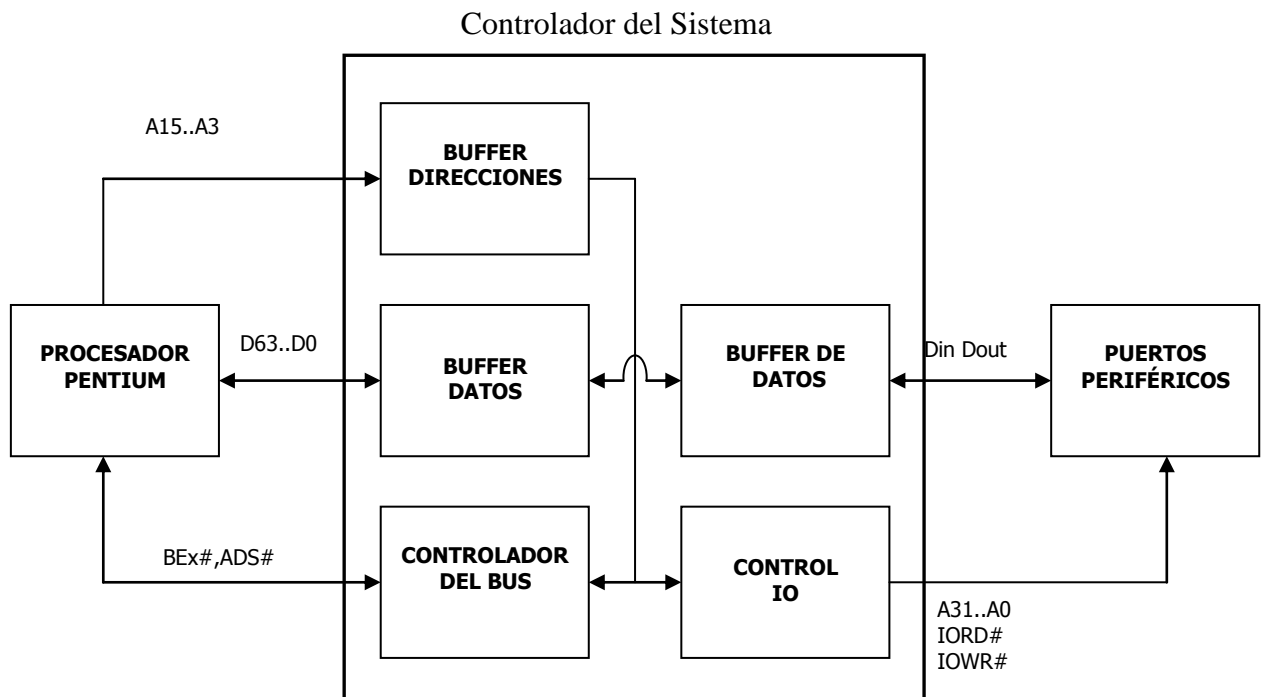


Figura 16.8 Direccionamiento E/S mediante instrucciones específicas de forma directa

Si el Pentium desea acceder a un puerto, entonces produce una señal de salida de nivel bajo  $M/IO\#$ . El controlador del sistema reconoce que se debe ejecutar un acceso al espacio de direcciones de E/S. Adicionalmente, por medio de  $WR\#$  se determina la dirección de la transferencia como  $\text{Pentium} \rightarrow \text{puerto}$  ( $W/R\# = 1$ ) ó  $\text{puerto} \rightarrow \text{Pentium}$  ( $W/R\# = 0$ ). La escritura o lectura de datos en un puerto se realiza de la misma manera que si se tratara de memoria.

Como en lectura y escritura de la memoria principal, la CPU proporciona una dirección al buffer de direcciones y controla el controlador del bus usando las señales de estado  $M/IO\#$ ,  $D/C\#$ , y  $W/R\#$ . El controlador lógico del bus reconoce a partir de la señal de control  $M/IO\#$  que se va a realizar un acceso a las direcciones de E/S y no a memoria. Así, por medio del controlador de memoria, se activa el controlador de E/S, que decodifica la dirección de la señal del buffer de direcciones y direcciona el puerto adecuado. Así los datos pueden ser transferidos entre el procesador y un registro en el espacio de memoria de E/S del PC. El Pentium 4 puede direccionar un máximo de 64K puertos de 8 bits, donde las 16 líneas mas significativas A31-A16 están siempre a nivel bajo para el acceso a un puerto.

### 16.7.1.2- Acceso mediante memoria E/S mapeada

Se puede usar todas las instrucciones que permita acceder a memoria (MOV etc).

No es deseable cachear la memoria E/S mapeada. En el caso del Pentium 4, se utiliza los registros de memoria  $MTRH$ , que no están presentes en anteriores versiones del pentium ni en el i486.

## 16.8- LOS BUFFERS DEL BUS INTERNO

### 16.8.1- Buffers de escritura

El interface de bus del Pentium contiene dos buffers de escritura de 64 bits; cada buffer es asignado a uno o dos pipelines (cauces) U o V. Deberían prevenir el frenado o detección de los pipelines del buffer si el bus externo no está disponible inmediatamente. Si se ha producido un llenado de la caché y el bus externo está ocupado, sin los buffers de escritura, los pipelines podrían tener que detenerse por un mínimo de ciclos de reloj (el mínimo para un llenado en la línea caché en modo burst).

El kernel de la CPU del Pentium puede escribir en ambos buffers simultáneamente.

Todos los accesos de escritura que están esperando a ejecutarse en los buffers de escritura deben ser complementados antes de que se produzca un acceso posterior de lectura.

Sólo los accesos de escritura a memoria son almacenados temporalmente en los buffers. Las escrituras en el espacio de memoria de E/S por medio de los buffers de escritura son directamente realizados por medio del bus externo, pero sólo después de que la espera de los accesos de escritura en los buffers se haya complementado.

### 16.8.2- Buffers write-back ("escritura obligada")

Adicionalmente a los buffers de escritura de 64 bits, el Pentium contiene tres buffers de 'write-back' de 32 bytes. Cada uno de esos buffers incluye una línea completa de la caché y soporta al Pentium durante la recuperación de líneas de caché en la caché de datos.

El **primer buffer** almacena la línea de caché a recuperar, si durante el reemplazo de una línea de caché modificada debe ser recuperada en la memoria externa.

El **segundo buffer** se provee para el ciclo "snooping" (rastreo) externo, y almacena la línea de caché a ser recuperada, si el ciclo ha alcanzado una entrada modificada en la caché de datos.

El **tercer buffer** soporta la recuperación de una línea de caché si un proceso interno de 'snooping' (rastreo) alcanza una entrada modificada en la caché de datos.

Los 'snoops' o rastreos internos y externos son usados para la implementación del protocolo MESI y para asegurar la consistencia de la caché en un sistema multiprocesador con múltiples cachés.

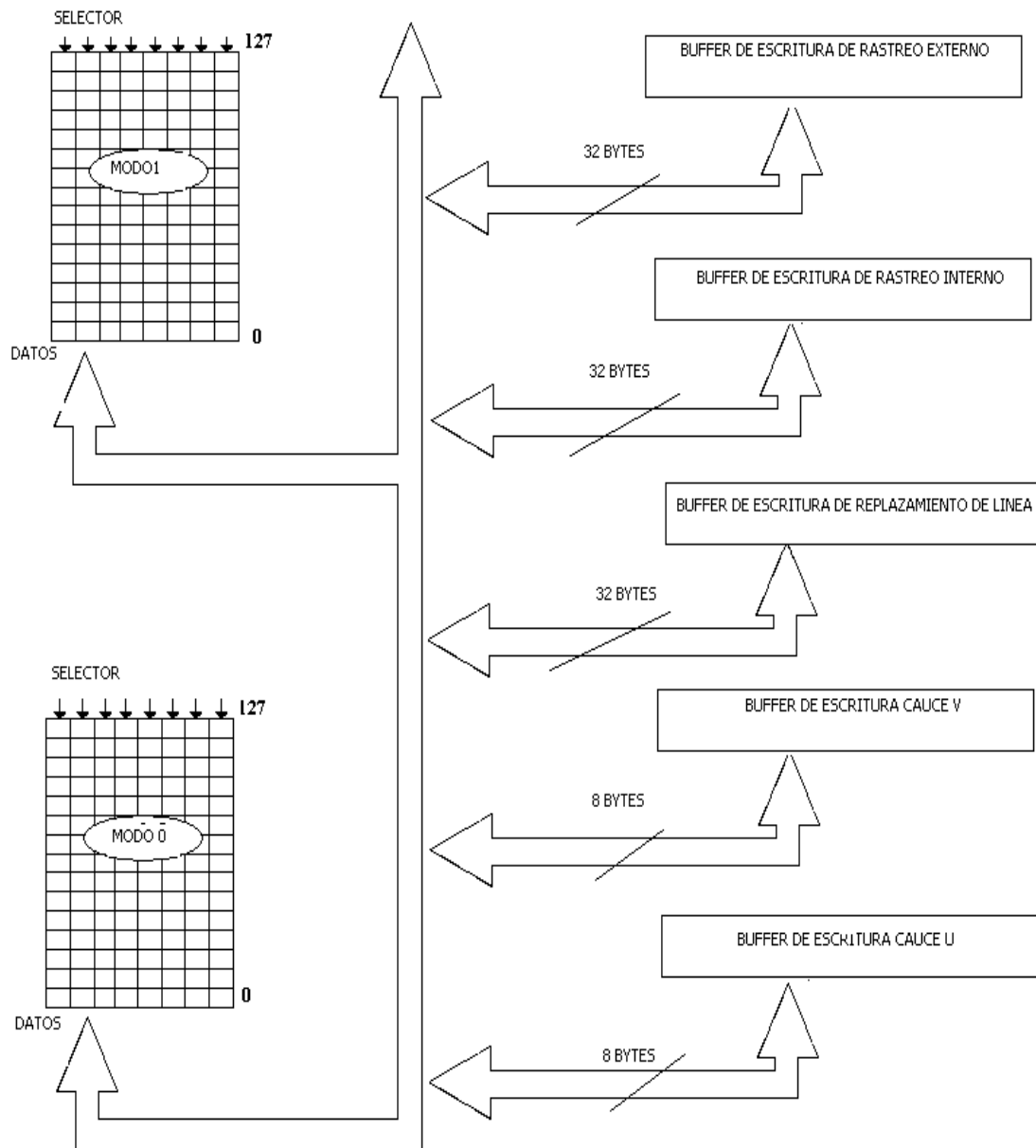


Figura 16.11 Buffers de Escritura

### 16.8.3- Buffers de llenado de línea

Adicionalmente a los buffers de escritura descritos previamente, el Pentium contiene dos buffers adicionales de llenado de línea que soportan llenados de líneas de caché. Cada uno de ellos tiene una anchura de 32 bytes (una línea de caché).

El primer buffer se asigna a la caché de datos, y el segundo a la caché de instrucciones.

Si el Pentium lee una línea completa de caché durante un ciclo burst o por ráfagas en la caché de datos o de instrucciones, dicha línea no se introduce en la caché. En lugar de esto, se almacenan en el buffer en fragmentos de 8 bytes, y cuando se tiene la línea completa, ésta es transferida a la caché de datos o de código.

Un llenado de línea de caché suele ser consecuencia de un error en el acceso a la caché. Así el Pentium obtiene los datos loo más rápido posible. Los bytes requeridos son transferidos desde el subsistema de memoria durante el primer ciclo burst y son inmediatamente pasados al Kernel de la CPU. Así el Kernel de la CPU los usa para la ejecución de la instrucción antes de que el ciclo de lectura 'burst' haya sido completado y la línea del buffer haya sido llenada.

Esto también se aplica cuando durante un error de caché, una línea de caché modificada es cambiada por otra y almacenada externamente. Sólo después de que la línea de buffer ha sido llenada, la línea modificada a salvar es transferida al buffer de recuperación para la línea de caché reemplazada, y la nueva línea de caché se carga desde el buffer de llenado de líneas. Esto es necesario porque el llenado de la línea de caché para la nueva línea de caché y también la recuperación de la línea de caché modificada, debe ser ejecutada por ciclos 'burst', que no deben ser interrumpidos.