

# 数字逻辑 期中复习

还记得我们为什么要学这门课吗？

## 数字逻辑 期中复习

### 1 组合逻辑 回顾

- 1.1 二进制：作为编码（实验一、二、四）
- 1.2 二进制：作为数（实验二、实验三）
- 1.3 什么是组合逻辑（实验四）
- 1.4 衡量组合逻辑的标准（实验三）

### 2 时序逻辑 展望

- 2.1 组合逻辑的不足
- 2.2 时序电路=组合电路+触发器

## 1 组合逻辑 回顾

前半学期，我们从二进制开始，学习了组合逻辑的知识。

- 实验一：译码器和编码器
- 实验二：译码与编码、ALU
- 实验三：加法器及超前进位电路
- 实验四：七段数码管

### 1.1 二进制：作为编码（实验一、二、四）

横看成岭侧成峰，远近高低各不同

用数字世界描述现实世界，需要将**信息**进行数字化，也就是**编码**。

$n$ 位二进制可以表示 $2^n$ 种信息， $m$ 种信息需要 $\lceil \log_2 m \rceil$ 位二进制来表述。为了描述同一种信息，有不同的编码方法：

- 描述一个事件是否发生，可用0表示发生，或用1表示发生
- 描述十进制数，可用多组4位BCD码或格雷码
- 描述一段声音，有 mp3 和 wav 等
- 描述一个算术操作，有多种指令集 Risc-V, MIPS, x86-64

编码和译码是信息与编码之间的转换。

- 3-8译码器中，从3位码可以得到8个信息
- 在CPU中，指令集架构规定了指令编码格式；工程师自行确定内部ALU的编码
- 7段数码管中，编码形式已规定

### 1.2 二进制：作为数（实验二、实验三）

**数**也是一种编码，除了定义了编码形式（整型的补码、浮点的IEEE 754），还定义了运算（加减）和关系（比大小）。

从加法器的实验里，我们可以了解到二进制作为数的特点：

- 数的运算，可以用基本逻辑门实现
- 数的运算比较复杂

在实验二里，我们还发现，有符号数和无符号数的位级表现形式是一样的，但运算规则不同。

思考：如何用基本逻辑门实现有符号比较、移位运算？

## 1.3 什么是组合逻辑（实验四）

- 真值表（最小项）视角：组合逻辑是输入 $X^m$ 到输出 $Y^n$ 的函数组 $F^n$ ，其中 $X^m = (X_0, X_1, \dots, X_{m-1})$ ,  $Y^n = (Y_0, Y_1, \dots, Y_{n-1})$ ,  $F^n = (F_0, F_1, \dots, F_{n-1})$ ;  $X_i, Y_j \in \{0, 1\}$ ,  $Y_k = F_k(X^m)$ 。对输入 $X^m$ ，定义下标集 $S = \{0, 1, \dots, m-1\}$ ，则最小项集 $P_X$ 和 $S$ 的幂集有一个双射：

$\forall p \in P_X, s \in P(S) = 2^S$ ,  $s$ 为最小项 $p$ 中所有取1的下标集，即 $p = \prod_{i \in s} X_i \prod_{j \notin s} \overline{X_j}$ 。函数 $F_i$ 和 $P(S)$ 的某

个子集 $t \subset P(S)$ 是一一对应的， $Y_i = F_i(X^m) = \sum_{s \in t} p = \sum_{s \in t} (\prod_{i \in s} X_i \prod_{j \notin s} \overline{X_j})$ 。

- 由 $X^m$ 直接得到 $Y^n$ 的函数组 $F^n$ 可能很难求，或者很复杂。在学习中，我们已经掌握了一些常用函数 $G_i^{n_i}$ （ $i$ 为输出个数）的用法，就可以分解每个 $F_i = G_{k-1}^1 G_{k-2}^{n_{k-2}} \dots G_0^{n_0}$ 。
- 电路图视角：组合逻辑是有向无环图。
  - 点：基本逻辑门、封装好的电路元件

- 在模拟电路中，点是一个电压信号（节点电压法）。在这里，我们把逻辑门和一个输出当作一个点。
- 点的入度和出度被称为扇入和扇出（后者即fanout）。常量的入度为0。

- 有向边：输入与输出

- 无环：元件的输出不能接到自身输入。以下列举几种有环的情况。

- ```
logic a;
assign a = ~a;
```
- ```
always_comb begin
    unique case(c[1:0])
        2'b01: b = 1'b1;
        2'b10: b = 1'b0;
        // without 'default' or listing all possible condition
        2'b11: b = b;
    endcase
end
```

思考：这两种视角，如何解释电路中不能有多驱动？

思考：三种电路语句，在这两种视角下分别是怎样的？

## 1.4 衡量组合逻辑的标准（实验三）

在数字电路中，逻辑门是有延迟的，导线也是有延迟的。我们给出组合逻辑电路的两个指标：

- 电路级数（关键路径上的逻辑门越多，总的门延迟越高）
- 电路面积（电路面积越大，总的导线延迟越高）

设计同一功能的硬件，会根据实际情况进行取舍（trade-off），没法在每个指标上都做到最佳。

## 2 时序逻辑 展望

接下来，我们将进行几次时序逻辑的实验。

### 2.1 组合逻辑的不足

- 没有记忆，没有历史
- 延迟很高
- 抗干扰能力弱

## 2.2 时序电路=组合电路+触发器

时序电路本身很简单，就多比纯组合电路多了触发器。

```
logic a, a_nxt;

// 触发器部分
always_ff @(posedge clk) begin
    if(~resetn) begin
        a <= '0;
    end else begin
        a <= a_nxt;
    end
end

// 组合逻辑部分
always_comb begin
    a_nxt = a;
    // ...
end
```

但它打破了组合电路的很多局限，比组合电路更接近现实。