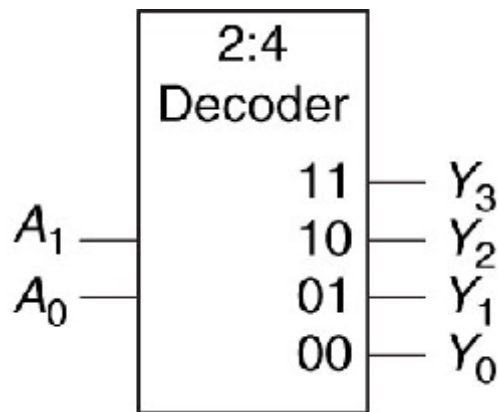


实验一 译码器与编码器

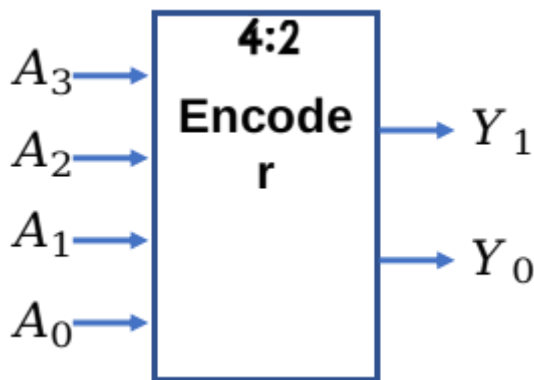
实验背景

基础概念

译码器是计算机系统中最常用的逻辑部件之一，用来完成对操作码的译码。编码是把输入的高低电平信号编成一个对应的二进制码。实现编码操作的电路称作编码器；按是否有优先权编码，可分为普通编码器和优先编码器



若输入的二进制码对应的十进制数为 i ，则输出数的第 i 位为1,其余位为0。（高电平有效）



相关知识

3-8译码器有3个输入($s[2:0]$)和8个输出($y[7:0]$)，其真值表如下：（高电平有效）

s[2]	s[1]	s[0]	y[7]	y[6]	y[5]	y[4]	y[3]	y[2]	y[1]	y[0]
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

8-3编码器有8个输入(i[7:0])和3个输出(f[2:0])，其真值表如下：

i[7]	i[6]	i[5]	i[4]	i[3]	i[2]	i[1]	i[0]	f[2]	f[1]	f[0]
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

实验内容

- 参考上述真值表，设计一个4-16译码器（可以使用case语句，或者直接使用简单的与或非门），增加使能en，当en=0时，输出全部为低电平，当en=1时，正常译码。
- 利用实验内容1中设计的4-16译码器模块，设计一个5-32译码器（使用模块实例化）。
- 设计一个16-4普通编码器（参考表格2）。
- 设计一个16-4优先编码器（输入的第15位优先级最高，第0位优先级最低）。

实验需知

以下介绍一下本学期实验部分的安排：

- 第n周的周一实验课的主要工作：
 - 将第n周的实验进行上板验证并进行一定的讲解。
 - 布置第n+1周的实验并讲解需用但未学的语法，在第n+1周的实验课之前完成仿真验证工作。
 - 在第n周的周二晚上23:59:59之前在elearning上提交本次实验内容，包含实验中所写的.sv文件以及实验报告。
- 实验报告只需要大致总结该次实验即可，具体内容不限，格式为学号_姓名.pdf

