



Hi3515 硬件设计

用户指南

文档版本 04

发布日期 2011-05-06

版权所有 © 深圳市海思半导体有限公司 2010-2011。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



前言

概述

本文档主要介绍 Hi3515 芯片方案的硬件原理图设计、PCB 设计、硬件 Checklist。

本文档提供 Hi3515 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3515 芯片	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

约定

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000

类别	符号	对应的数值
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2011-05-06	04	分别修改表 1-6 中 DVDD10、DVDD10_PLL、DVDD10_USB、DVDD10_DAC 和 SPHY_VP 的最小值、典型值和最大值。 删除 2.5.7 小节。 3.8 USB 电路小节中修改了 USB 上电顺序。 3.11 单板电源模块修改芯片上下电顺序描述。
2010-10-08	03	表 1-6 Hi3515 芯片电源需求中修改 DVDD10（1）的典型值和最大值。 修改 3.1 芯片的电源和地中的第一个注意事项。
2010-5-29	02	表 1-6 Hi3515 芯片电源需求，增加典型总功耗和静态功耗的注意事项：在整机散热条件不好的情况下，建议增加散热片 增加 1.2.7 板级热设计建议章节。
2010-03-26	01	3.1 节增加 Hi3515 工作总线时钟工作在 230MHz 时，核电压 1.0V 必须提升到 1.05V。
2010-03-12	00B04	完善 PCB 设计建议和原理图设计建议，增加第四章内容。
2010-03-08	00B03	完善 PCB 设计建议和原理图设计建议，增加设计 checklist 章节。



修订日期	版本	修订说明
2009-12-29	00B02	补充部分内容。
2009-12-09	00B01	第一次发布。



目 录

1 原理图设计建议.....	1-1
1.1 小系统外部电路要求.....	1-1
1.1.1 Clocking 电路.....	1-1
1.1.2 复位和 Watchdog 电路.....	1-2
1.1.3 JTAG Debug 接口.....	1-3
1.1.4 Hi3515 硬件初始化系统配置电路.....	1-4
1.1.5 Power Supply 电路.....	1-6
1.2 典型接口电路设计.....	1-7
1.2.1 DDR2 接口.....	1-7
1.2.2 USB2.0 Host 接口.....	1-12
1.2.3 SATA 接口设计.....	1-12
1.2.4 EBI 接口设计.....	1-12
1.2.5 VI/VO 接口设计.....	1-13
1.2.6 DAC 接口设计.....	1-13
1.2.7 板级热设计建议.....	1-15
1.2.8 未用的数字管脚的处理.....	1-15
2 Hi3515 PCB 设计建议.....	2-1
2.1 Fanout 设计建议.....	2-1
2.2 DDR2 SDRAM 接口.....	2-3
2.3 USB 设计建议.....	2-4
2.4 SATA 设计建议.....	2-4
2.5 电源设计.....	2-5
2.5.1 DDR 电源设计.....	2-5
2.5.2 PLL 电源设计.....	2-5
2.5.3 USB 电源设计.....	2-5
2.5.4 DAC 电源设计.....	2-5
2.5.5 SATA 电源设计.....	2-6
2.5.6 其他电源地设计.....	2-6
2.6 单板地设计.....	2-6
2.7 PCB 散热设计建议.....	2-6

2.8 其他.....	2-7
2.8.1 PCB 信号完整性仿真设计建议	2-7
2.8.2 注意事项	2-7
3 硬件设计 checklist	3-1
3.1 芯片的电源和地.....	3-1
3.2 芯片的时钟电路和复位电路	3-1
3.3 存储器电路.....	3-2
3.4 I2C 电路.....	3-2
3.5 视频电路.....	3-2
3.6 音频电路.....	3-3
3.7 SATA 电路	3-3
3.8 USB 电路.....	3-3
3.9 ETH 电路.....	3-4
3.10 JTAG 和系统控制电路	3-4
3.11 SD CARD 电路.....	3-4
3.12 UART 电路	3-5
3.13 单板电源模块.....	3-5
4 Hi3511/3512/ 3520/ 3515 硬件接口比较	4-1



插图目录

图 1-1 Hi3515 的时钟管理模块框图.....	1-1
图 1-2 推荐晶振连接方式及器件参数.....	1-2
图 1-3 复位和 Watchdog 典型设计电路.....	1-3
图 1-4 JTAG 连接方式及标准连接器管脚定义	1-4
图 1-5 Hi3515 DDRC 典型外接 DDR2 SDRAM 拓扑结构	1-8
图 1-6 VREF 电源分压网络参考设计.....	1-9
图 1-7 差分时钟 DDR_CLKN、DDR_CLKP 一驱一应用	1-9
图 1-8 差分时钟 DDR_CLKN、DDR_CLKP 一驱二应用	1-10
图 1-9 地址和控制信号一驱二应用.....	1-10
图 1-10 地址和控制信号一驱四应用.....	1-11
图 1-11 寄生电容小时的建议电路.....	1-13
图 1-12 寄生电容较大时的建议电路.....	1-14
图 1-13 DAC0、DAC1 外围电路设计	1-15
图 2-1 Hi3515 芯片 Fanout1	2-2
图 2-2 Hi3515 芯片 Fanout2	2-3



表格目录

表 1-1 JTAG Debug 接口信号	1-3
表 1-2 TESTMODE0 模式说明	1-3
表 1-3 FUNSEL 模式说明	1-4
表 1-4 EBI 硬件管脚复用	1-4
表 1-5 与 EBI 配置的信号描述	1-5
表 1-6 Hi3515 芯片电源需求	1-6
表 1-7 DDR 匹配设计表	1-11



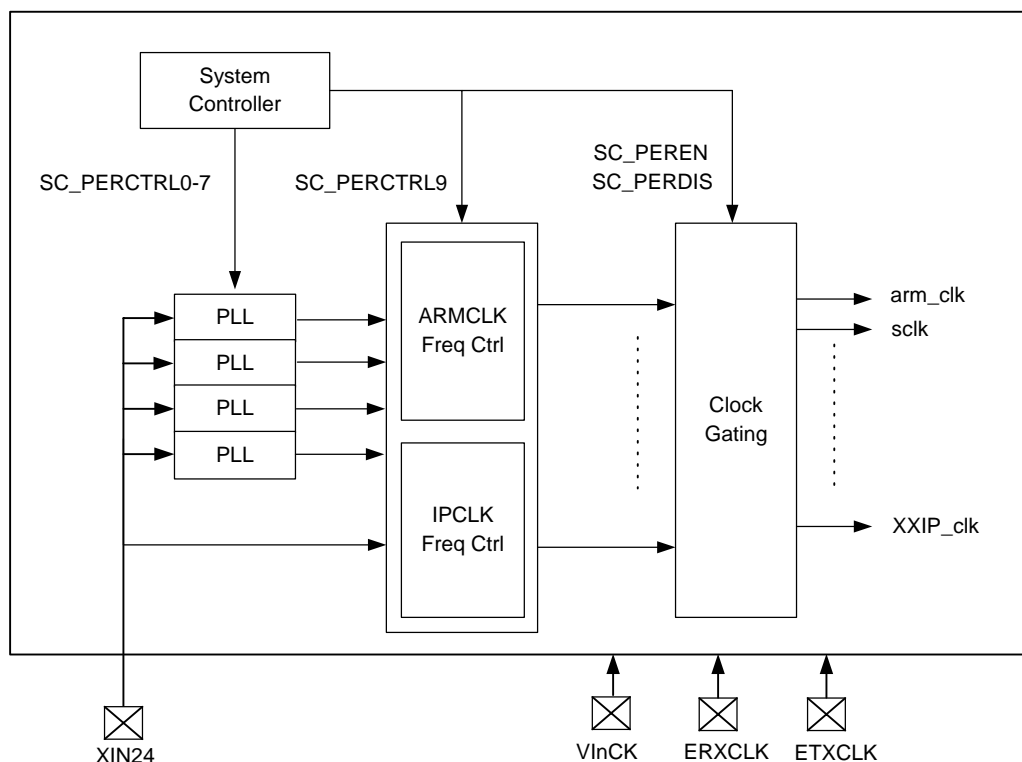
1 原理图设计建议

1.1 小系统外部电路要求

1.1.1 Clocking 电路

Hi3515 系统时钟从 XIN24 管脚输入，供给内部的 PLL 电路，由时钟管理模块产生系统内部所需要的相关时钟。Hi3515 的时钟管理模块框图如图 1-1 所示。

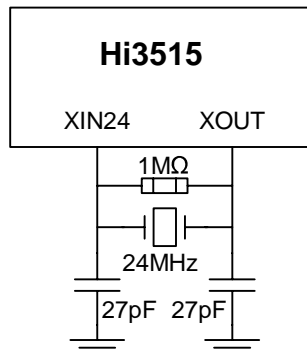
图1-1 Hi3515 的时钟管理模块框图



设计系统时钟电路时，有 2 种方式可以选择：

- 通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟。推荐晶振连接方式及器件参数如图 1-2 所示。

图1-2 推荐晶振连接方式及器件参数



- 直接由外部的时钟电路产生时钟，通过 XIN24 管脚输入。

除了系统时钟外，Hi3515 还通过以下时钟管脚来满足不同模块的时钟需求：

- VInCK (n=0~3) 管脚输入视频数据同步时钟，提供视频 VIn (n=0~3) 通道时钟，VI0CK、VI2CK 频率 13.5MHz~108MHz，VI1CK、VI3CK 频率 13.5MHz~54MHz。
- ERXCLK、ETXCLK 为 ETH 模块接口时钟。

1.1.2 复位和 Watchdog 电路

Hi3515 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，脉冲宽度大于 12 个 XIN24 管脚输入的晶振时钟周期（一般复位脉冲宽度为 100ms~300ms）。

板级设计时，为了系统稳定，建议采用专用的复位芯片产生复位信号，复位 Hi3515 系统异常时，Hi3515 可以通过 WDGRST 管脚产生低电平脉冲，因此可以把 WDGRST 管脚连接到系统复位上来复位整个系统。



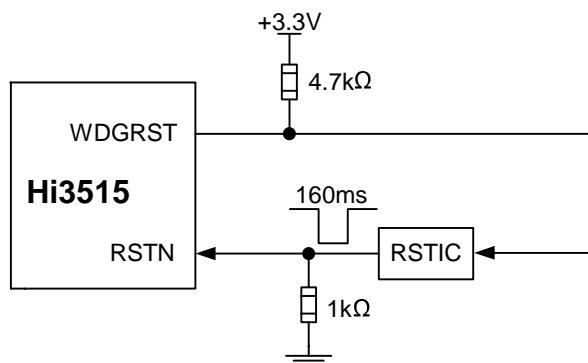
注意

需要注意的是，WDGRST 管脚为 OD 输出，必须外置上拉电阻。

复位和 Watchdog 典型设计电路如图 1-3 所示。



图1-3 复位和 Watchdog 典型设计电路



1.1.3 JTAG Debug 接口

Hi3515 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Multi-ICE 仿真器，调试 ARM CPU。JTAG Debug 接口信号描述如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试器，建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

芯片内部上拉电阻、芯片内部下拉电阻的阻值请参见《Hi3515 H.264 编解码处理器 用户指南》中的“DC/AC 参数”。

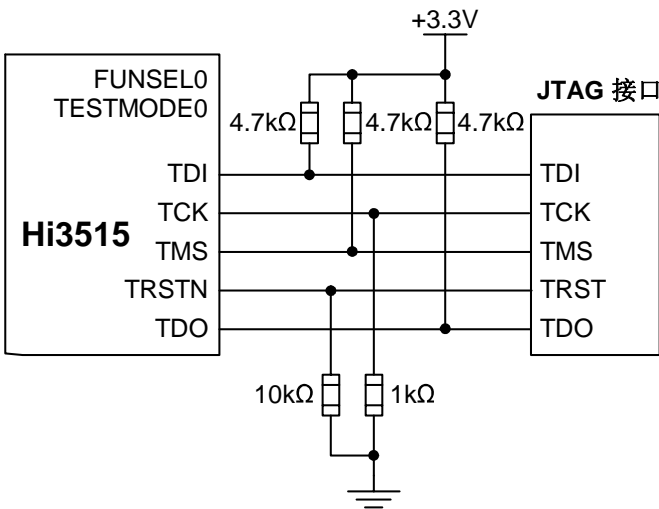
Hi3515 可以通过 TESTMODE0 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

表1-2 TESTMODE0 模式说明

TESTMOD0	模式说明
0	Hi3515 正常工作模式，此时可通过 JTAG 对 ARM 软件进行调试。
1	Hi3515 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。

JTAG 连接方式及标准连接器管脚定义如图 1-4 所示。

图1-4 JTAG 连接方式及标准连接器管脚定义



另外，Hi3515 的 ARM JTAG 和 SATA JTAG 复用，通过 EBIADR22/FUNSEL 管脚控制。具体说明如表 1-2 所示。

表1-3 FUNSEL 模式说明

信号名	方向	说明
FUNSEL	I	功能模式选择。 0：选择 ARM DEBUG； 1：选择 SATA DEBUG。

1.1.4 Hi3515 硬件初始化系统配置电路

Hi3515 内部集成 ARM9 单核 CPU，支持 NOR Flash、NAND Flash 两种启动模式，支持多种 NAND Flash 规格。所以在 Hi3515 硬件初始化的过程中需要根据不同的需求进行硬件配置。配置管脚采用 EBI 总线的地址控制信号 AD15~AD20，单板上通过上、下拉电阻实现。EBI 硬件管脚复用如表 1-2 所示。

表1-4 EBI 硬件管脚复用

Pin	Pad 信号	复用信号 1 (power_on == 0'b1)
AC19	EBIADR15	NFECC0
AB19	EBIADR16	NFECC1
AC20	EBIADR17	NFNUM0
AB20	EBIADR18	NFNUM1



Pin	Pad 信号	复用信号 1 (power_on == 0'b1)
AC21	EBIADR19	NFPAGE0
AB21	EBIADR20	NFPAGE1
AB22	EBIADR22	FUNSEL
AA18	EBIADR24	BOOTSEL

表1-5 与 EBI 配置的信号描述

信号	I/O	描述	对应管脚
NF_ADNUM[1:0]	I	Boot 时，选择 NANDC 发给 NAND Flash 器件的地址数目。 00: 3 个地址周期; 01: 4 个地址周期; 10: 5 个地址周期; 11: 6 个地址周期。	EBIADR18/EBIADR17
NF_PAGE[1:0]	I	Boot 时，选择 NAND Flash 器件的 page 容量。 00: 保留; 01: 2KB; 10: 4KB; 11: 保留。	EBIADR20/EBIADR19
NF_ECC0[1:0]	I	Boot 时，选择 ECC 模式。 00: 无 ECC 模式; 01: 1bit 模式; 10: 4bit 模式; 11: 8bit 模式。 默认启用 1bit 纠错的模式	EBIADR16/EBIADR15
EBI_DQ[7:0]	IO	NAND Flash 接口数据地址总线，访问 8bits NAND Flash 时，只有低 8bits 有效。	EBI_DQ0~EBI_DQ7
FUNSEL	I	功能模式选择。 0: 选择 ARM DEBUG; 1: 选择 SATA DEBUG。	EBIADR22

信号	I/O	描述	对应管脚
BOOTSEL	I	启动模式选择。 0: 选择 NOR Flash 启动; 1: 选择 NAND Flash 启动。	EBIADR24

1.1.5 Power Supply 电路

Hi3515 芯片电源需求如表 1-6 所示。

表1-6 Hi3515 芯片电源需求

符号	参数	最小值	典型值	最大值	单位
TOPT	操作环境温度	0	-	70	℃
DVDD10	内部 Core 电源	1.0	1.05	1.1	V
DVDD33	I/O 电源	3.135	3.3	3.6	V
DVDD18	DDR I/O 电源	1.7	1.8	1.9	V
VREF	DDR 参考电源 (0.5×VDD18)	0.85	0.9	0.95	V
AVDD33_PLL	PLL 模拟电源	3.135	3.3	3.6	V
DVDD10_PLL	PLL 数字电源	1.0	1.05	1.1	V
AVDD33_USB	USB 模拟电源	3.135	3.3	3.465	V
DVDD10_USB	USB 数字电源	1.0	1.05	1.1	V
AVDD33_VDAC	VDAC 模拟电源	3.135	3.3	3.6	V
DVDD10_DAC	VDAC 数字电源	1.0	1.05	1.1	V
DVDD33_DAC	VDAC 数字电源	3.0	3.3	3.6	V
SPHY_VP	SATA Core 电源	1.0	1.05	1.1	V
SPHY_VPH	SATA IO 电源	3.0	3.3	3.6	V
DVDD10 (1)	内部 Core 电源电流	-	1200	-	mA
DVDD33 (1)	I/O 电源电流	-	85	-	mA
DVDD18 (1)	DDR I/O 电源电流	-	300	310	mA
AVDD33_USB (1)	USB 模拟电源电流	-	62	-	mA
DVDD10_USB (1)	USB 数字电源电流	-	26	-	mA



符号	参数	最小值	典型值	最大值	单位
AVDD33_VDAC (1)	VDAC 模拟电源电流	-	102	-	mA
DVDD10_DAC (1)	VDAC 数字电源电流	-	-	-	mA
DVDD33_DAC (1)	VDAC 数字电源电流	-	-	-	mA
SPHY_VP (1)	SATA Core 电源电流	-	28	-	mA
SPHY_VPH (1)	SATA IO 电源电流	-	32	-	mA
-	典型总功耗 (1)	-	1800 (2)	-	mW
-	静态功耗 (1)	-	127	-	mW

Notes: (1) 标注的数据为实际正常业务场景测试值。

单板电压设计要求，请参见“3 硬件设计 checklist”。

(2) 在整机散热条件不好的情况下，建议增加散热片

1.2 典型接口电路设计

1.2.1 DDR2 接口

1.2.1.1 接口介绍

Hi3515 DDR 接口支持 DDR2 标准接口，接口电平标准为 SSTL-18。

Hi3515 DDRC 有如下特点：

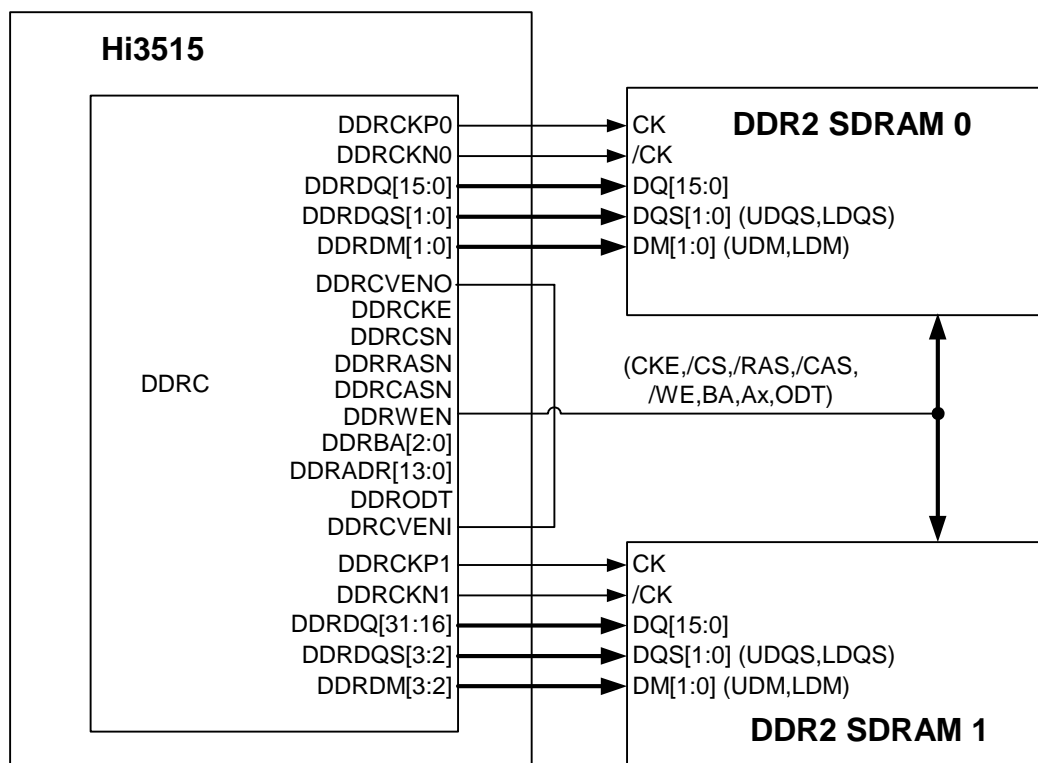
- 提供 1 个 DDR2 SDRAM 片选空间支持 32bit 模式。
- 32bit DDRC 支持最大存储空间为 512MB。
- 支持 DDR2 SDRAM 的 burst 为 4 的传输模式。
- 支持时序参数可配，以适应不同器件不同频率的需求。
- 控制 DDR SDRAM 以及 DDR2 SDRAM 的 AUTO Refresh、SELF Refresh。
- 支持低功耗模式。
- 支持 DDR2 SDRAM 的工作频率 200MHz。

1.2.1.2 电路设计建议

DDR 拓扑结构

Hi3515 DDRC 采用两片 16bit 颗粒设计。典型外接 DDR2 SDRAM 拓扑结构如图 1-5 所示。具体的管脚信号功能描述请参见《Hi3515 H.264 编解码处理器 用户指南》中 DDRC 部分。

图1-5 Hi3515 DDRC 典型外接 DDR2 SDRAM 拓扑结构



DDR 电源设计

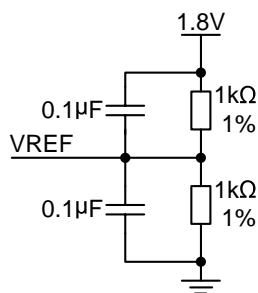
Hi3515 DDRC 及接口符合 DDR2 SSTL-18 电平标准，电源需要 1.8V 电源，参考电压 VREF 需要 0.9V。为确保电源的完整性，必须把 Hi3515 的 1.8V 电源与 DDR2 颗粒的 1.8V 电源统一，建议单板上采用单独 LDO 电路为 DDR2 颗粒和 Hi3515 DDRC 1.8V 电源管脚供电。

通过 100Ω~1KΩ 电阻（精度 1%）分压提供 0.9V 的 VREF 电压给 DDR2 颗粒和 Hi3515 DDRC 参考电源管脚供电，每个电源管脚和参考电源管脚旁放 1 个 0.1μF 的去耦电容。2 颗 DDR2 颗粒共用一个 VREF 分压电路，Hi3515 单独使用一个 VREF 分压电路。

电源分压网络参考设计如图 1-6 所示。



图1-6 VREF 电源分压网络参考设计



1.2.1.3 匹配方式设计建议

DQ、DQS 双向信号

Hi3515 DDR2 应用中 DQ、DQSP/DQSN 信号都是点对点拓扑，

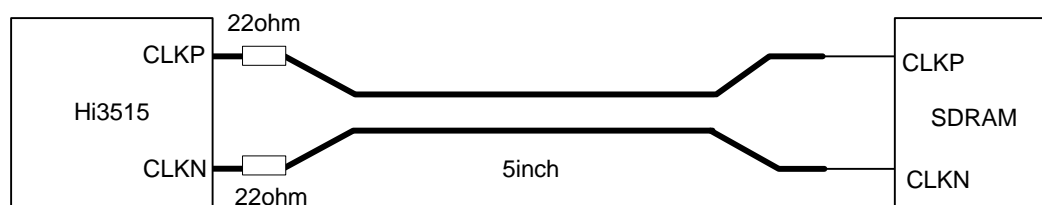
- 输出方向建议驱动能力选择 half driver，接收 SDRAM ODT 选用 50Ω；
- 输入方向建议 SDRAM 端选择 half driver，Hi3515 端 ODT 选用 75Ω

差分时钟 DDR_CLKN、DDR_CLKP

差分时钟 DDR_CLKN、DDR_CLKP，有一驱一、一驱二两种应用。

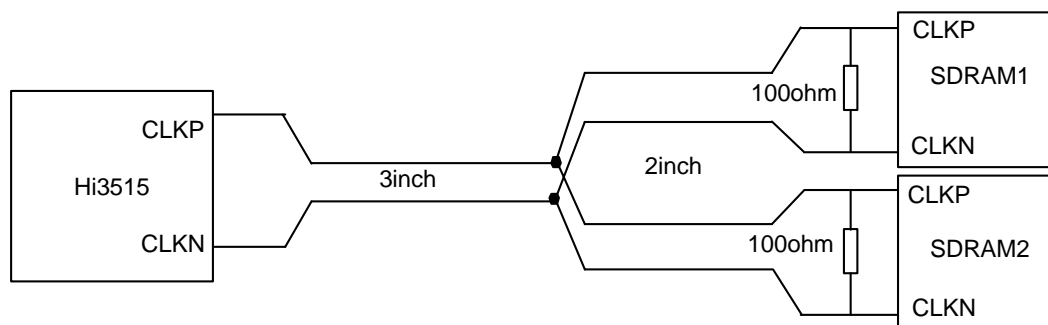
- 一驱一时，建议驱动能力选择 full driver，在源端串联 22Ω 电阻，所图 1-7 所示。

图1-7 差分时钟 DDR_CLKN、DDR_CLKP 一驱一应用



- 一驱二时，建议驱动能力选择 full driver，并在接受 SDRAM 端接 100Ω 的跨接电阻，如图 1-8 所示。

图1-8 差分时钟 DDR_CLKN、DDR_CLKP 一驱二应用

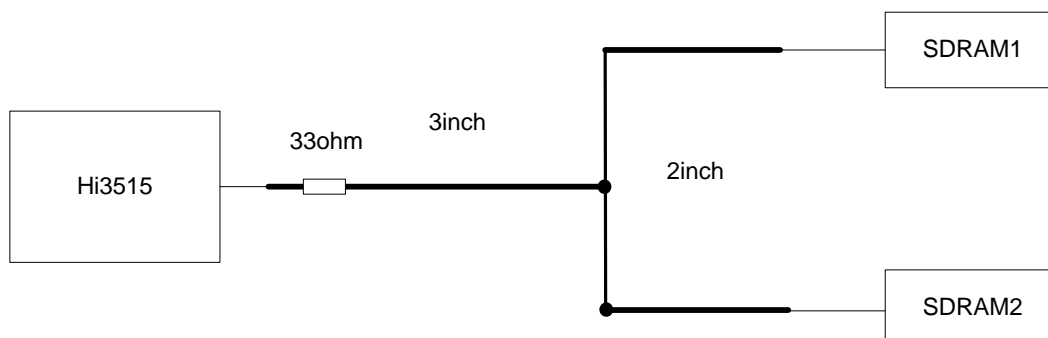


地址信号 ADR、控制信号 CTL

地址和控制信号有两种应用，一驱二、一驱四。

- 一驱二时，建议驱动能力选择 full driver，在源端串联 33Ω 电阻，如图 1-9 所示。

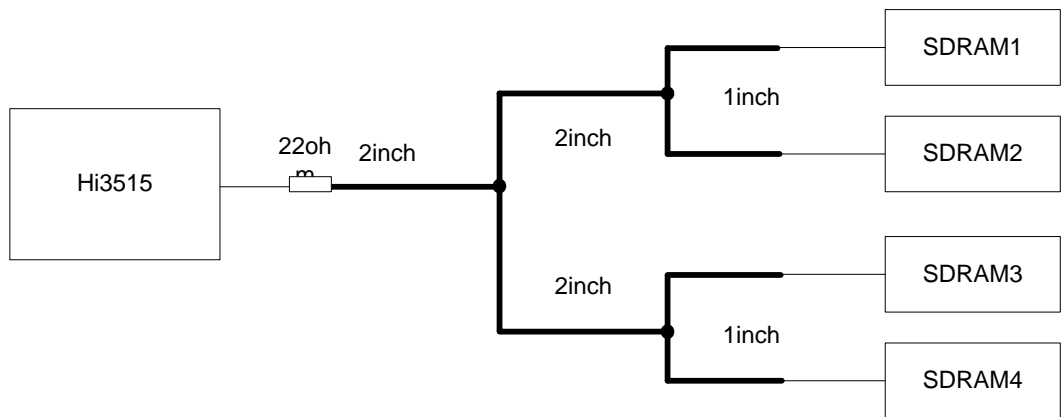
图1-9 地址和控制信号一驱二应用



- 一驱四时，建议驱动能力选择 full driver，在源端串联 22Ω 电阻，如图 1-10 所示。



图1-10 地址和控制信号一驱四应用



数据掩码信号 DM

Hi3515 DDR2 应用中 DM 信号都是点对点拓扑，输出方向建议驱动能力选择 half driver，接收 SDRAM ODT 选用 50Ω。

DDR 拓扑、匹配总结

表1-7 DDR 匹配设计表

信号名	走线长度	设计建议
DQ	5inch	写方向：源端 halfdriver，末端 SDRAM ODT 开启，ODT 为 50Ω 读方向：源端 SDRAM halfdriver，末端 Hi3515V100 ODT 开启，ODT 为 75Ω
DQS	5inch	写方向：源端 halfdriver，末端 SDRAM ODT 开启，ODT 为 50Ω 读方向：源端 SDRAM halfdriver，末端 Hi3515V100 ODT 开启，ODT 为 75Ω
DM	5inch	源端 Hi3515V100 halfdriver，末端 SDRAM ODT 开启，ODT 为 50Ω
CLK	5inch	一驱二时，fulldriver，末端 SDRAM 接 150Ω 跨导电阻 一驱一时，fulldriver，源端串联 22Ω
ADR/CTL	5inch	一驱四时，fulldriver 要在源端串联 22Ω 电阻； 一驱二时，fulldriver 要在源端串联 33Ω 电阻

1.2.2 USB2.0 Host 接口

1.2.2.1 接口介绍

Hi3515 USB2.0 Host 支持 USB2.0 协议，支持低速、高速和全速模式。

1.2.2.2 USB 电路设计建议

建议使用电压控制开关芯片（比如：MIC2025/MIC2506/MIC2505）给 USB 设备供电，该芯片提供电压输出使能控制，过流检测等功能。

ESD 保护器件设计建议：

- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用寄生电容小于 1pF 的 TVS 管保护器件。

1.2.3 SATA 接口设计

请参见“[2.4 SATA 设计建议](#)”。

1.2.4 EBI 接口设计

EBI 接口最多可支持 3 个低速负载的应用，比如 NAND Flash+NOR Flash+扩展。信号输出驱动电流为 8mA，用户可根据具体负载方案和板级情况，通过板级仿真确定具体拓扑结构和匹配方式。下面的匹配建议供参考：

- 电平有效信号
 - 包括数据信号、地址和非边沿有效的控制信号。
 - 外接多负载时，需要考虑反射、振铃带来的过冲和电平不稳定窗口。采用 T 型拓扑结构通常会得到比较好的信号质量。
 - 驱动单负载时，主要考虑过冲，如果过冲太大，可在驱动端串联 22Ω 电阻。
- 边沿有效类信号
EBIWEN、NFOEN 这类信号需要保证边沿的单调性。

1.2.4.1 接口介绍

Hi3515 内部集成 SATA PHY，支持 SATA2.5 协议，1.5Gbps 和 3.0Gbps 速率的自动协商，2 个 sata 端口，外部可以直接和 sata 硬盘连接，也可以外接 sata port multiplier 芯片。

1.2.4.2 SATA 电路设计建议

- 在单板上 TX、RX 都是 AC 耦合，需要在差分线上串联一个 10nF 的陶瓷电容，建议使用 0402 封装，且靠近连接器端放置。
- 为了计算 Rx 与 Tx 的端接电阻是否达到 50Ω，ResRef 对地串联一个 190Ω，1% 高精度电阻，此电阻靠近芯片管脚放置，走线寄生电阻控制在 1Ω 以内。
- Sata 接口的 2 个差分时钟输入管脚可以悬空或者 1K 电阻下拉。
- 建议把 SATA 硬盘运行指示灯引出来，以便实时观察硬盘运行状态，SATA 硬盘运行指示灯管脚和数字 VO 接口复用。



1.2.5 VI/VO 接口设计

1.2.5.1 接口介绍

VI 接口支持 4 个标准 BT656 接口，VI0、VI2 支持 BT601 接口。VI0/VI2 时钟支持 27/54/108MHz，VI1/VI3 时钟支持 27/54MHz；VI0/VI1 组合成标准 BT1120（16bit）接口，VI0（8bit）为 Y 信号，VI1（8bit）为 C 信号；VI2/VI3 组合成标准 BT1120（16bit）接口，VI2（8bit）为 Y 信号，VI3（8bit）为 C 信号。

- 在实际应用时，8CIF 产品建议使用 VI0/VI2 数字接口，VI1/VI3 可做 GPIO 使用；
- 4CIF 产品建议使用 VI0 数字接口，VI1/VI2/VI3 可做 GPIO 使用；
- 对接外部 BT1120 接口时，可使用 VI0/VI1 或者 VI2/VI3 组合成的 BT1120 接口；
- 外接 Digital Camera 时，可使用 VI0 或者 VI2 接口，最大支持 300 万像素。
- 数字 VO 接口支持标准 BT656 输出，输出最高频率为 27MHz，传输 D1 数据。该接口和 SD CARD 接口以及 SATA 硬盘运行指示灯信号复用。

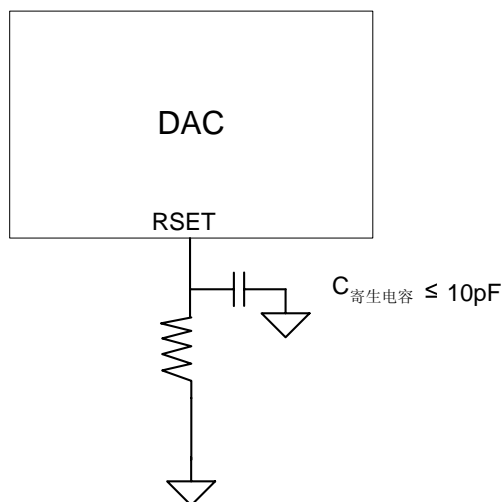
1.2.5.2 电路设计建议

- VI 为高速数字接口，时钟和数据线需要加源端匹配，PCB 走线等长处理，不能跨分割，且远离模拟信号。
- 外部 2 片视频 ADC 做音频级连时，建议使用同一个有源钟振给 2 片 ADC 提供时钟，且走线等长，钟振远离模拟信号。

1.2.6 DAC 接口设计

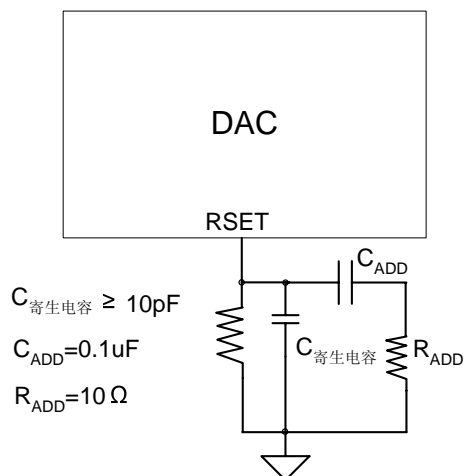
RSET 的寄生电容值必须要小于 10pF，RSET 的 PCB 走线要尽量短。如图 1-11 所示。

图1-11 寄生电容小时的建议电路



如果 RSET 有较大的寄生电容，就要在 RSET 管脚增加额外的并联电容（ $C_{ADD}=0.1\mu F$ ）和电阻（ $R_{ADD}=10\Omega$ ），这样 DAC 可以保证稳定。如图 1-12 所示。

图1-12 寄生电容较大时的建议电路



1.2.6.2 接口介绍

Hi3515 支持 2 个显示通道，标清显示通道 DAC0 支持 1 路模拟 CVBS 输出；高清显示通道 DAC1 支持 1 路高清 VGA 输出，最大支持 1440×900@60Hz。

- 标清模拟输出通道和数字 VO 通道为同源，输出图像一致。
- 标清显示通道 DAC0 和高清显示通道 DAC1 可以选择同源或者不同源，输出图像可以一致或者不一致。

1.2.6.3 电路设计建议

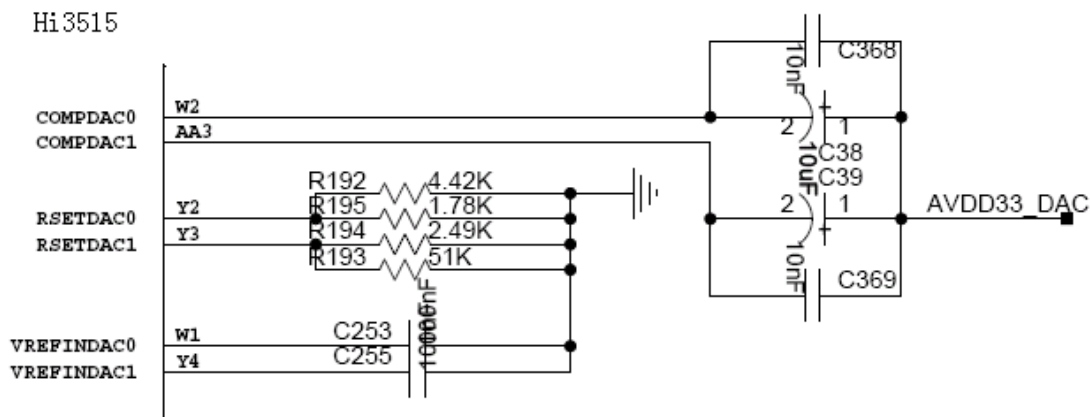
DAC0 为标清 CVBS 输出通道，建议外接一个标清视频滤波器（例如：FMS6141），

DAC1 为高清 VGA 输出通道，建议外接一个高清视频滤波器（例如：FMS6141 或者 NCS2563）

DAC0、DAC1 外围电路设计如图 1-13 所示，所电阻电容需要靠近芯片管脚放置。



图1-13 DAC0、DAC1 外围电路设计



Notes: 上图的 RSET 电阻 R192、R193、R194、R195 阻值可以更改，只要保证 RSETDAC0 外接对地电阻为 1.27K/1%精度，RSETDAC1 外接对地电阻为 2.37K/1%精度即可。

1.2.7 板级热设计建议

电源设计建议：单板结构小，尽量使用 DC-DC 供电，避免使用发热量大的器件。

器件选型建议如下：

- 单板 LDO 和电感都属于高发热器件，LDO 尽量选低压差的。
- 电感尽量选用大封装，大感量，直流阻抗小的。

1.2.8 未用的数字管脚的处理

分为以下两种情况：

- 如果芯片内部没有上下拉，不用的输入管脚不能悬空，可通过外接电阻接到固定电平。
- 对于那些对芯片功能稳定有重要影响的管脚，即使内部有上下拉电阻，也建议在板级加强上下拉，因为芯片内部上下拉通常都很弱。



2 Hi3515 PCB 设计建议

2.1 Fanout 设计建议

Hi3515 芯片采用 TFBGA 封装，封装尺寸为 19mm×19mm，管脚间距为 0.8mm。具体的芯片尺寸和封装请参见《Hi3515 H.264 编解码处理器用户指南》。

Hi3515 采用 4 层 PCB 布线，层叠结构建议如下：

- TOP 层：信号层 1（器件层 1）
- 第 2 层：地平面层
- 第 3 层：电源平面层
- BOTTOM 层：信号层 4（器件层 2）

PCB Fanout 设计注意事项：

- 最外侧的 2 圈 BALL 不需要打过孔，直接从顶层 Fanout 出去。
- 推荐过孔大小为 8mil，线宽采用 6mil，板厚不超过 2mm。

Hi3515 的电源管脚 3.3V、1.8V 或 1.0V 都尽可能通过较为完整的电源平面层供电。

Hi3515 芯片 Fanout 建议如[图 2-1](#)、[图 2-2](#) 所示。

图2-1 Hi3515 芯片 Fanout1

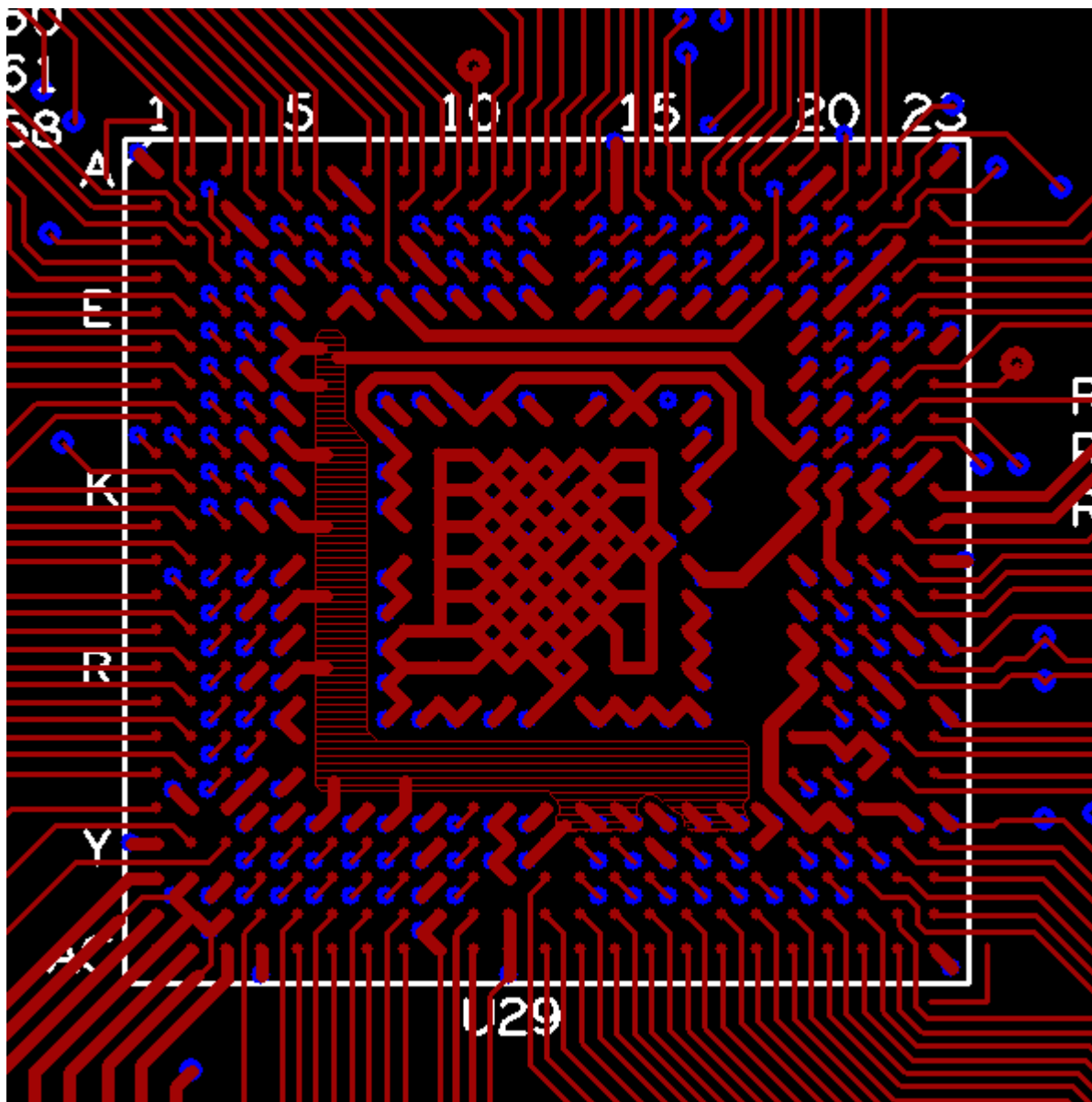
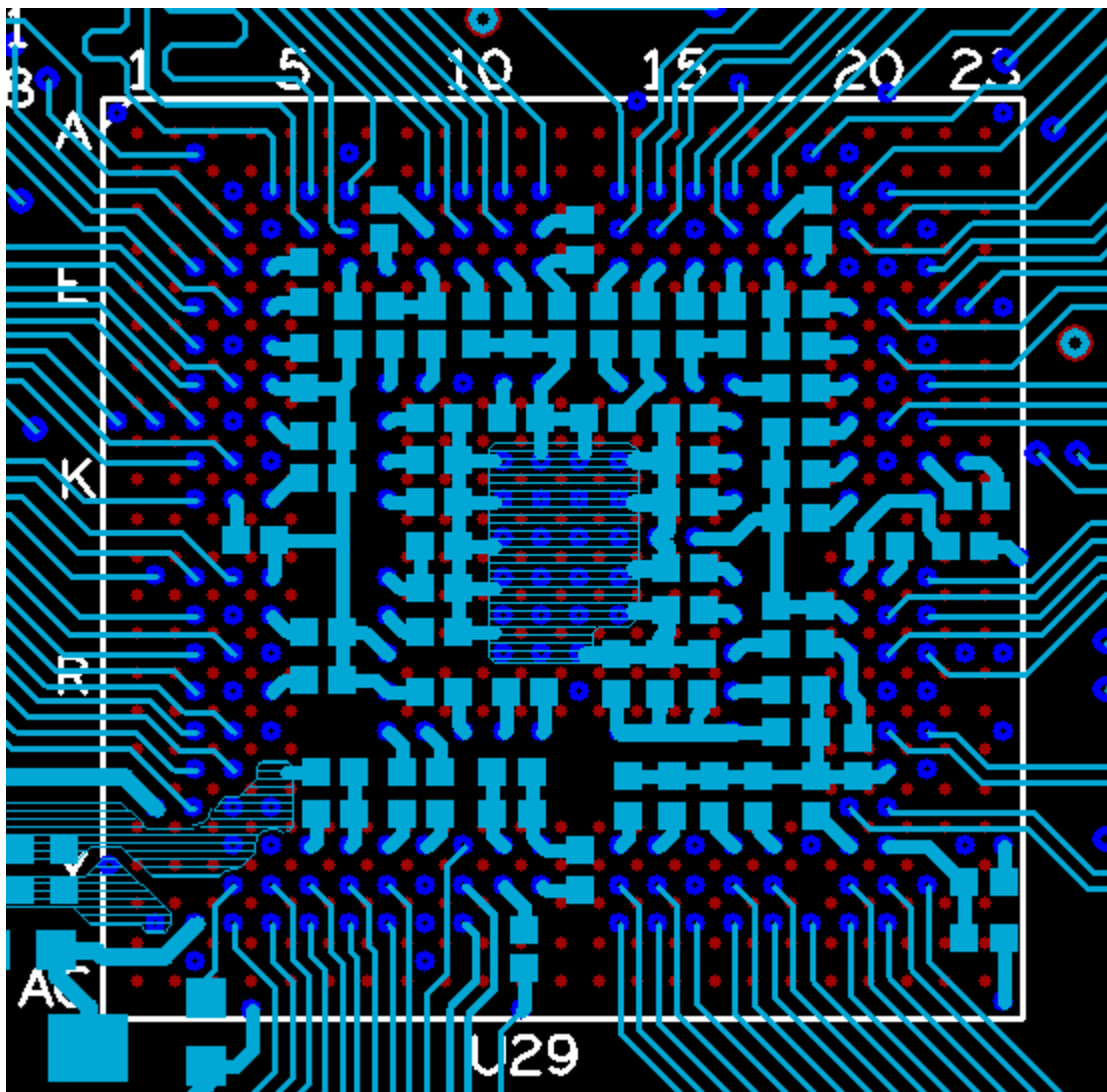




图2-2 Hi3515 芯片 Fanout2



2.2 DDR2 SDRAM 接口

电源设计

为了满足 DDR2 总线高带宽的性能要求，Hi3515 内部集成了支持 SSTL-18 电平标准的端口驱动器，所以建议板级布线遵循 SSTL-18 信号布线设计规范。

Hi3515 和 DDR2 SDRAM 的 VREF (0.9V) 电源都必须和其他电源隔离，可以通过较宽的走线 (20mil 及以上) 连接，保证每个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。DDR2 颗粒 1.8V 电源管脚与 Hi3515 DDR 1.8V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。

VREF 参考电压设计建议如下：

- 参考电压设计时，需要重点关注参考电压的布线。根据 SSTL-18 协议要求，VREF 参考电压上的噪声不得超过 2%，所以为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 建议在 Hi3515 的每个 VREF 管脚上放置 1 个去耦电容，走线尽量宽，与其他信号线间隔 20mil~25mil。

走线要求

DDR2 接口走线不能跨分割，且必须保持 1.8V 电源平面完整。

等长处理：

- 时钟差分对之间±50mil。
- 以时钟为参考，DQS 控制在±300mil。
- 以 DQS 为参考，同组数据线控制在±50mil。
- 以时钟为参考，地址线和控制线控制在±500。

2.3 USB 设计建议

为了保证良好的信号质量，USB2.0 Host 端口数据线需要差分布线。差分数据线走线控制等长，走线间距保持均匀，控制 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片（比如：时钟谐振器、时钟振荡器和时钟驱动器等）。为了达到 USB2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在 20mil 范围内。
- 差分布线，DP/DM 走线控制等长，走线间距保持均匀，控制 $90\Omega \pm 10\%$ 的均匀差分阻抗；
- 差分数据线走线宽度恒定，差分数据线要求平行。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其他高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。
- ESD 保护器件布线尽量不分叉，且靠近连接器放置

2.4 SATA 设计建议

- 布局方面
避免 SATA 接口靠近时钟芯片如时钟驱动器、晶体或钟振。
- 布线方面



布线应注意以下几点：

- SATA 差分线的接收信号走线不能打过孔，芯片 FANOUT 出来，直接走表层到连接器，且必须严格等长。(误差不超过 5mils)
- SATA 差分线的发送信号尽量少打过孔，不超过 2 个，且必须严格等长。(误差不超过 5mils)
- 每组差分线必须分别包地处理，且地线上多打地通孔数量。
- 差分传输线的特征阻抗必须是 $100\Omega \pm 5\%$ ，即差分传输线的阻抗必须控制在 $95\Omega \sim 105\Omega$ 间。
- 为减小差分传输线间的串扰，传输线的线间距至少是介质层的 3 倍。

2.5 电源设计

2.5.1 DDR 电源设计

请参见“[2.2 DDR2 SDRAM 接口](#)”中的电源设计章节。

2.5.2 PLL 电源设计

PLL 电源设计建议如下：

- PLL 电源 AVDD33_VPLL、AVDD33_APLL、AVDD33_SPLL 使用磁珠与数字电源隔离，尽量使用铺铜方式，滤波电容应靠近管脚摆放。
- PLL 的数字电源 VDD10_VPLL、VDD10_SPLL、VDD10_APLL 也应尽量保证干净，使用磁珠和芯片 1.0V 电压隔离，使用粗且短的走线，并有靠近管脚的滤波电容。

2.5.3 USB 电源设计

USB 电源设计建议如下：

- 模拟电源 USBVDDA33 采用磁珠与数字电源隔离，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，并有邻近管脚摆放的滤波电容。
- 数字电源 USBVDD 采用磁珠与芯片 Core 电源隔离，使用磁珠与数字电源隔离，尽量使用铺铜方式，滤波电容应靠近管脚摆放。

2.5.4 DAC 电源设计

DAC 电源设计建议如下：

- DAC 数字电源，DVDD10_DAC、DVDD33_DAC 可以直接和芯片的 1.0V，3.3V 连接，不需要用磁珠隔离。
- DAC 模拟电源地 AVDD33 使用磁珠或电感与数字电源隔离，推荐采用平面方式，以减小耦合噪声，并有靠近管脚摆放的滤波电容。

2.5.5 SATA 电源设计

SATA 电源设计建议如下：

- SPHY_VP 在单板上需要用一個磁珠隔离，尽量使用铺铜方式，并在临近管脚处摆放滤波电容。
- SPHY_VPH 在单板上需要用一個磁珠隔离，尽量使用铺铜方式，在临近管脚处摆放滤波电容。

2.5.6 其他电源地设计

Hi3515 其他数字部分电源还有 DVDD10 和 DVDD33，其中 DVDD10 是芯片内核电源，DVDD33 是接口电源，1.0V 尽量铺大面积铜，并保证芯片散热，DVDD33 保证一个完整的电源平面。

2.6 单板地设计

芯片建议使用同一个地，模拟地和数字地不需要分开。

2.7 PCB 散热设计建议

布局：

- 1、发热器件应尽可能分散布置，使得单板表面热耗均匀，有利于散热。
- 2、不要使热敏感器件或功耗大的器件彼此靠近放置，使得热敏感器件远离高温发热器件，常见的热敏感的器件包括晶振、内存、CPU 等。
- 3、要把热敏感元器件安排在最冷区域。对自然对流冷却设备，如果外壳密封，要把热敏感器件置于底部，其它元器件置于上部；如果外壳不密封，要把热敏感器件置于冷空气的入口处。对强迫对流冷却设备，可以把热敏感元器件置于气流入口处。

铺铜：

- 1、在单板允许的情况下，尽量铺大芯片电源铜皮，并多打过孔。
- 2、在芯片底下铺铜皮，且多打大过孔。
- 3、单板 LDO 等大功率器件铺亮铜处理。
- 4、单板 top/bottom 或者信号层空余地方铺铜处理。
- 5、芯片的 GND 管脚出来多打地通孔，空余的地方也多打大的地通孔。
- 6、单板螺柱孔接地，通过机壳散热。
- 7、布局 and 结构整体考虑散热、通风处理。



2.8 其他

2.8.1 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，并结合提供的 Hi3515 接口 IBIS 模型、器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。

可以通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃和单调性等。

2.8.2 注意事项

其他 PCB 设计注意事项如下：

时钟信号如果带多个负载，无论频率多高，都需要特别注意其信号质量，应保证信号边沿单调。



3 硬件设计 checklist

3.1 芯片的电源和地

√	Items
	在正常业务工作时，Hi3515 供电的 3.3V 峰值电流约 0.2A；1.0V 峰值电流约 1.2A；1.8V 峰值电流约 0.3A，注意主电源滤波磁珠的过流能力及损耗。1.0V 电源芯片至少需要预留 30%以上的余量。
	Hi3515 工作总线时钟工作在 230MHz 时，核电压 1.0V 必须提升到 1.05V。
	整个芯片所有模块使用同一个参考地。
	PLL 的电源管脚 VDD10_APLL、VDD10_SPLL、VDD10_VPLL 合在一起，使用磁珠和芯片 DVDD10 隔离，与地之间各放置一个 10uF 的陶瓷电容和 3 个 100nF 的电容（VDD33_APLL、VDD33_SPLL、VDD33_VPLL 同样方法处理）。
	主芯片每种电源要在电源入口放置至少 10uF 以上的滤波电容，最好每个电源管脚放置一个 100nF 的去耦电容。
	每种模拟电源前需串联磁珠，包括：DAC 模拟电源、USB 模块电源、SATA 模块电源，并放置 10uF 以上滤波电容，每个管脚放置一个 100nF 去耦电容。DVDD10_DAC、DVDD33_DAC 可以直接和芯片 1.0V、3.3V 连接。

3.2 芯片的时钟电路和复位电路

√	Items
	Hi3515 的 24M 晶体时钟电路，并联反馈 1MΩ 电阻。晶体负载电容 Cl 为 20pF 时，建议采用并联电容为 27pF。
	推荐使用专用复位芯片产生复位信号。

√	Items
	Hi3515 的 WDG 是 OD 输出，使用时需提供上拉，并接到复位芯片输入端。

3.3 存储器电路

√	Items
	DDR 时钟、地址线、控制信号与 Hi3515 之间要加串联匹配电阻 33Ω，DQS、DQ、DM 直连。
	DDR2 的参考电源就近从 1.8V 各自分压得到。
	DDR2 参考电压的分压电阻采用 1%精度，以保证电压准确。
	Flash 的 ACC/WP~信号要加上拉电阻；BYTE~信号要加下拉电阻，使 Nor Flash 工作在 8bit 模式。
	OE#、WE#、CS#信号加上拉，推荐 4.7KΩ。

3.4 I2C 电路

√	Items
	I ² C 信号 SCL、SDA 是 OD 输出的管脚，需要外接上拉电阻。
	I ² C 总线上各器件地址不要冲突。

3.5 视频电路

√	Items
	使用同一个钟振给外部 2 个 ADC 提供工作时钟时，必须等长处理。
	VI0/VI2 时钟支持 27/54/108MHz，VI1/VI3 时钟支持 27/54MHz；8CIF 产品建议使用 VI0/VI2 数字接口，4CIF 产品建议使用 VI0 数字接口，VI1/VI3 可做 GPIO 使用；VI 信号源端加 33Ω 串行匹配。
	VREFINDAC0/VREFINDAC1 各需要外接一个 100nF 的电容到地。



√	Items
	RSETDAC0 外接 1.27K，1%的电阻到地，推荐 2 个电阻并联，例如：4.42K 和 1.78K 并联。 RSETDAC1 外接 2.37K，1%的电阻到地，推荐 2 个电阻并联，例如：2.49K 和 51K 并联。
	COMPDAC0/COMPDAC1 各需要外接 1 个 10uF 和 1 个 100nF 电容并联到 AVDD33_DAC。
	DAC0 视频滤波建议采用 FMS6143 8MHz 标清滤波器。 DAC1 视频滤波建议采用 FMS6363 或者 NCS2563 30MHz 带宽高清滤波器。
	视频输出共 4 路，没有用到的需要通过 75Ω 接到地，不能悬空。
	DAC 模拟输出走线必须远离数字高频信号和晶振。

3.6 音频电路

√	Items
	SIO0 全双工，支持输入输出，可以用来作对讲功能，SIO1 只支持输入，可以做录音功能。

3.7 SATA 电路

√	Items
	SREFCKM、SREFCKP 可以悬空或者 1K 下拉。
	SATA 差分走线 RX 不能打过孔，TX 最多不超过 2 个，走线不能跨分割。
	sresref 管脚需要外接一个 190Ω 1%精度的电阻到地。

3.8 USB 电路

√	Items
	Hi3515 芯片 USB_REXT 管脚外接 2.7KΩ 1%电阻到地。

√	Items
	USB 差分走线不能跨分割。
	单板为 USB 外设提供电源时，需要保证 Hi3515 芯片的 USB PHY 的 3.3V 先上电，供给外设的 5V 后上电。

3.9 ETH 电路

√	Items
	PHY 端 MDIO 加上拉，如果使用 RTL8201，RXER/FXEN 管脚加 5.1K 下拉。
	PCB 上网口到变压器之间地要挖空处理，使用 1nF/2KV 电容和单板地连接。

3.10 JTAG 和系统控制电路

√	Items
	TDI、TDO、TMS 加上拉，TCK、RTCK 加下拉，TRST 信号加 10K Ω 的下拉电阻，预留上拉电阻。
	TESTMODE 管脚需要接下拉。

3.11 SD CARD 电路

√	Items
	Hi3515 SD CARD 接口和数字视频 VO 接口复用，使用时注意复用关系。
	SD CARD 电源使用 mos 控制上下电，数据/命令信号需要接上拉到 VCC_SDIO，上拉电阻建议接 4.7K。



3.12 UART 电路

√	Items
	调试串口需要引出来，一般使用 UART0。
	串口收发信号需要加上拉处理。
	UART1 支持流控功能。

3.13 单板电源模块

√	Items
	8CIF 单板，带 2 个硬盘，正常工作时，整机功耗约 21W，启动时 2 个硬盘 12V 瞬间电流达到 4.6A/1.5s 左右的时间，所以如果使用适配器电流在 5A 以下，建议硬盘 12V 加缓起电路。
	建议 1.0V 使用 DC-DC 转换，减少热量；按照 3.3V、1.8V、1.0V 的顺序上电；按照 1.0V、1.8V、3.3V 的顺序下电。



4 Hi3511/3512/ 3520/ 3515 硬件接口比较

接口	Hi3511	Hi3512	Hi3520	Hi3515
电源	1.2V CORE		1.0V CORE	
DDR2	内部 1 个 DDRC, 时钟频率 144MHz, 最大支持 512MB 存储空间		内部 2 个 DDRC, DDRA 为 32bit, DDRB 为 16bit, 时钟频率 400MHz DDRA 最大支持 512MB 存储空间 DDRB 最大支持 256MB 存储空间	内部 1 个 DDRC, 时钟频率 220MHz, 最大支持 512MB 存储空间
Nor flash	最大支持 256Mbit		最大支持 256Mbit	
Nand flash	不支持		最大支持 8GB	
VI	1、4 个 BT656 接口 2、VI0, VI2 支持 BT601 接口、最高时钟频率 74.25MHz; 3、VI1、VI3 支持 BT656 接口, 最高时钟频率 54MHz 4、外接 16bit 的 Digital Camera 时, 只能使用 VI0, VI2, 使用 VI0 的时钟	VI0, VI1 和 Hi3511 一致, VI2、VI3 时钟管脚悬空	1、4 个 BT656 接口, 最高时钟频率 108MHz 2、VI0, VI2 支持 BT601 接口 3、VI0 和 VI1 组合成一个 BT1120 接口, VI0 对应 Y 信号, VI1 对应 C 信号 4、VI2 和 VI3 组合成一个 BT1120 接口, VI2 对应 Y 信号, VI3 对应 C 信号 4、外接 16bit 的 Digital Camera 时, 只能使用 VI0、VI1 或者 VI2、VI3 5、支持视频级联	VI1, VI3 时钟频率最高支持 54MHz, 不支持视频级联, 其余特性和 Hi3520 一致

4 Hi3511/3512/ 3520/ 3515 硬件接口比较

接口	Hi3511	Hi3512	Hi3520	Hi3515
数字 VO	1 个 BT656 数字输出接口，最高频率 27MHz		1、1 个 BT656 数字输出接口，最高频率 27MHz 2、1 个 BT1120 数字接口，最高频率 74.25MHz	1 个 BT656 数字输出接口，最高频率 27MHz
模拟 VO 输出	无		1、2 路高清显示通道，都可以作为 VGA 或者 YPbPr 输出 2、第一路显示通道 DAC0 的 DACVGA0R、DACVGA0G 可以单独作为 2 路标清 CVBS 输出，此时 DACVGA0B 需要接 75 欧姆电阻到地 3、第二路高清显示通道 DAC1 作为高清 VGA 或者 YPbPr 输出	1、1 路标清显示通道 DAC0 作为 CVBS 输出 2、1 路高清显示通道 DAC1 作为 VGA 输出
I2S 接口	SIO0 输入输出接口、SIO1 为输入接口		1、SIO0 为输入输出接口 2、SIO1 为输入输出接口，输出接口和 SIO2 复用，SIO2 为输入接口	SIO0 输入输出接口、SIO1 为输入接口
PCI 接口	标准 PCI2.3 接口			无
USB 接口	1 个 USB 2.0 OTG，1 个 USB 1.1 HOST 接口		2 个 USB 2.0 HOST 接口	
ETH 接口	MII 接口		MII/RGMII 接口	MII 接口
SATA 接口	无			2 个 SATA 接口
UART 接口	3 个 UART 接口，其中 UART1 支持流控		4 个 UART 接口，其中 UART1 支持流控	
I ² C 接口	1 个标准 I ² C 接口，可以用 GPIO 模拟			