

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

KHOA ĐIỆN – ĐIỆN TỬ



**CÁO BÁO THI CUỐI KÌ THỰC TẬP
THIẾT KẾ VI MẠCH TÍCH HỢP VLSI**

GVHD:	Ths: Lê Minh Thành
SVHT:	Huỳnh Tấn Đạt
MSSV:	22161232

Tháng 5/2025

1. Cho một hàm logic sau:.....	4
1.1 Lập bảng trạng thái.....	4
2.1 Rút gọn bằng bìa K.....	5
2. Mô phỏng JK_FF từ FF_D và đánh giá các thông số mô phỏng	5
2.1 Lý thuyết.....	5
2.2 Ký hiệu và bảng trạng thái.....	6
3.2 Mô phỏng.....	7
3.2.1 Mạch vẽ trên Cadence	7
2.3.1. Cấp nguồn.....	7
2.3.2. Dạng sóng.....	8
2.3.3. Đo thời gian trễ lan truyền cạnh lên cạnh xuống.....	9
2.3.4. Thời gian cạnh lên cạnh xuống.....	10
2.3.5. Thời gian Ts và Th.....	11
2.3.6 Công suất.....	12
3. Thiết kế mạch đếm 3 bit bất đồng bộ	13
1.3 Vẽ sơ đồ nguyên lí mạch	13
2.3 Mô phỏng và đánh giá dạng sóng và thông số.	15
3.3 Thời gian trễ lan truyền cạnh lên và cạnh xuống	16
4.3 Thời gian cạnh lên và cạnh xuống.....	18
5.3 Công Suất của mạch	19

1. Cho một hàm logic sau:.....	4
Bảng 1.1 Bảng trạng thái.....	4
Bảng 1.2 Bảng rút gọn.....	5
2. Mô phỏng JK_FF từ FF_D và đánh giá các thông số mô phỏng	5
Hình 2.1 Ký hiệu FF_JK	6
Bảng 2.1 Bảng trạng thái FF_JK.....	6
Hình 2.2 Mạch vẽ FF_JK trên cadence	7
Hình 2.3 Dạng sóng FF_JK.....	8
Hình 2.4 Thời gian trễ lan truyền cạnh lên.....	9
Hình 2.5 Thời gian trễ lan truyền cạnh xuống.....	10
Hình 2.6 Thời gian cạnh lên	10
Hình 2.7 Thời gian cạnh xuống.	11
Hình 2.8 Thời gian Ts của mạch FF_JK.....	11
Hình 2.9 Thời gian Th của mạch FF_JK.....	12
Hình 2.10 Công suất tĩnh của FF_JK	12
Hình 2.11 Công suất trung bình của FF_JK	13
3. Thiết kế mạch đếm 3 bit bất đồng bộ	13
Hình 3.1 Mạch nguyên lý mạch đếm 3 bit bất đồng bộ	14
Hình 3.2 Dạng sóng ngõ ra mạch đếm	15
Bảng 3.1 Bảng trạng thái của hình 3.2	15
Hình 3.3 tpdr Q0.....	16
Hình 3.4 tpdr Q0.....	17
Hình 3.5 Thời gian cạnh lên Q0	18
Hình 3.6 Thời gian cạnh xuống Q0	18
Hình 3.7 Công suất trung bình của mạch	19

1. Cho một hàm logic sau:

$$YY = FF(DD, CC, BB, AA) = \prod(0, 1, 4, 5, 7, 10, 14, 15) + dd(2, 8, 11, 13)$$

1.1 Lập bảng trạng thái

- Từ 1 ta có bảng trạng thái.

Bảng 1.1 Bảng trạng thái

DD	CC	BB	AA	Hex	YY
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	2	X
0	0	1	1	3	1
0	1	0	0	4	0
0	1	0	1	5	0
0	1	1	0	6	1
0	1	1	1	7	0
1	0	0	0	8	X
1	0	0	1	9	1
1	0	1	0	10	0
1	0	1	1	11	X
1	1	0	0	12	1
1	1	0	1	13	X
1	1	1	0	14	0

1	1	1	1	15	0
---	---	---	---	----	---

2.1 Rút gọn bằng bìa K

Bảng 1.2 Bảng rút gọn

BBAA \ DDCC	00	01	11	10
00	0	0	1	X
01	0	0	0	1
11	1	X	0	0
10	X	1	X	0

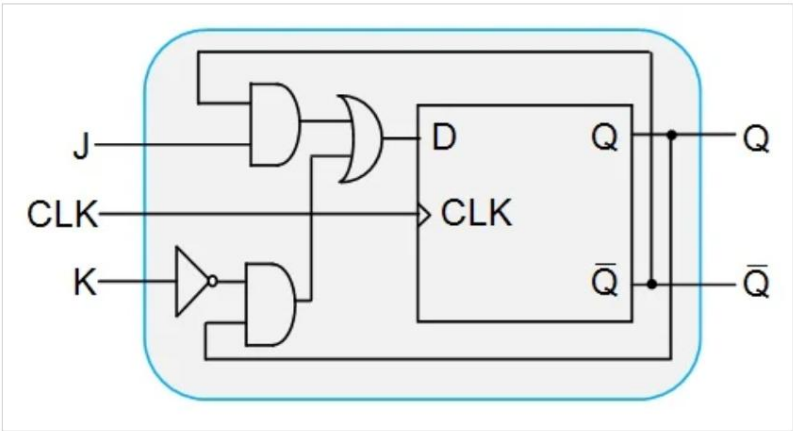
- Biểu thức rút gọn là: $YY = (BB+DD)*(B'B'+D'D')*(A'A'+C'C')$

2. Mô phỏng JK_FF từ FF_D và đánh giá các thông số mô phỏng

2.1 Lý thuyết

- Flip-flop JK (FF_JK) là một loại flip-flop được dùng phổ biến trong mạch điện tử số để lưu trữ một bit dữ liệu. Nó được đặt tên theo hai đầu vào của nó: J và K. Đây là một cải tiến từ flip-flop SR nhằm loại bỏ tình trạng "trạng thái cấm" (invalid state).

2.2 Ký hiệu và bảng trạng thái



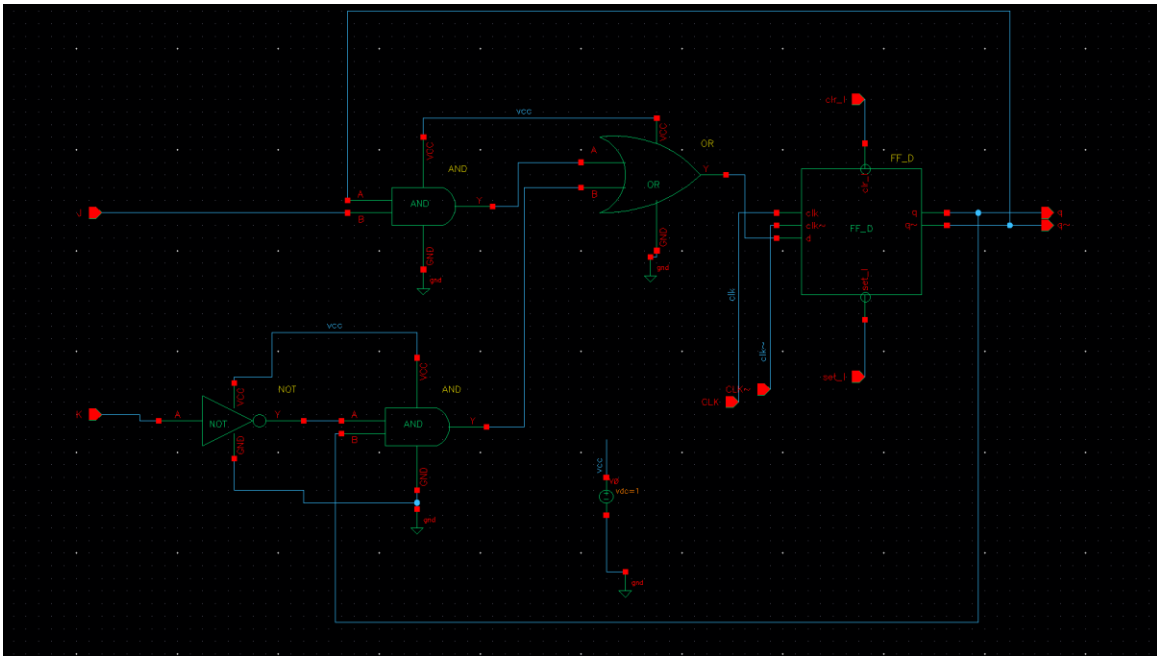
Hình 2.1 Ký hiệu FF_JK

Bảng 2.1 Bảng trạng thái FF_JK

Inputs		Outputs	
		Present State	Next State
J	K	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

3.2 Mô phỏng

3.2.1 Mạch vẽ trên Cadence



Hình 2.2 Mạch vẽ FF_JK trên cadence

2.3.1. Cấp nguồn

Vpulse nối với đầu vào J có các giá trị sau:

- + V1=0 V
- + V2= 1 V
- + period= 50ns
- + delay_time = 10ns
- + rise time= 100ps
- + fall time= 100ps
- + Pulse width= 15ps

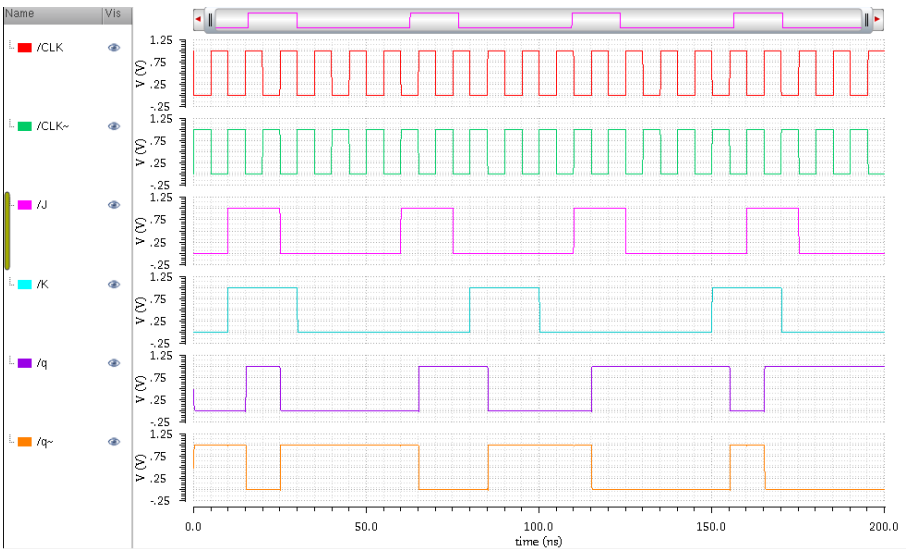
Vpulse nối với đầu vào K có các giá trị sau:

- + V1=0 V
- + V2= 1 V
- + period= 70ns
- + delay_time = 10ns
- + rise time= 100ps
- + fall time= 100ps
- + Pulse width= 15ps

Vpulse nối với đầu vào clk có các giá trị sau:

- + V1=0 V
 - + V2= 1 V
 - + period= 10ns
 - + rise time= 100ps
 - + fall time= 100ps
 - + Pulse width= 5ns
- Vpulse nối với đầu vào clk~ có các giá trị sau:
- + V1=1 V
 - + V2= 0 V
 - + period= 10ns
 - + rise time= 100ps
 - + fall time= 100ps
 - + Pulse width= 5ns
 - + VCC =1V

2.3.2. Dạng sóng



Hình 2.3 Dạng sóng FF_JK

Mô tả hình 2.3

Thời gian (ns)	J	K	CLK↑	Hoạt động	Q
0 – 25	0	0	↑	Giữ nguyên	0
25 – 50	1	0	↑	Set (Q = 1)	1
50 – 75	1	1	↑	Toggle (Q = 0)	0
75 – 100	0	1	↑	Reset (Q = 0)	0

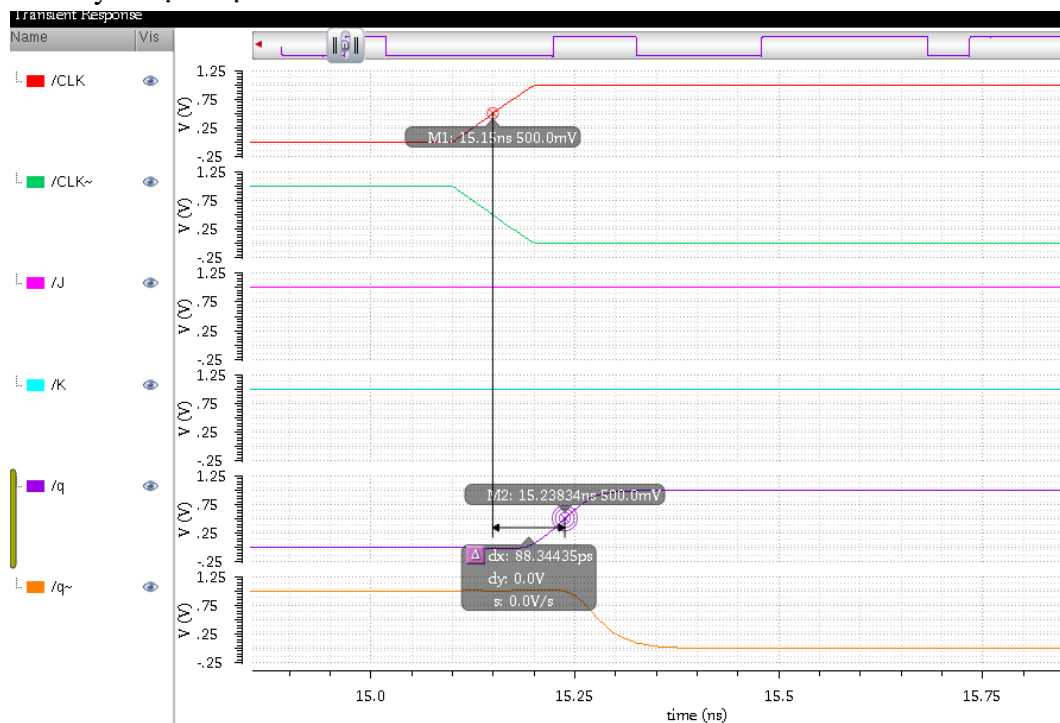
Thời gian (ns)	J	K	CLK↑	Hoạt động	Q
100 – 125	1	0	↑	Set (Q = 1)	1
125 – 150	1	1	↑	Toggle (Q = 0)	0
150 – 175	0	1	↑	Reset (Q = 0)	0
175 – 200	1	0	↑	Set (Q = 1)	1

Nhận xét:

- + Khi J = 1, K = 0 → Q = 1 (Set)
- + Khi J = 0, K = 1 → Q = 0 (Reset)
- + Khi J = K = 1 → Q toggle (đảo trạng thái)
- + Khi J = K = 0 → Q giữ nguyên
- + Tất cả thay đổi đều xảy ra tại cạnh lên của CLK.

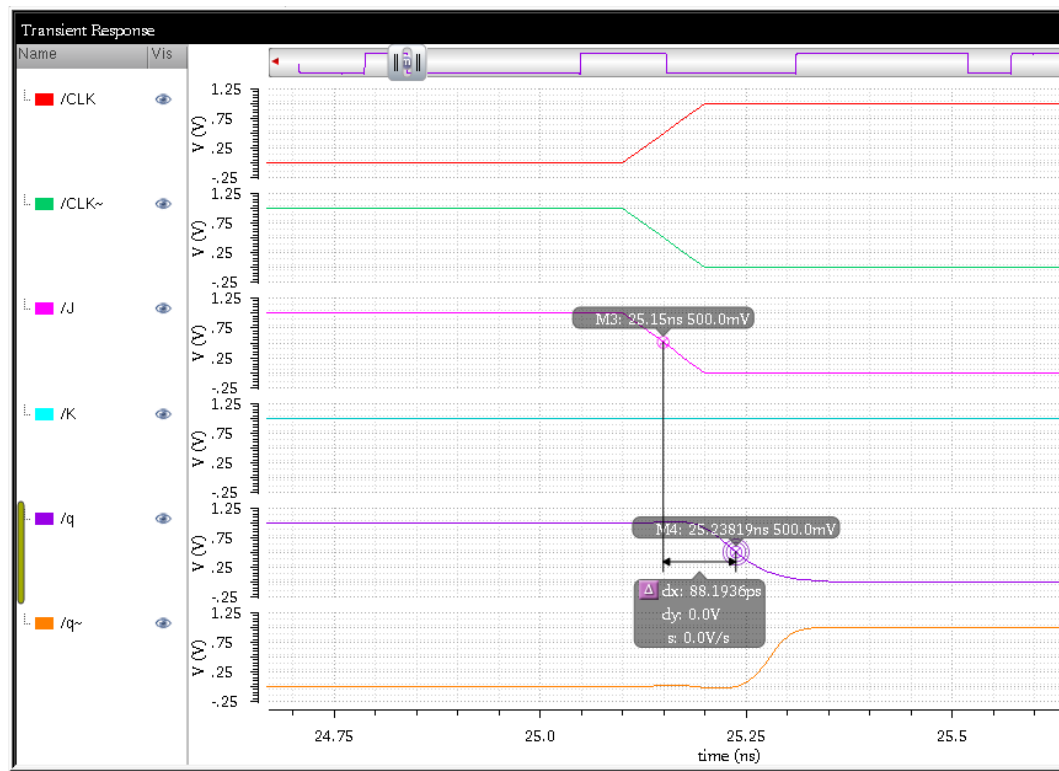
2.3.3. Đo thời gian trễ lan truyền cạnh lên cạnh xuống

- Đo thời gian trễ lan truyền cạnh cạnh lên



Hình 2.4 Thời gian trễ lan truyền cạnh lên

- Từ hình 2.4 đo được $tpdr = dx = 88.34ps$
- Đo thời gian trễ lan truyền cạnh xuống.

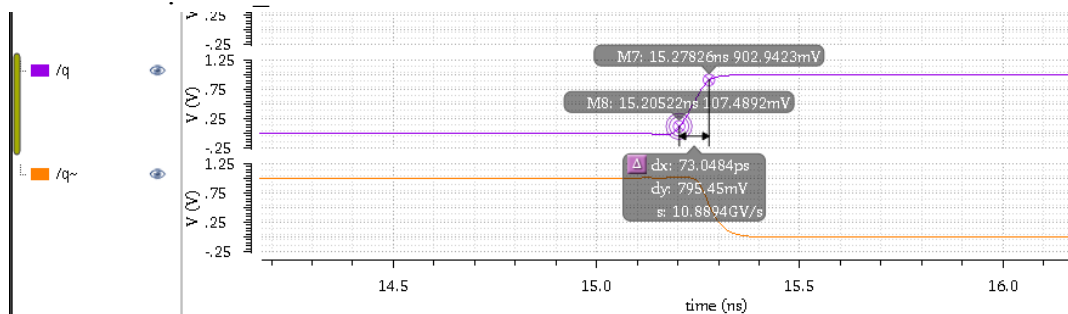


Hình 2.5 Thời gian trễ lan truyền cạnh xuống

- Từ hình 2.5 đo được thời gian trễ lan truyền cạnh xuống tpdf = 88.19ps

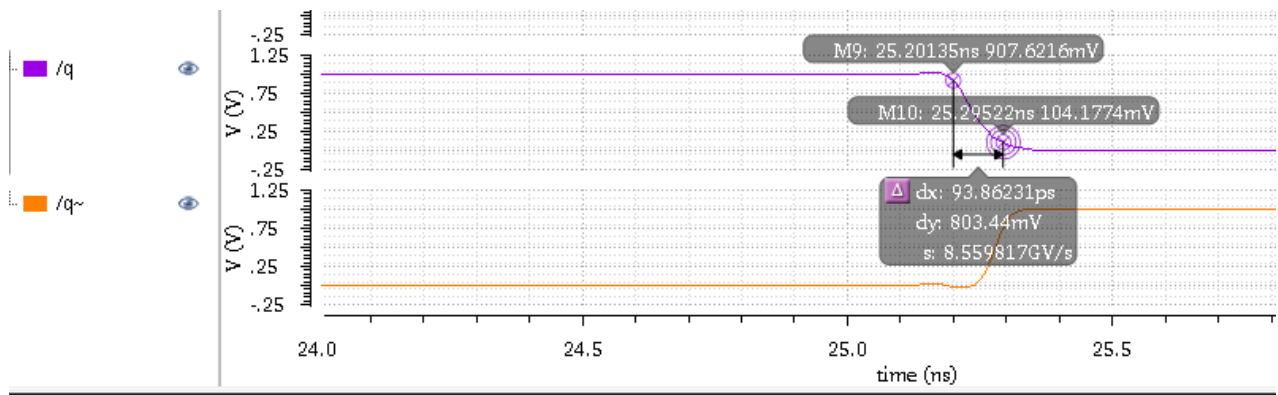
2.3.4. Thời gian cạnh lên cạnh xuống

- Đo thời gian cạnh lên của mạch FF_JK



Hình 2.6 Thời gian cạnh lên

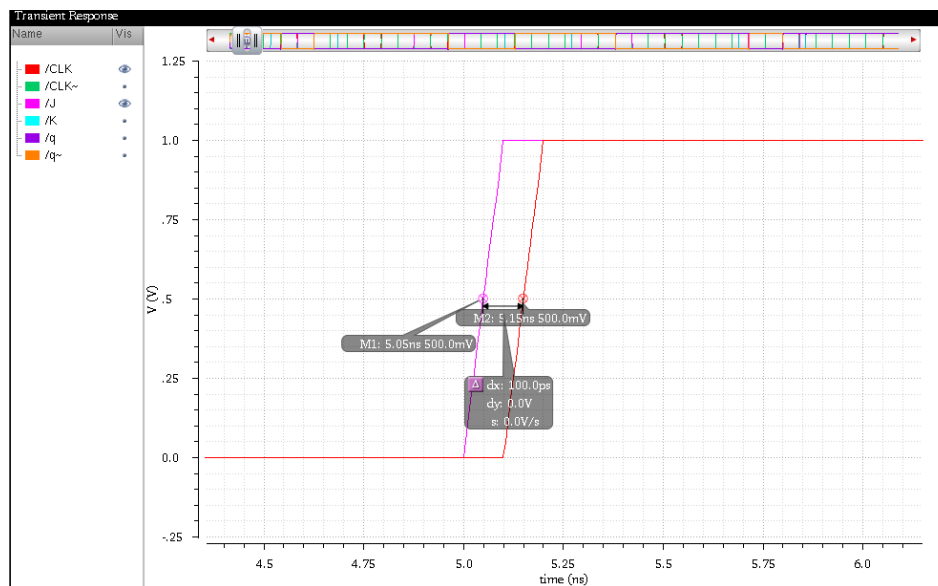
- Từ hình 2.6 đo được thời gian cạnh lên $t_r = 10.88\text{ps}$
- Đo thời gian cạnh xuống.



Hình 2.7 Thời gian cạnh xuống.

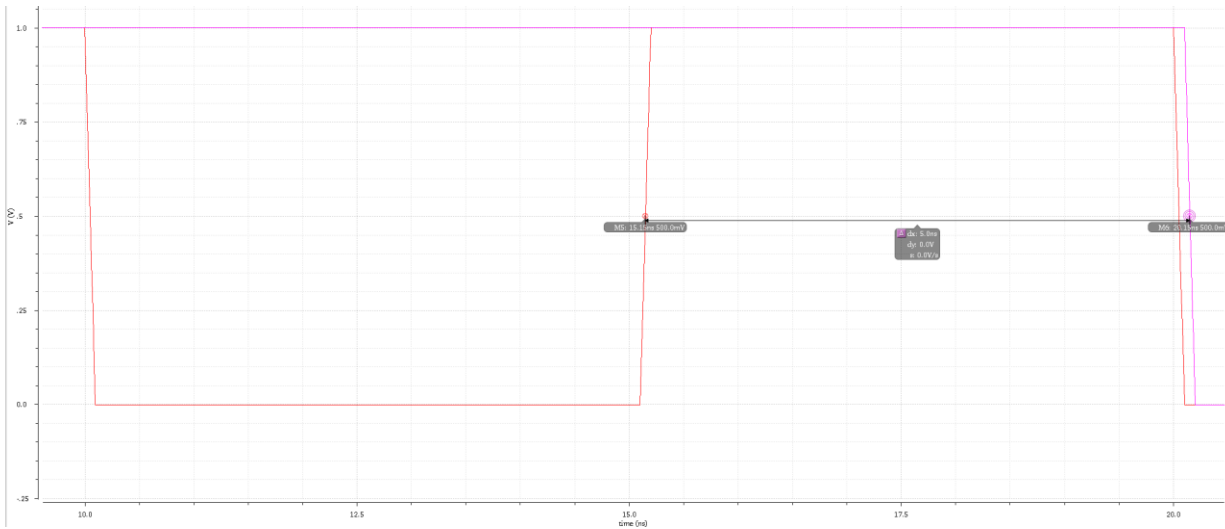
- Từ hình 2.7 đo được thời gian cạnh xuống $t_f = 93.86\text{ps}$

2.3.5. Thời gian T_s và T_h



Hình 2.8 Thời gian T_s của mạch FF_JK

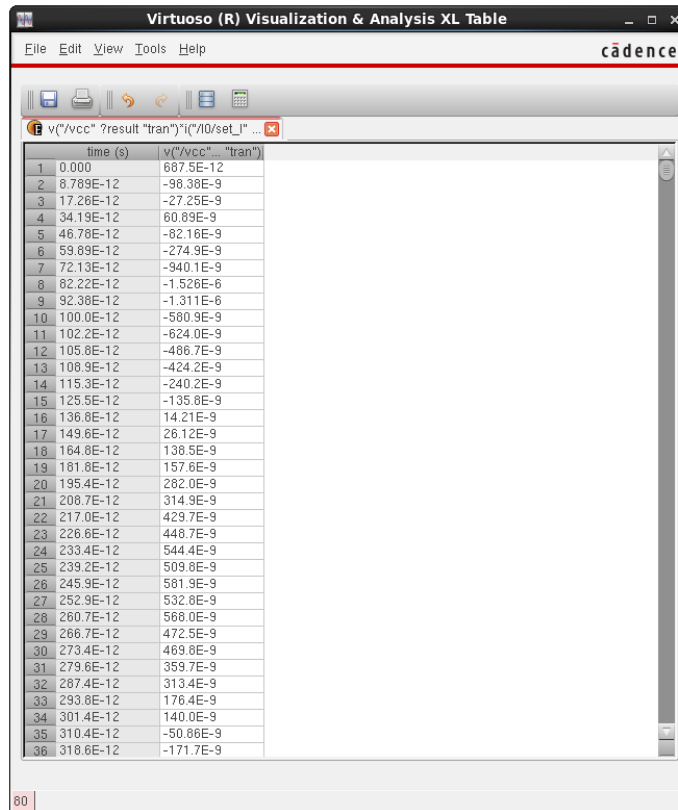
Từ hình 2.8 đo được giá trị $T_s = dx = 100\text{ps}$



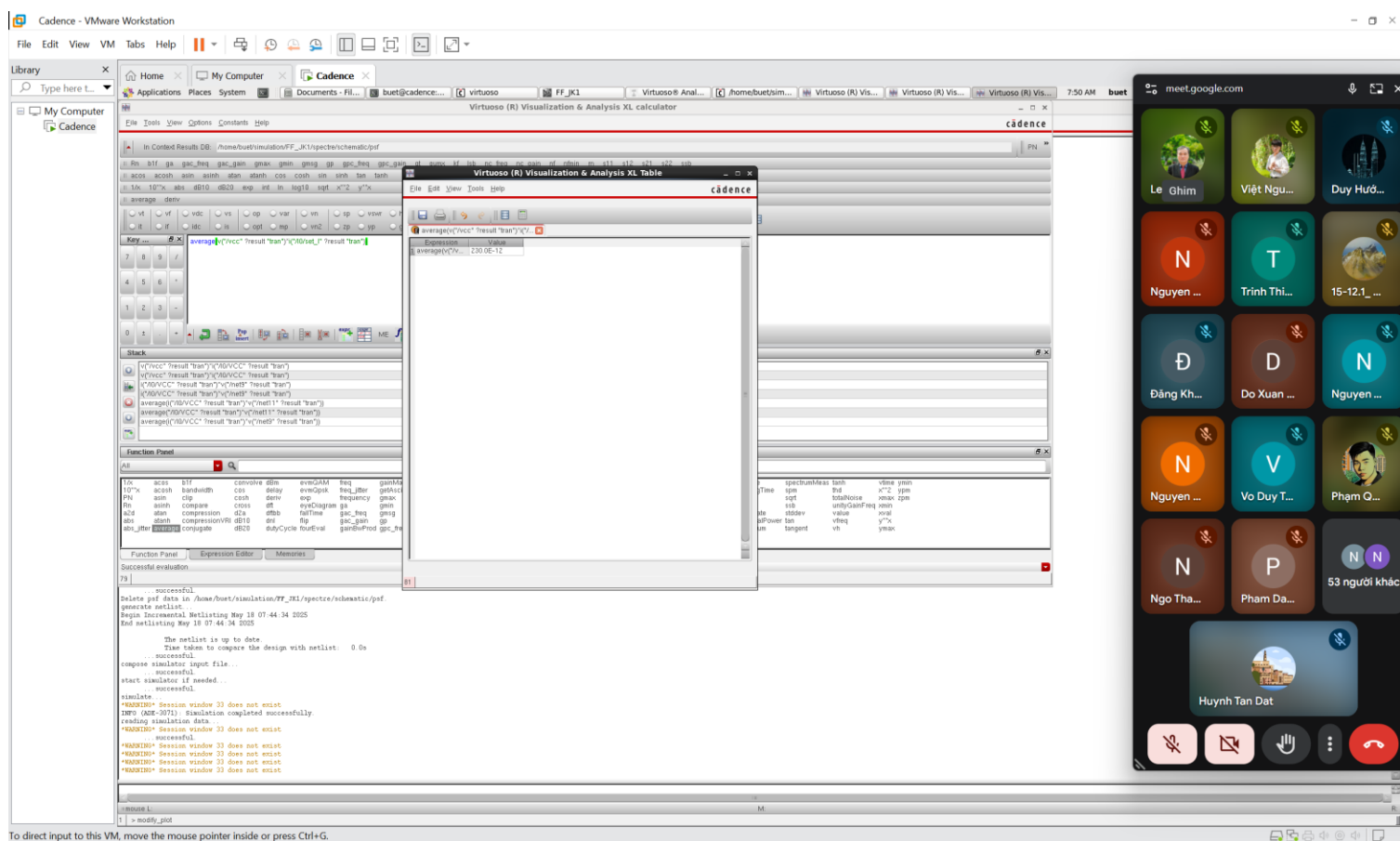
Hình 2.9 Thời gian T_h của mạch FF_JK

Từ hình 2.9 đo được giá trị $T_h = dx = 5\text{ns}$

2.3.6 Công suất



Hình 2.10 Công suất tĩnh của FF_JK

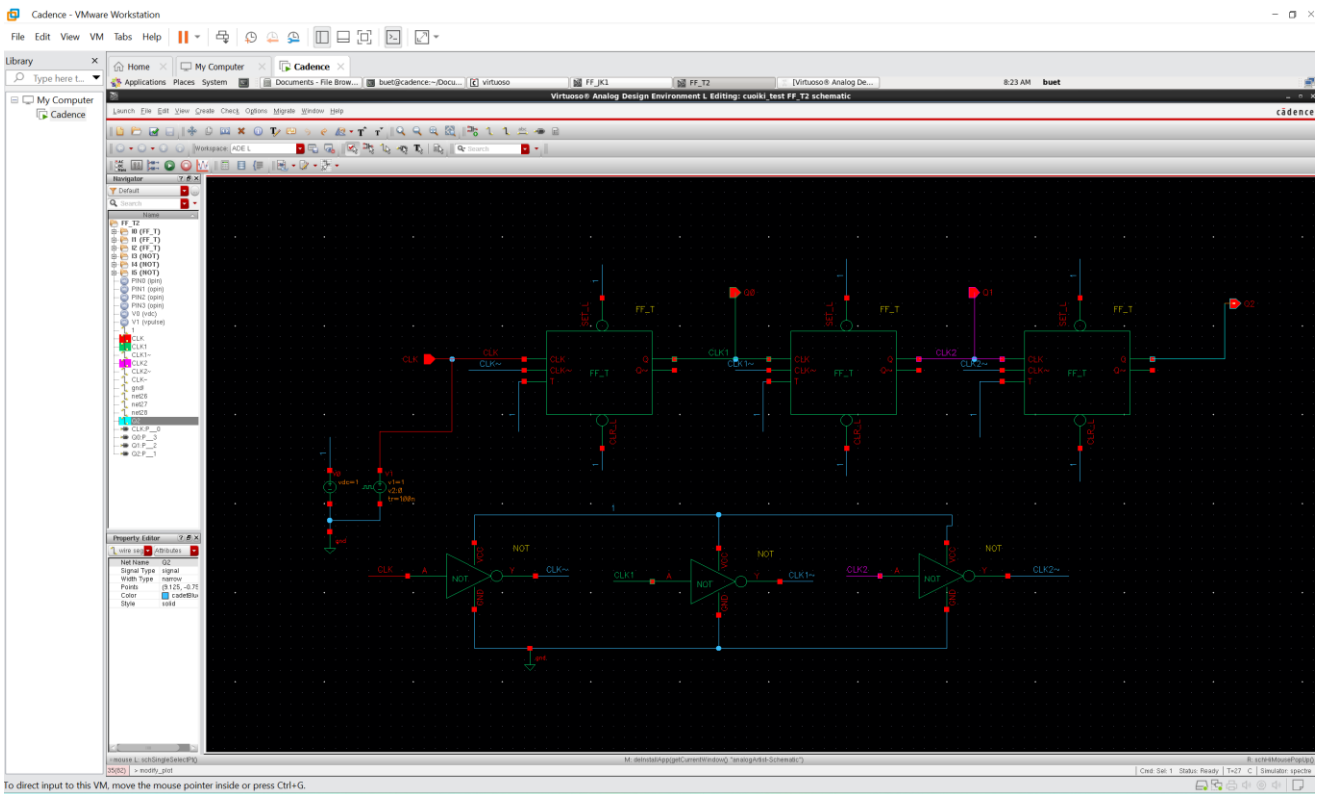


Hình 2.11 Công suất trung bình của FF_JK

$$P_{avg} = 230pW$$

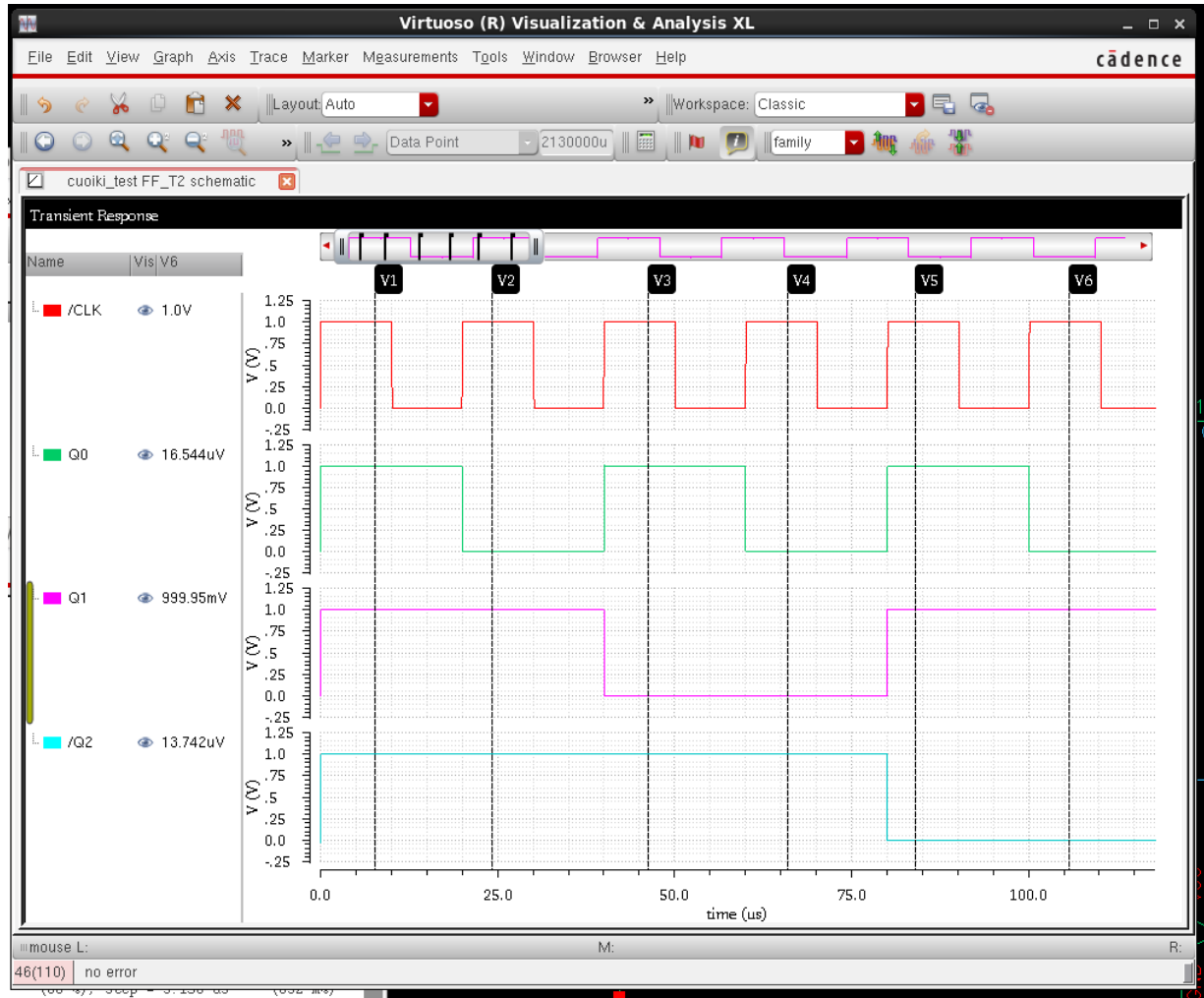
3. Thiết kế mạch đếm 3 bit bất đồng bộ

1.3 Vẽ sơ đồ nguyên lý mạch



Hình 3.1 Mạch nguyên lý mạch đếm 3 bit bất đồng bộ

2.3 Mô phỏng và đánh giá dạng sóng và thông số.



Hình 3.2 Dạng sóng ngõ ra mạch đếm

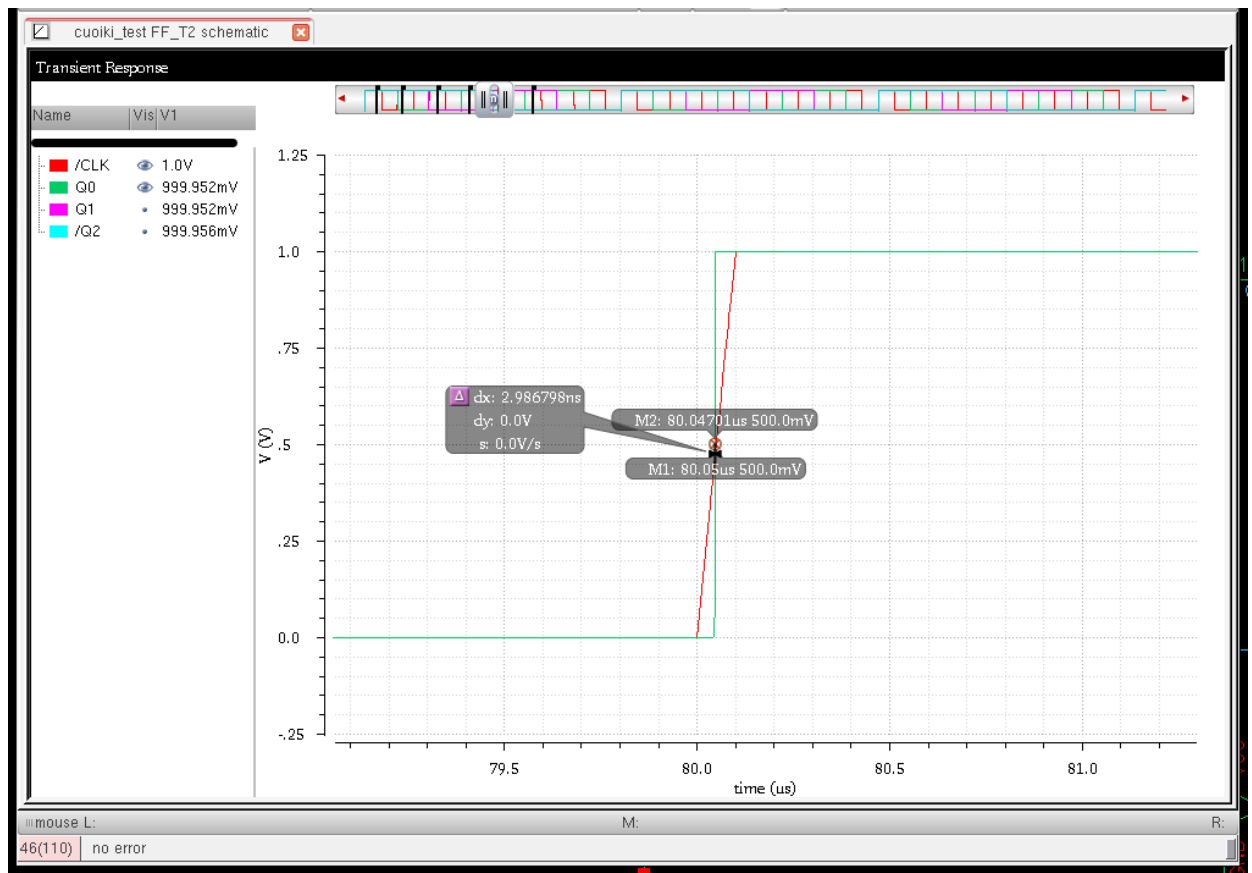
- Mô tả hình 3.2
Tín hiệu gồm:
CLK (đỏ): xung đồng hồ điều khiển (tín hiệu vào).
Q0 (xanh lá): bit thấp nhất (LSB).
Q1 (hồng): bit giữa.
Q2 (xanh nhạt): bit cao nhất (MSB).

Bảng 3.1 Bảng trạng thái của hình 3.2

Thời gian	Q2	Q1	Q0	Binary	Hex
0-20us	1	1	1	111	7
20-40us	1	1	0	110	6
50-70us	1	0	1	101	5
70-90us	1	0	0	100	4

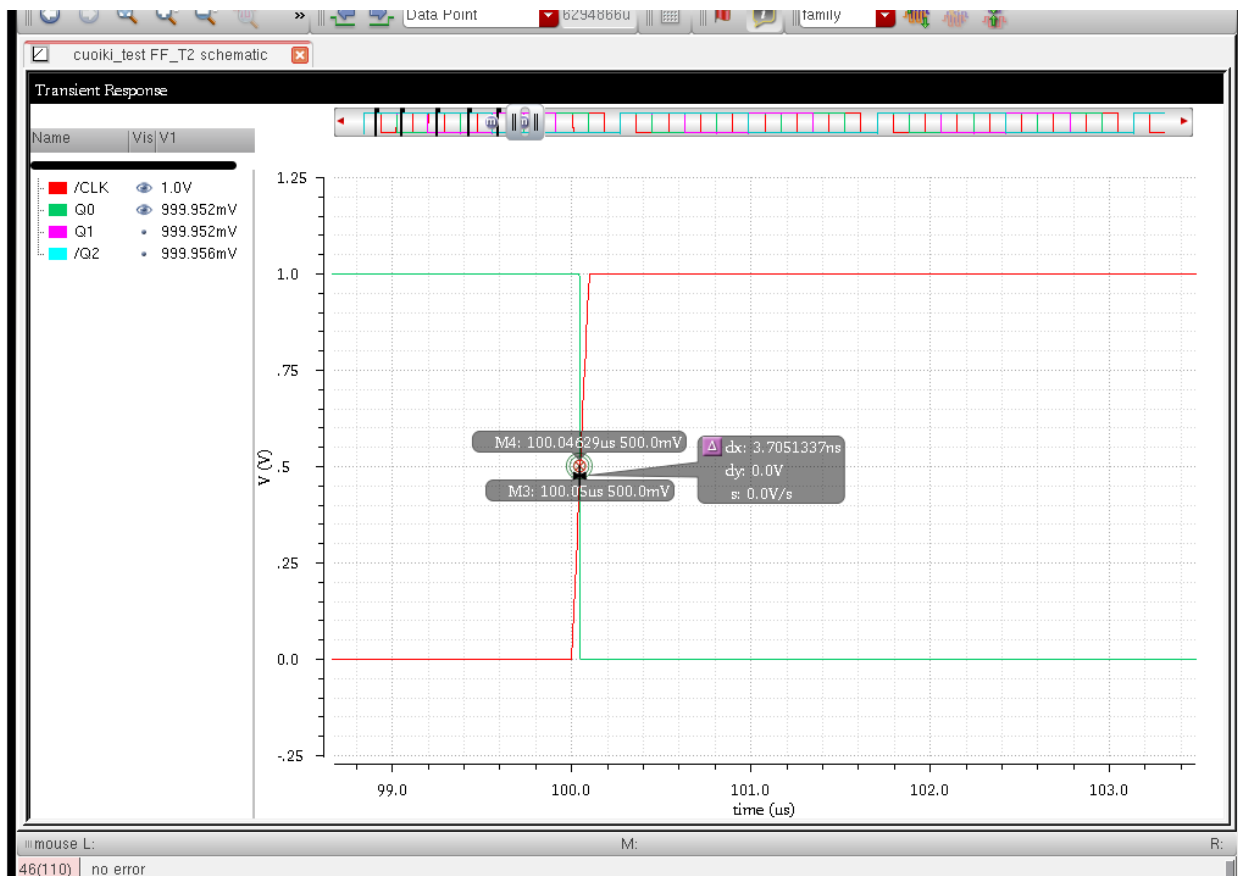
90-110us	0	1	1	011	3
----------	---	---	---	-----	---

3.3 Thời gian trễ lan truyền cạnh lên và cạnh xuống



Hình 3.3 $tpdr$ Q0

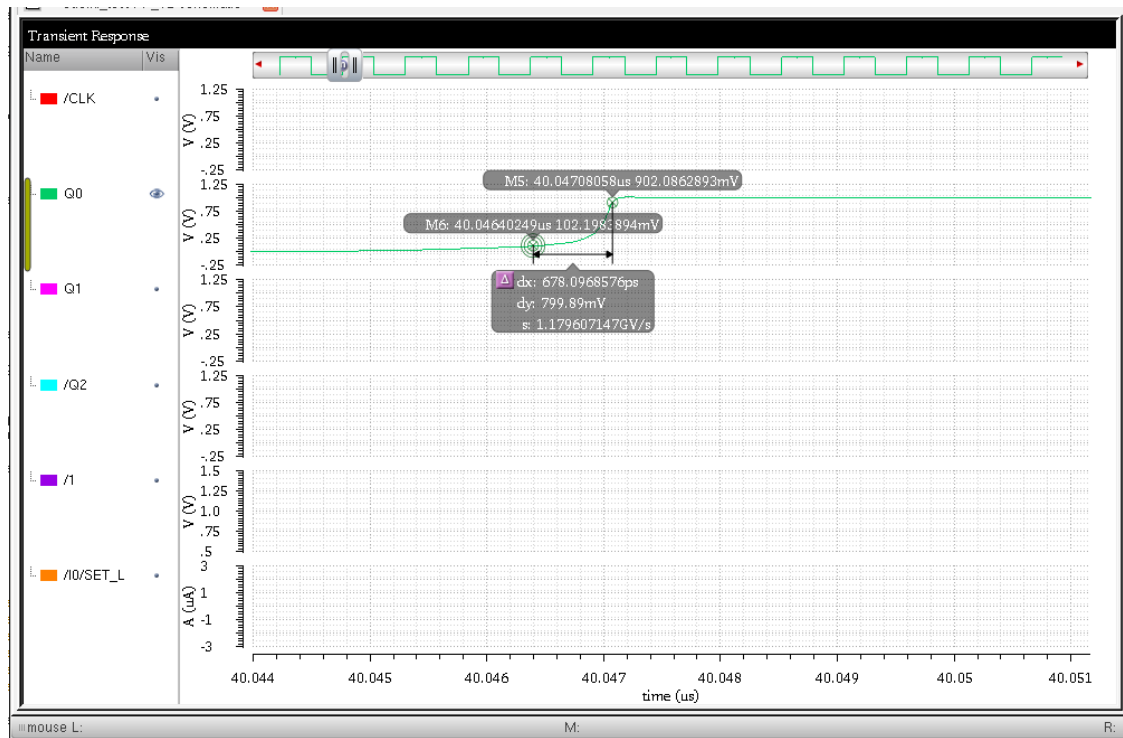
- Từ hình 3.3 đo được $tpdr = dx = 2.98ns$



Hình 3.4 t_{pdr} Q0

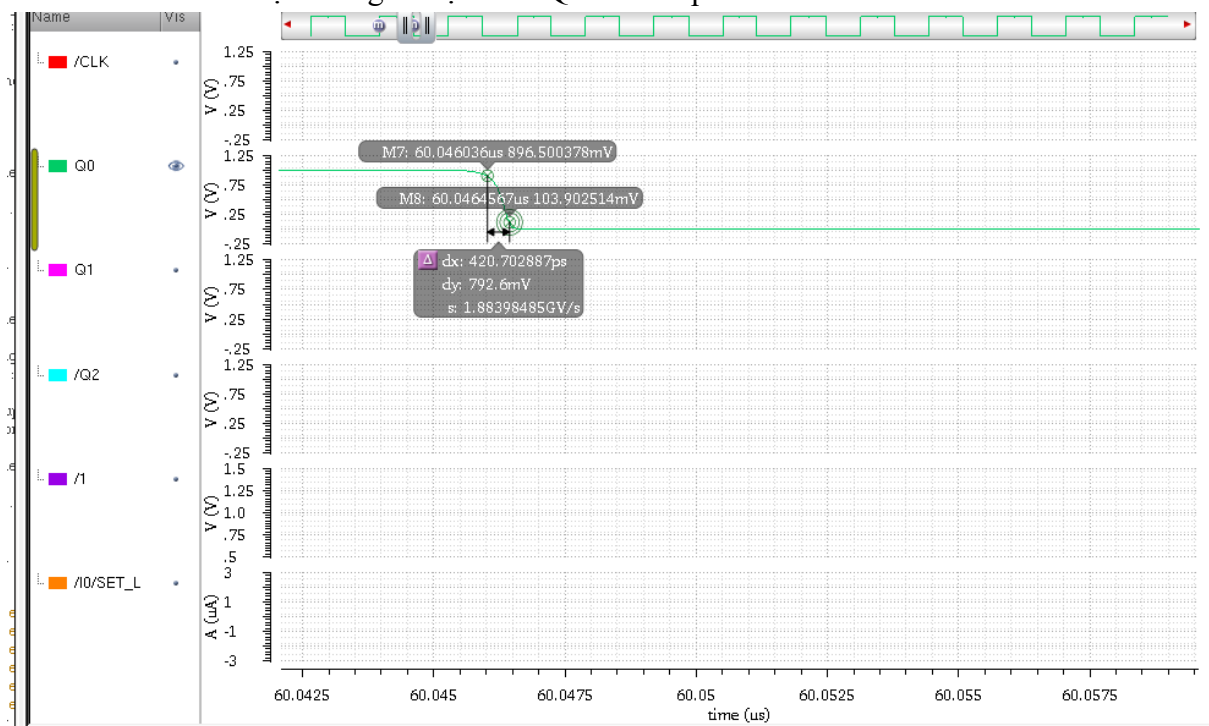
- Từ hình 3.4 đo được t_{pdr} = dx = 3.71ns

4.3 Thời gian cạnh lên và cạnh xuống



Hình 3.5 Thời gian cạnh lên Q0

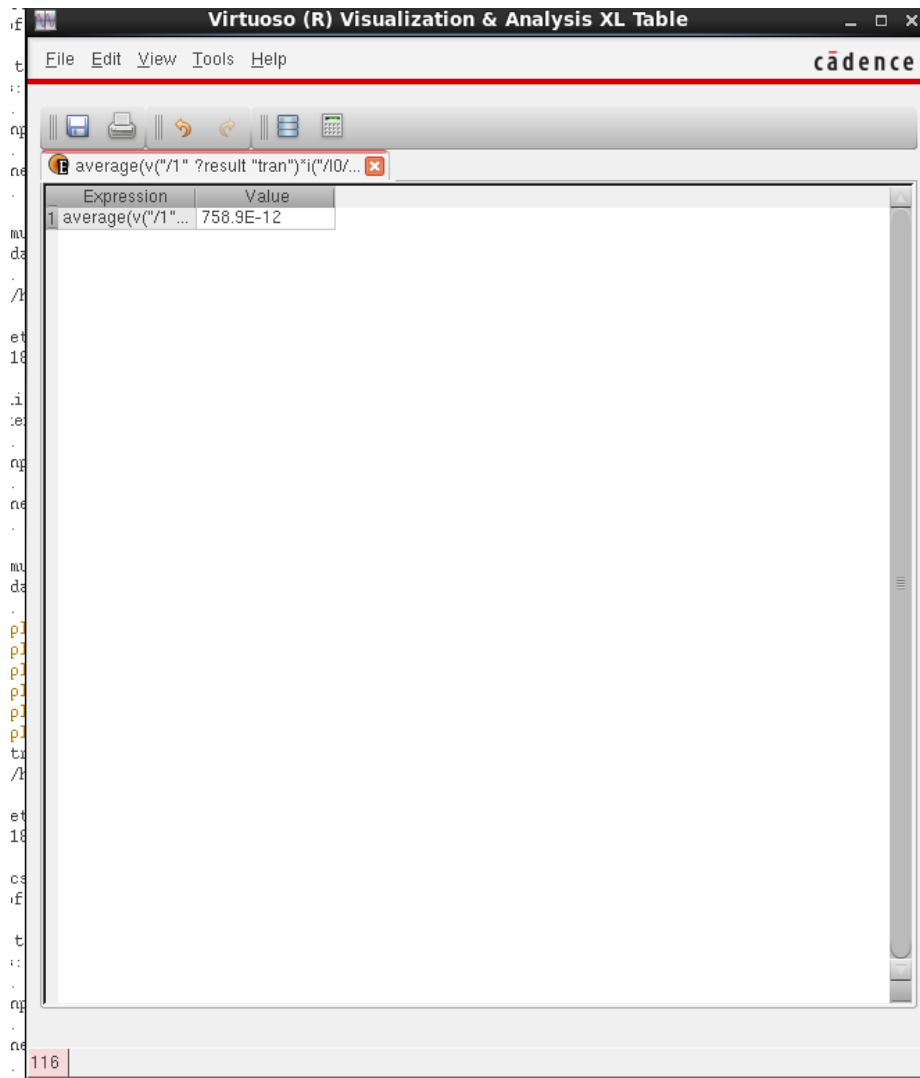
- Từ hình 3.5 ta đo được thời gian cạnh lên Q0 = 678.1ps



Hình 3.6 Thời gian cạnh xuống Q0

- Từ hình 3.6 ta đo được thời gian cạnh xuống $Q_0 = 420.7\text{ps}$

5.3 Công Suất của mạch



Hình 3.7 Công suất trung bình của mạch

$$P_{avg} = 758\text{pW}$$

Nhận xét:

- Mạch hoạt động chính xác, đếm ngược từ 111 về 000, sau đó lặp lại.
- Thời gian trễ và biên tín hiệu nằm trong ngưỡng tốt, tuy nhiên cạnh lên chậm hơn cạnh xuống cần lưu ý nếu chạy ở tần số cao.
- Công suất tiêu thụ rất thấp, mạch phù hợp với các ứng dụng yêu cầu tiết kiệm năng lượng.