

高速并行总线信号完整性测试技术

张楷 泰克科技（中国）有限公司

摘要：随着信号速度的显著提高，信号完整性问题已经成为高速数字设计中的关键。本文介绍了一种新的信号完整性分析技术，通过集成逻辑分析仪和数字存储示波器，将物理层模拟信号，数据层数字信号时间相关的联合观测，自动测试多达 408 个并行总线眼图，有效定位和分析高速总线中出现的故障问题，排除由于信号完整性问题导致的数字系统错误。最后结合处理器和高速总线，给出了高速信号完整性分析实例。

关键词：信号完整性；信号反射；串扰效应；逻辑分析仪；iLink工具包

1. 引言

随着电子技术飞速发展，处理器的速度越来越高，存储器的吞吐量和总线速度也有明显的提高。当数字系统的时钟频率达到数百兆或更高时，每个设计细节都很重要，需要认真考虑电路中的时钟分布，信号路径，残桩引线，噪声容限，阻抗和负载，传输线影响，功率分配等问题。所有这些方面都会对高速数字系统中传输的数字信号完整性产生影响，信号完整性问题已经成为每一个高速数字系统设计人员必须面临的问题。传统的信号完整性分析技术都是从信号的模拟参数特性来进行分析。本文从信号完整性问题的根源出发，将数据域和模拟域联合观测的方式进行多通道总线的眼图测试，进而发现和分析数字系统中的信号完整性问题，解决了传统信号完整分析手段的不足。最后提供了一种高速数字系统集成调试和分析实例。

2. 高速数字系统的信号完整性问题

在高速数字系统中，典型的信号完整性问题包括以下几部分：

- 1) 振幅问题：振幅问题包括减幅振荡（震铃效应）、“下垂”脉冲（在脉冲开始处的下降振幅）和“欠幅”脉冲（不能达到正常振幅）。
- 2) 边沿畸变：畸变包括预过冲、过冲回摆、过冲、震铃效应、缓慢的上升时间。边沿畸变可能产生于高速电路板布局问题，或是半导体器件的质量问题。
- 3) 信号反射：向外发出的信号会朝信号源头方向弹回，并干扰随后的脉冲。造成反射的原因有可能是端接和电路板布局问题。
- 4) 接地跳动：在电流需求大时可造成电路接地参考电平的偏移。接地跳动由过流，电源或接地回路阻抗引起。
- 5) 串扰效应：当在电路板上出现并行的长引线时，其信号可通过电容和电感的相互感应而耦合，从而产生串扰。另外，快速边沿中较高的电流可增加辐射电磁能，并随之产生串扰。
- 6) 定时抖动：当数字信号在周期间包含有微小的边沿位置变动时，就会产生抖动。这种抖动将影响整个数位系统的定时准确性和同步。

3. 定时问题引起信号完整性故障

数字信号畸变产生于许多根本性原因，与定时有关的问题是非常普遍的现象。

3.1 总线竞争

当两个驱动器设备试图同时使用同一总线时，就产生了总线竞争现象，它会导致信号畸变。正常情况下，当一个驱动器传送数据时，另一个驱动器应进入高阻抗状态并保持“让路”状态。但如果高阻抗的设备不能及时切换，就会出现两个驱动器争用总线的情况。由于两个驱动器信号都不能通过，故迫使总线形

成一个不确定的振幅，这样就可能达不到逻辑电路的阈值电压。例如，在逻辑电平应当是“1”的位置上产生的却是“0”。

3.2 建立，保持时间违规

数字中带锁存功能的数字器件要求时钟和输入数据必须满足建立，保持时间的要求。否则会在输出数据上出现不可预见的毛刺，或根本没有正确输出跳变，称为亚稳态效应。高速数字系统中，对建立和保持时间的要求特别严格，仅分析定时关系很难进行故障排除。

4. 信号完整性分析

4.1 用数字示波器观测模拟波形细节

数字存储示波器是信号完整性分析的传统工具。它可用于捕获被测数字信号的模拟参数信息，并且能方便准确的显示方波、瞬时尖峰脉冲，显示各种各样的信号完整性问题。示波器带宽是任何信号完整性故障排除过程中必不可少的考虑因素。示波器的带宽定义为一个标准正弦波的-3 dB 频率响应点，使用带宽不足的示波器进行测量时，数字信号的幅度和上升，下降时间测量结果会有很大的误差。

4.2 用逻辑分析仪检测信号完整性问题

逻辑分析仪是数字系统硬件调试的有力工具，特别是对那些拥有大量总线、输入和输出装置的高速数字系统。它具有高通道数、深存储器和先进的触发功能，可从许多测试点捕获数字信息。作为数据域仪器，逻辑分析仪产生的定时图形清晰、易懂，并易于与预期的数据进行比较，从数据层上验证结果是否正确。现代逻辑分析仪都包括能够帮助检测某些对信号完整性有影响的触发功能。例如毛刺触发、建立和保持时间违规触发等等，这些触发条件，以及许多其他逻辑组合触发条件可同时应用于数百个通道上。

4.3 集成化信号完整性分析工具

传统的技术并不能进行信号完整性问题的全面分析。数字示波器能够捕获数字信号的模拟参数，分析故障的细节信息，但是受到通道数和触发能力的限制，并且它是物理层的分析工具，无法从整个高速数字系统数据层去发现故障。逻辑分析仪可以从数据层上观测一个错误数据，例如以一个数字系统的十六位地址错误，但却无法分析错误产生的根本原因。

如果能够深入观测信号行为并看到有缺陷数字信号的模拟特性，那么查明许多数据错误就会简单很多。泰克公司的集成化分析技术称为 iLink 工具包，它集成了两种信号完整性分析工具的特点，将数字示波器（须满足被测系统模拟带宽的需要）连接到逻辑分析仪（须有适当的通道数量、存储深度和采样率）。通过将模拟域和数据域的工具联合起来，观测模拟参数信息的同时可以观察相同信号的数字码流信息，这是进行全面的信号完整性分析的最好方法。逻辑分析仪既可显示数字信息，又能时间相关的显示该数据的模拟波形，设计人员就可以对数字信号的模拟特性进行观察，排除系统中的错误。逻辑分析仪和示波器的集成如图 1 所示。

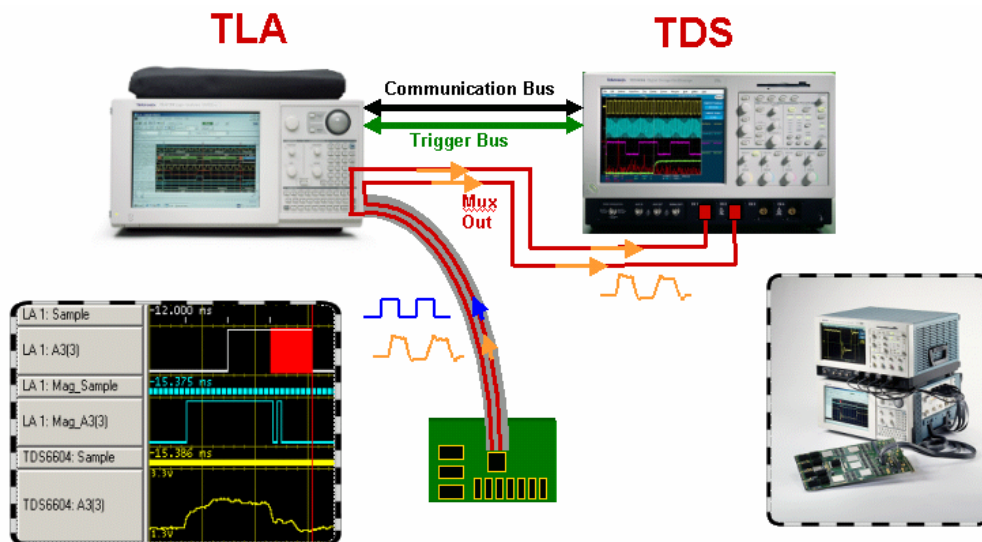


图 1 逻辑分析仪和示波器集成

5. 故障分析实例

5.1 反射问题

120M 时钟的高速总线传输中，出现数据错误，通过逻辑分析仪的毛刺触发功对整个总线上的所有通道进行故障查找。发现在数据线的 D3 的第 3 位上有逻辑毛刺出现，造成数据传输错误，为了分析 D3(3)总线上出现逻辑毛刺的原因，联合数字示波器观测逻辑毛刺的模拟细节。图 2 中是逻辑分析仪和数字存储示波器时间相关的观测波形结果，模拟信号捕获结果出现在逻辑分析仪屏幕的中心，显示了毛刺的本质。在数据总线的 D3(3)的模拟信号上升沿和下降沿处有明显的单调性问题。

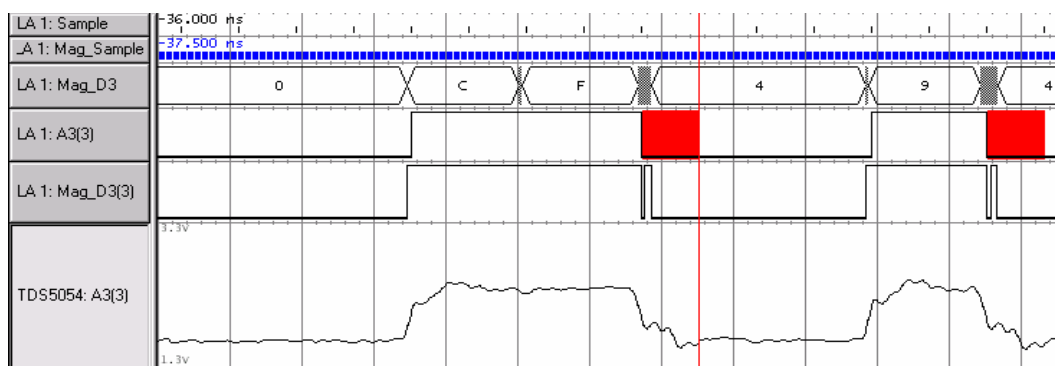
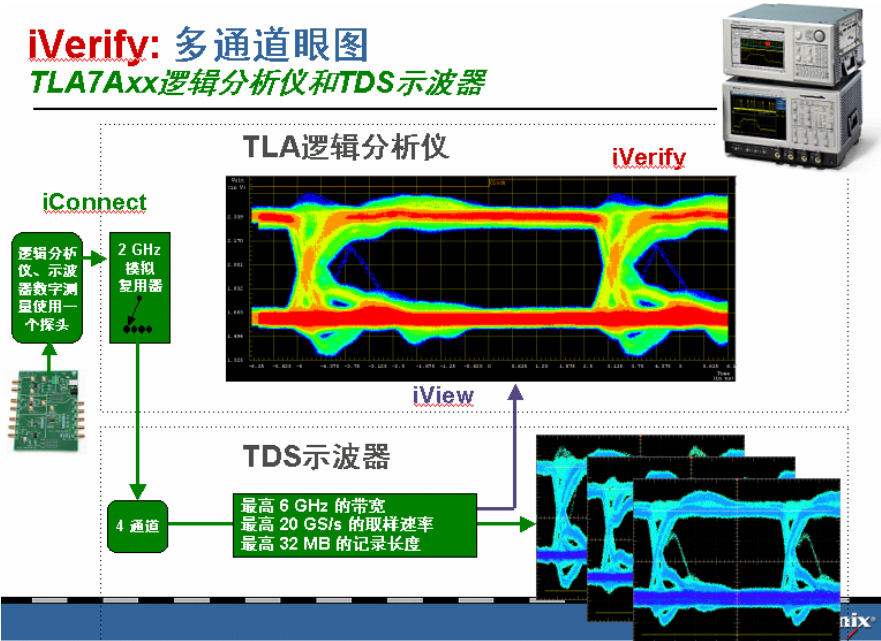


图 2 电路板布线的残桩导致信号反射

通过集成分析技术，发现毛刺是由于信号反射造成的。在电路板上 D3（3）引线上有残桩，导致高速信号的反射效应，通过电路板重新布线解决这个故障。

通过 TLA7AAX 逻辑分析仪的 iVerify 眼图测试功能，可以进行 408 个高速信号的眼图测试，彻底分析信号完整性问题。如下图所示，

iVerify: 多通道眼图
TLA7Axx逻辑分析仪和TDS示波器



5.2 串扰问题

在一个以 MC68340 为处理器的数字系统中，出现间歇性的系统故障。通过逻辑分析仪的毛刺触发功能，同时检测处理器的控制总线，地址总线，数据总线。一旦逻辑分析仪发现总线上有逻辑毛刺出现，就触发并且显示逻辑毛刺的位置和总线的时序关系。在控制总线上的 IFETCH 预取指令信号上有毛刺出现，如图 3 所示。逻辑分析仪的毛刺触发同时触发数字存储示波器，示波器响应触发，完成一次模拟信号的采集，并且将捕获的模拟波形回传给逻辑分析仪，这样在逻辑分析仪的波形窗口上就不仅有数据总线，地址总线，控制总线的时序，还包括故障信号 IFETCH 的模拟细节信息，揭示逻辑毛刺的本质。

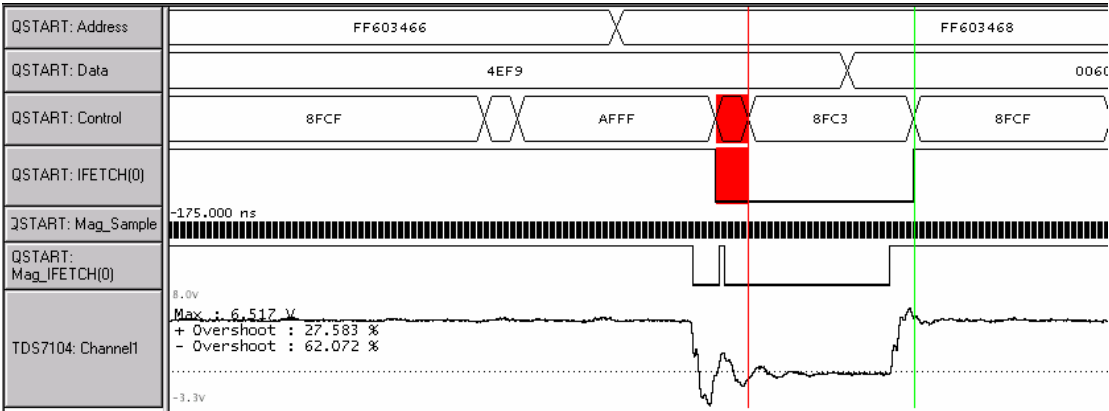


图 3 模拟和数字波形的联合观测分析串扰

通过集成化信号完整性分析技术，发现逻辑毛刺是由于 IFETCH 信号和其物理拓补结构临近的信号相互耦合造成，是典型的串扰效应。当串扰达到一定程度时，会导致相邻通路中的信号超过门限电压，从而改变其正确的逻辑状态。

6. 结论

信号完整性问题是高速数字系统硬件设计的关键，硬件设计人员不仅需要发现信号完整性问题，还要分析问题出现的原因，排除高速数字系统中的故障。通过逻辑分析仪和数字存储示波器的集成分析功能和 iLink 工具包，结合了两种不同分析工具的优点，弥补了传统分析方法的不足。利用逻辑分析仪的多通道分析功能快速有效的发现信号完整性问题，配合数字存储示波器时间相关的观测高速数字信号对应的模拟参数细节，可以更好的分析信号完整性问题出现的原因，解决在高速数字系统硬件设计中的各种故障。

参考文献：

- [1] Howard Johnson Martin Graham. High-speed digital design: a handbook of black magic, Prentice Hall, 1993
- [2] John F.Wakerly. Digital Design Principles Practices (Third Edition) .
- [3] Tektrnix, Inc .Tektronix Logic Analyzer Family Version 4.1 Software User manual. 2002
- [4] Tektronix, Inc. TLA 7QS Quick Start Technical Reference Manual. 1998