

信号完整性分析

AltiumTM
Making Electronics Design EasierTM

介绍Protel 2004 FPGA设计和板级设计完全集成的平台

ALTium LIMITED

- 信号完整性简介
- Protel所提供的信号完整性分析
- 使用Protel进行信号完整性分析
- 总结

- 信号完整性（**Signal Integrity**，简称**SI**）是指在信号线上的信号质量。差的信号完整性不是由某一单一因素导致的，而是板级设计中多种因素共同引起的。主要的信号完整性问题包括反射、振铃、地弹、串扰等。

源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，反射电压为负，反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

信号的振铃（**ringing**）和环绕振荡（**rounding**）由线上过度的电感和电容引起，振铃属于欠阻尼状态而环绕振荡属于过阻尼状态。信号完整性问题通常发生在周期信号中，如时钟等，振铃和环绕振荡同反射一样也是由多种因素引起的，振铃可以通过适当的端接予以减小，但是不可能完全消除。

- 在电路中有大的电流涌动时会引起地弹，如大量芯片的输出同时开启时，将有一个较大的瞬态电流在芯片与板的电源平面流过，芯片封装与电源平面的电感和电阻会引发电源噪声，这样会在真正的地平面（0V）上产生电压的波动和变化，这个噪声会影响其它元器件的动作。负载电容的增大、负载电阻的减小、地电感的增大、同时开关器件数目的增加均会导致地弹的增大。

振铃和地弹都属于信号完整性问题中单信号线的现象（伴有地平面回路），串扰则是由同一PCB板上的两条信号线与地平面引起的，故也称为三线系统。串扰是两条信号线之间的耦合，信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流，而感性耦合引发耦合电压。PCB板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。图1列出了高速电路中常见的信号完整性问题与可能引起该信号完整性的原因，并给出了相应的解决方案。

表 1 常见信号完整性 (SI) 问题及解决方法

问题	可能原因	解决方法	变更的解决方法
过大的上冲	终端阻抗不匹配	终端端接	使用上升时间缓慢的驱动源
直流电压电平不好	线上负载过大	以交流负载替换直流负载	使用能提供更大驱动电流的驱动源
过大的串扰	线间耦合过大	使用上升时间缓慢的主动驱动源	在被动接收端端接, 重新布线或检查地平面
传播时间过长	传输线距离太长, 没有开关动作	替换或重新布线, 检查串行端接	使用阻抗匹配的驱动源, 变更布线策略

■ 图1

- 在一个已有的PCB板上分析和发现信号完整性问题是一件非常困难的事情，即使找到了问题，在一个已成形的板上实施有效的解决办法也会花费大量时间和费用。那么，我们就期望能够在物理设计完成之前查找、发现并在电路设计过程中消除或减小信号完整性问题，这就是EDA工具需要完成的任务。先进的EDA信号完整性工具可以仿真实际物理设计中的各种参数，对电路中的信号完整性问题进行深入细致的分析。新一代的EDA信号完整性工具主要包括布线前/布线后SI分析工具和系统级SI工具等。使用布线前SI分析工具可以根据设计对信号完整性与时序的要求在布线前帮助设计者选择元器件、调整元器件布局、规划系统时钟网络和确定关键线网的端接策略。
- 在电路设计中控制信号完整性风险的主要策略见附录

- 信号完整性简介
- Protel所提供的信号完整性分析
- 使用Protel进行信号完整性分析
- 总结

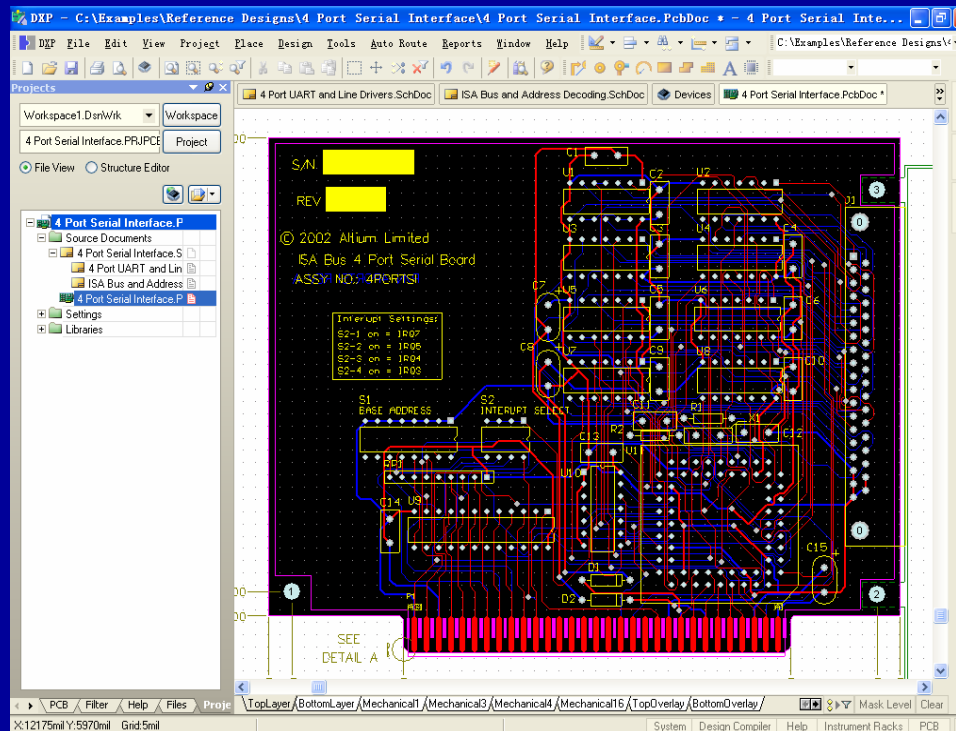
- 在DXP设计环境下，您既可以在原理图又可以在PCB编辑器内实现信号完整性分析，并且能以波形的方式在图形界面下给出反射和串扰的分析结果。
- Protel具有布局前和布局后信号完整性分析功能，采用成熟的传输线计算方法，以及I/O缓冲宏模型进行仿真。基于快速反射和串扰模型，信号完整性分析器能够产生准确的仿真结果。
- 布局前的信号完整性分析允许用户在原理图环境下，对电路潜在的信号完整性问题进行分析，如阻抗不匹配等因素。但对于串扰，在原理图环境下不能进行分析，因为布局路由尚未建立。
- 更全面的信号完整性分析是在PCB环境下完成的，它不仅能对反射和串扰以图形的方式进行分析，而且还能利用规则检查发现信号完整性问题，Protel能提供一些有效的终端选项，来帮助您选择最好的解决方案。

- 信号完整性简介
- Protel所提供的信号完整性分析
- 使用Protel进行信号完整性分析
- 总结

- 下面介绍如何使用Protel2004进行信号完整性分析：
- 不论是在PCB或是在原理图环境下，进行信号完整性分析，设计文件必须在工程当中，如果设计文件是作为Free Document出现的，则不能运行信号完整性分析。
- 本文主要介绍在PCB编辑环境下进行信号完整性分析。
- 为了得到精确的结果，在运行信号完整性分析之前需要完成以下步骤：
- 1、电路中需要至少一块集成电路，因为集成电路的管脚可以作为激励源输出到被分析的网络上。像电阻、电容、电感等被动元件，如果没有源的驱动，是无法给出仿真结果的。
- 2、针对每个元件的信号完整性模型必须正确。
- 3、在规则中必须设定电源网络和地网络，具体操作见本文。
- 4、设定激励源。
- 5、用于PCB的层堆栈必须设置正确，电源平面必须连续，分割电源平面将无法得到正确分析结果，另外，要正确设置所有层的厚度。

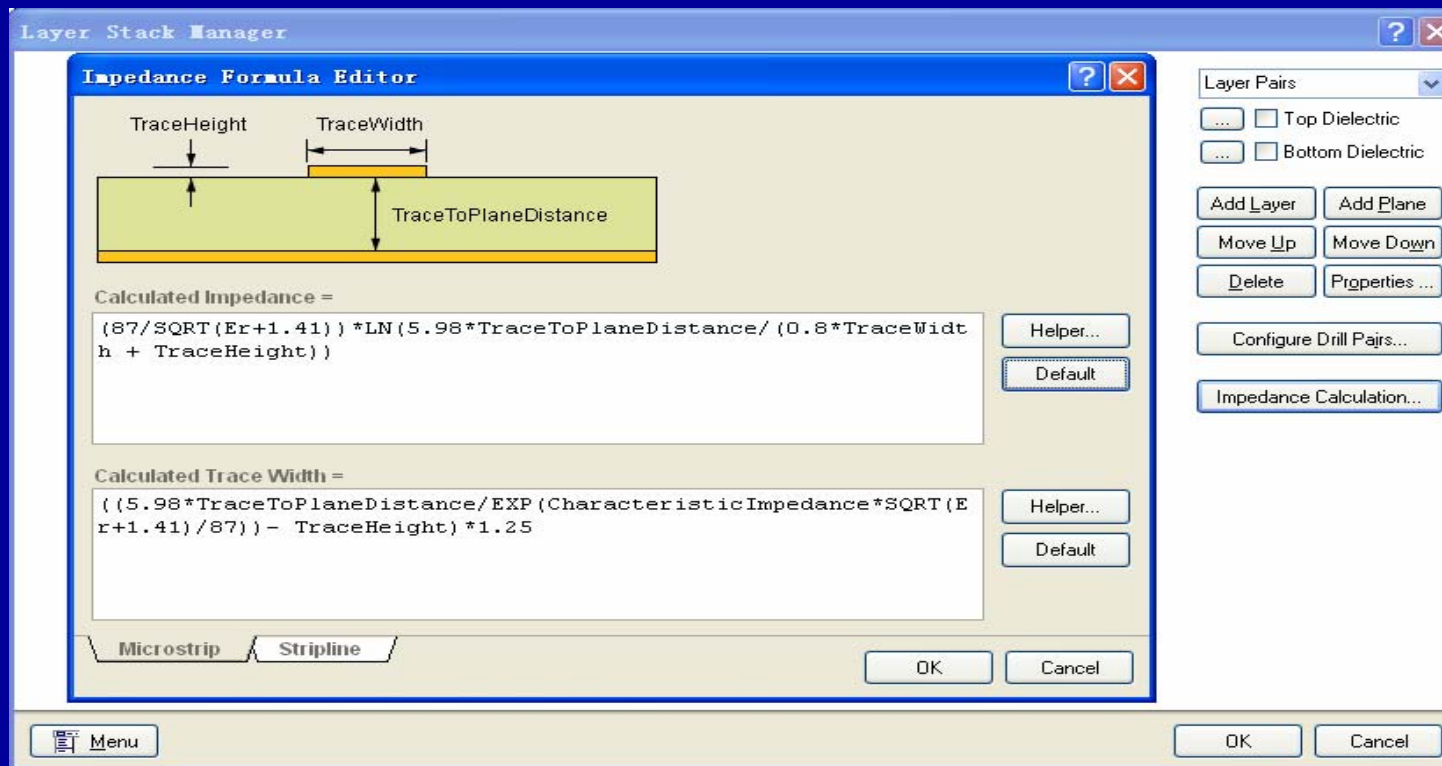
使用Protel进行信号完整性分析

- 实例演示：
- 一、在Protel2004设计环境下，选择File\Open Project,选择安装目录下Altium2004\Examples\Reference Design\4 Port Serial Interface\4 Port Serial Interface.Prjpcb，进入PCB编辑环境，图2.



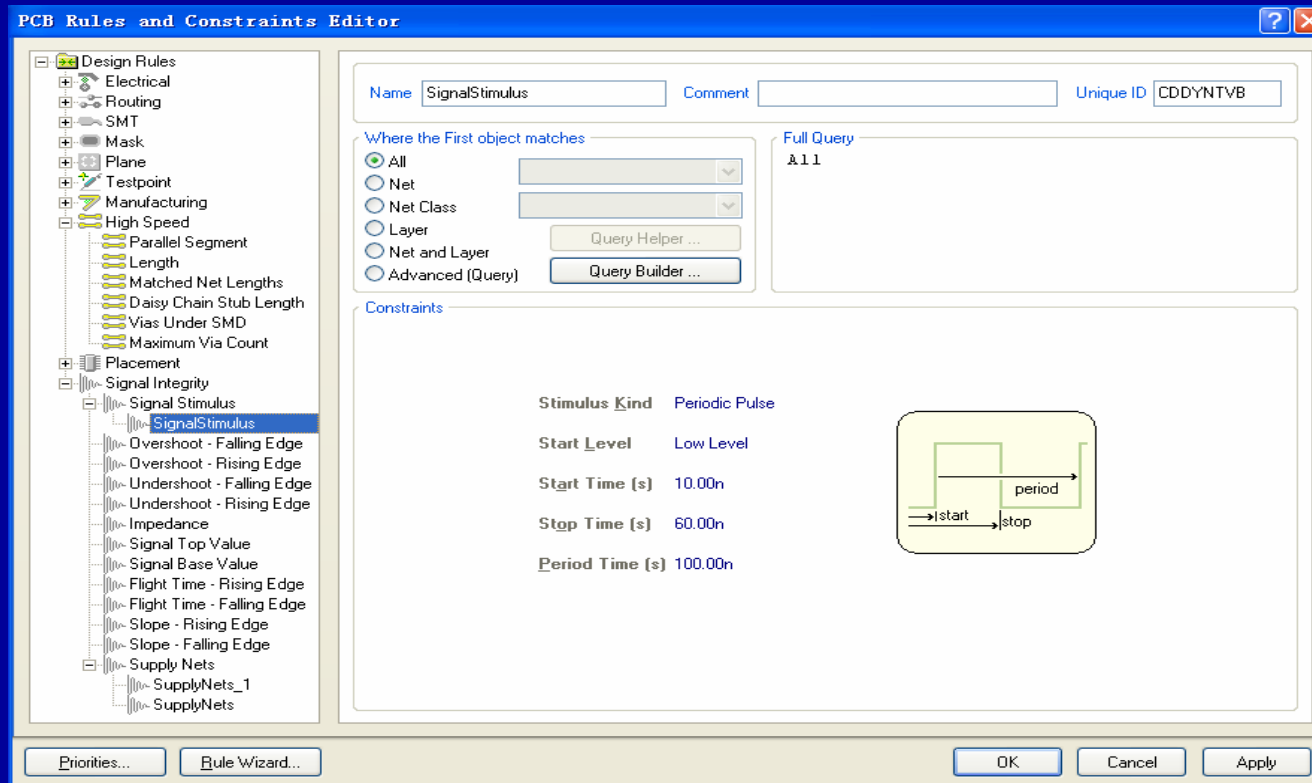
■ 图2

- 选择Design/Layer Stack Manager..., 配置好相应的层后, 选择Impedance Calculation..., 配置板材的相应参数如图3所示, 本例中为缺省值。



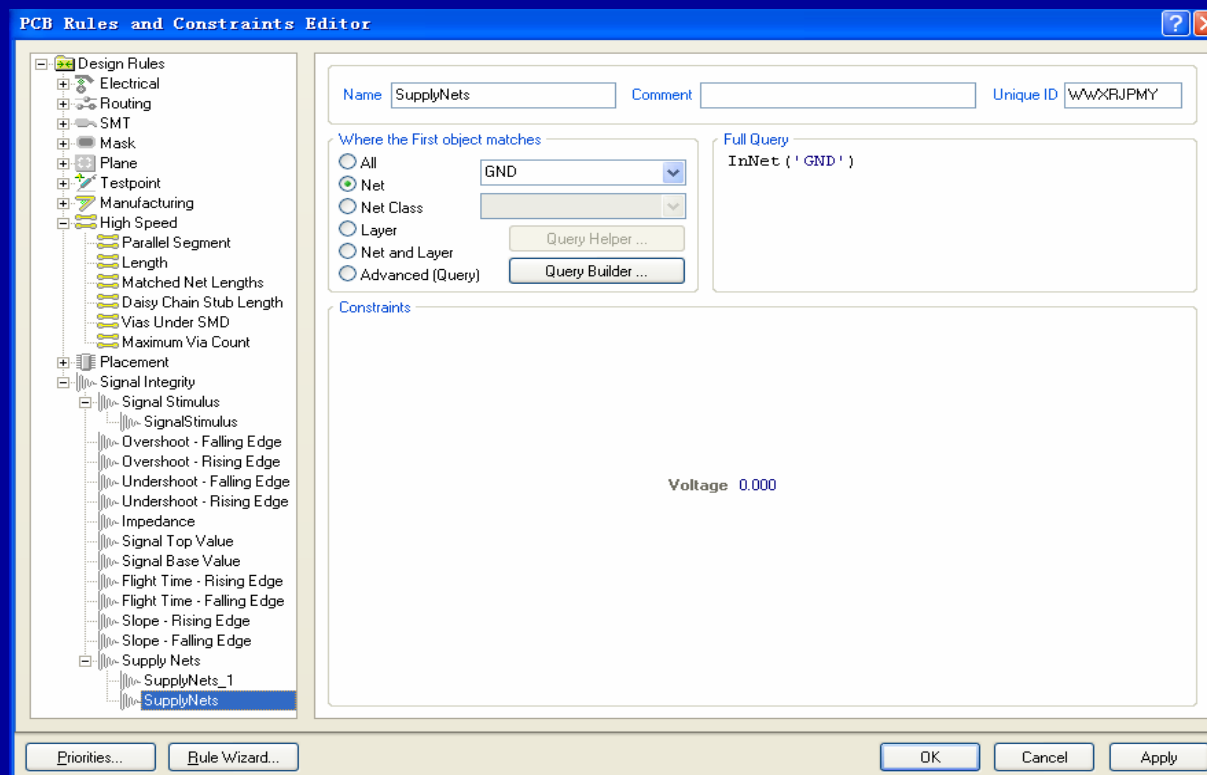
■ 图 3

- 选择Design/Rules选项，在Signal Integrity一栏设置相应的参数，如图4所示。首先设置Signal Stimulus（信号激励），右键点击Signal Stimulus，选择New rule，在新出现的Signal Stimulus界面下设置相应的参数，本例为缺省值。



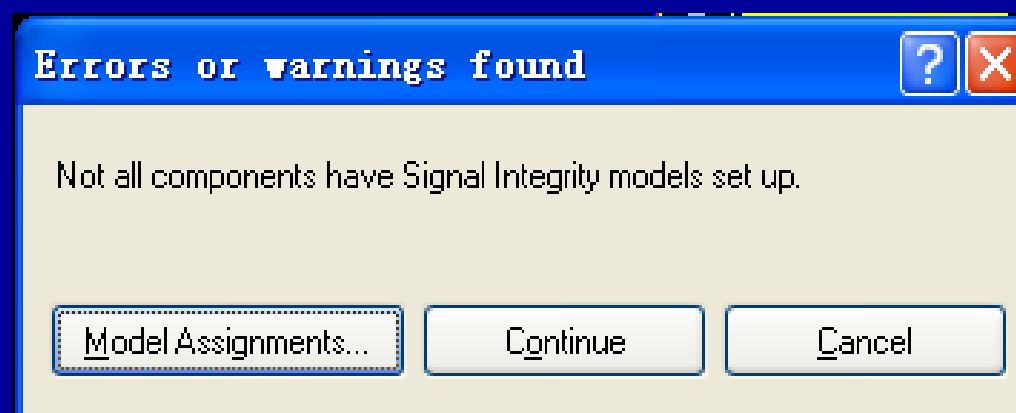
■ 图 4

- 接下来设置电源和地网络，右键点击Supply Net，选择New Rule，在新出现的Suplynets界面下，将Voltage设置为0如图5所示，按相同方法再添加Rule，将Voltage设置为5。其余的参数按实际需要进行设置。最后点击OK推出。



■ 图 5

- 选择**Tools\Signal Integrity...**，在弹出的窗口中(图6)选择**Model Assignments...**，就会进入模型配置的界面（图7）。



■ 图6

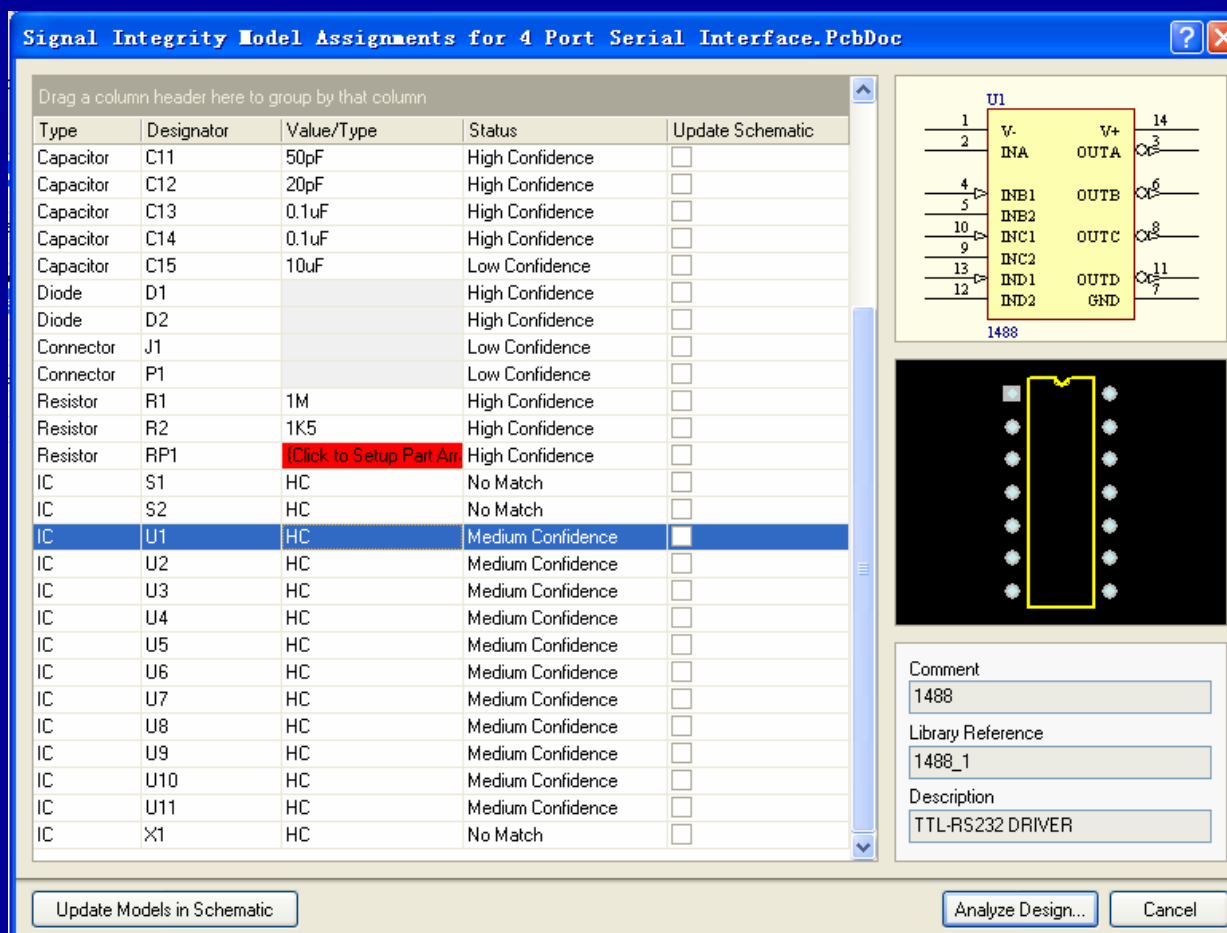


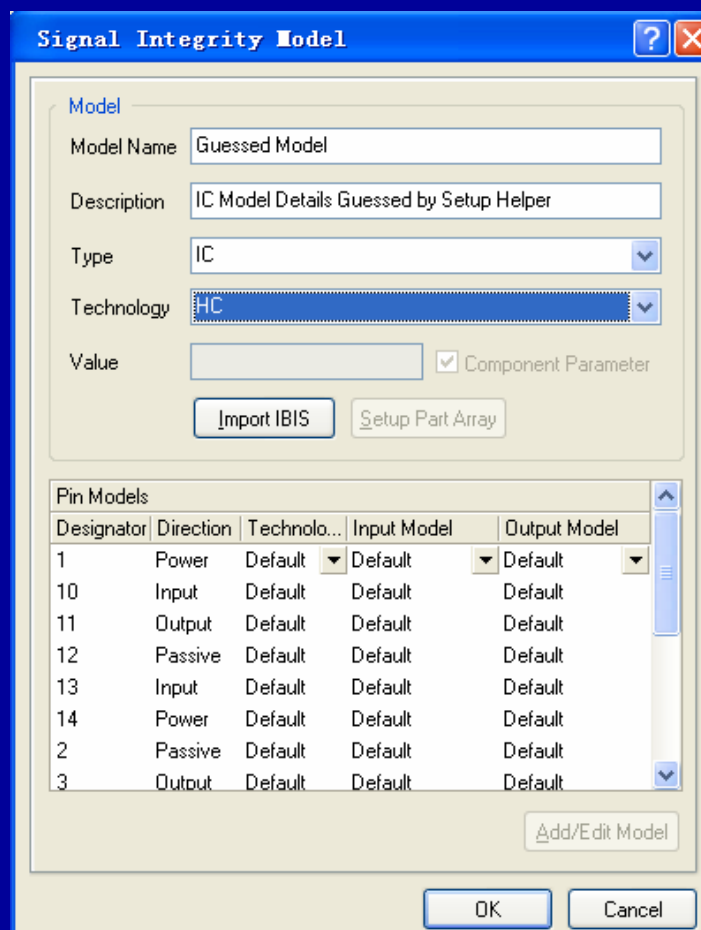
图7

- 在图4所示的模型配置界面下，能够看到每个器件所对应的信号完整性模型，并且每个器件都有相应的状态与之对应，关于这些状态的解释见图8：

状态	解释
No Match	表示目前没有找到与该器件相关联的信号完整性分析模型，需要人为的去指定。
Low Confidence	系统自动为该器件指定了一种模型，但置信度较低
Medium Confidence	系统自动为该器件指定了一种模型，置信度中等
High Confidence	系统自动为该器件指定了一种模型，置信度较高
Model found	于器件相关联的模型已经存在
User Modified	用户修改了模型的有关参数
Model added	用户创建了新的模型

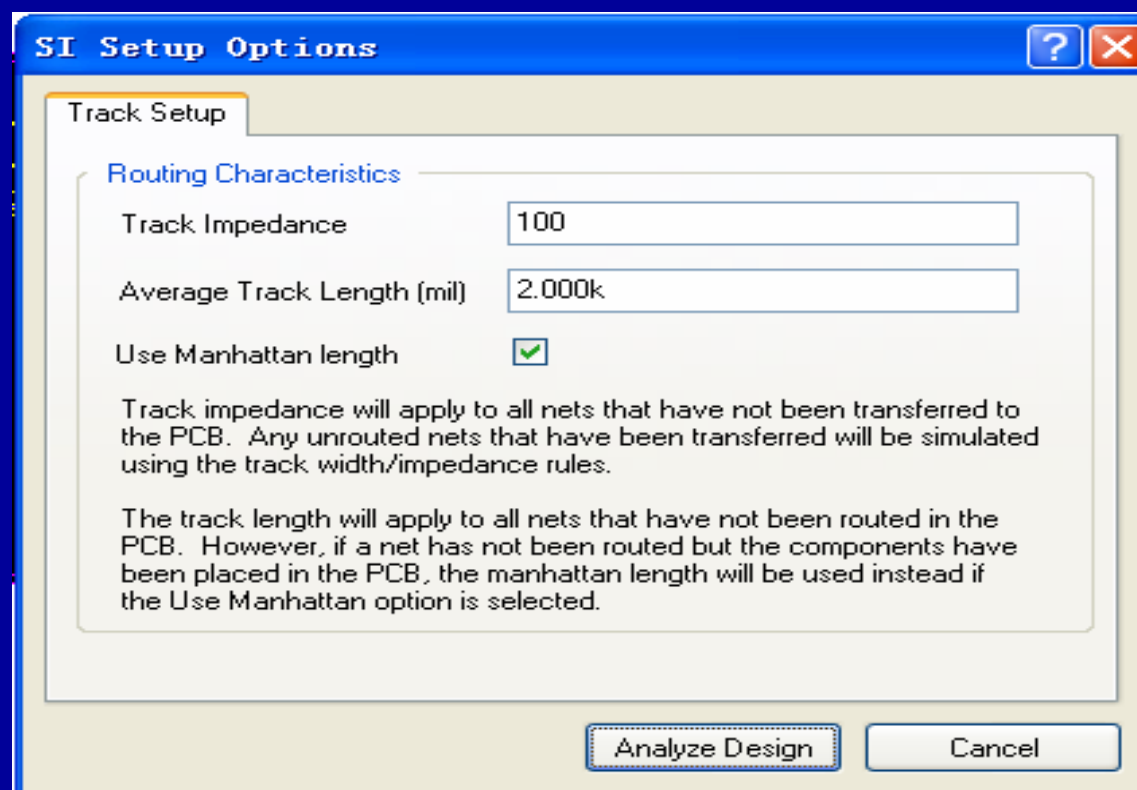
■ 图8

- 修改器件模型的步骤如下：
- 1、双击需要修改模型的器件（U1）的**Status**部分，弹出相应的窗口如图9
- 2、在**Type**选项中选择器件的类型，
- 3、在**Technology**选项中选择相应的驱动类型，
- 4、也可以从外部导入与器件相关联的**IBIS**模型，点击 **Import IBIS**，选择从器件厂商那里得到的**IBIS** 模型即可。
- 5、模型设置完成后选择**OK**，退出。



■ 图9

- 二、在图7所示的窗口，选择左下角的Update Models in Schematic，将修改后的模型更新到原理图中。
- 三、在图7所示的窗口，选择右下角的Analyze Design...，在弹出的窗口中（图10）保留缺省值，然后点击Analyze Design选项，系统开始进行分析。
- 四、图11为分析后的网络状态窗口，通过此窗口中左侧部分可以看到网络是否通过了相应的规则，如过冲幅度等，通过右侧的设置，可以以图形的方式显示过冲和串扰结果。
- 选择左侧其中一个网络TXB，右键点击，在下拉菜单中选择Details...，在弹出的如图12所示的窗口中可以看到针对此网络分析的详细信息。



■ 图10

Signal Integrity

Net	Status	Falling Edge Overs...	Falling Edge Under...	Rising Edge Oversh...	Rising Edge Und...
RTSB	Failed	412.5m	267.3m	1.007	648.1m
RTSA	Failed	399.6m	275.1m	1.724	1.173
TXB	Failed	419.8m	282.7m	1.736	1.184
DTRA	Failed	460.6m	309.6m	1.803	1.232
J21	Not analyz	-	-	-	-
J23	Not analyz	-	-	-	-
J22	Not analyz	-	-	-	-
J15	Not analyz	-	-	-	-
J14	Not analyz	-	-	-	-
J13	Not analyz	-	-	-	-
J18	Not analyz	-	-	-	-
J17	Not analyz	-	-	-	-
J16	Not analyz	-	-	-	-
J33	Not analyz	-	-	-	-
J32	Not analyz	-	-	-	-
J34	Not analyz	-	-	-	-
J36	Not analyz	-	-	-	-
J35	Not analyz	-	-	-	-
J31	Not analyz	-	-	-	-
J25	Not analyz	-	-	-	-
J24	Not analyz	-	-	-	-
J26	Not analyz	-	-	-	-
J28	Not analyz	-	-	-	-
J27	Not analyz	-	-	-	-
J12	Not analyz	-	-	-	-
D7	Not analyz	-	-	-	-
D6	Not analyz	-	-	-	-
A0	Not analyz	-	-	-	-
A2	Not analyz	-	-	-	-
A1	Not analyz	-	-	-	-
D5	Not analyz	-	-	-	-
D1	Not analyz	-	-	-	-

Menu Reanalyze Design... Model Assignments... Reflections... Crosstalk...

Net

Designator Pin Direction

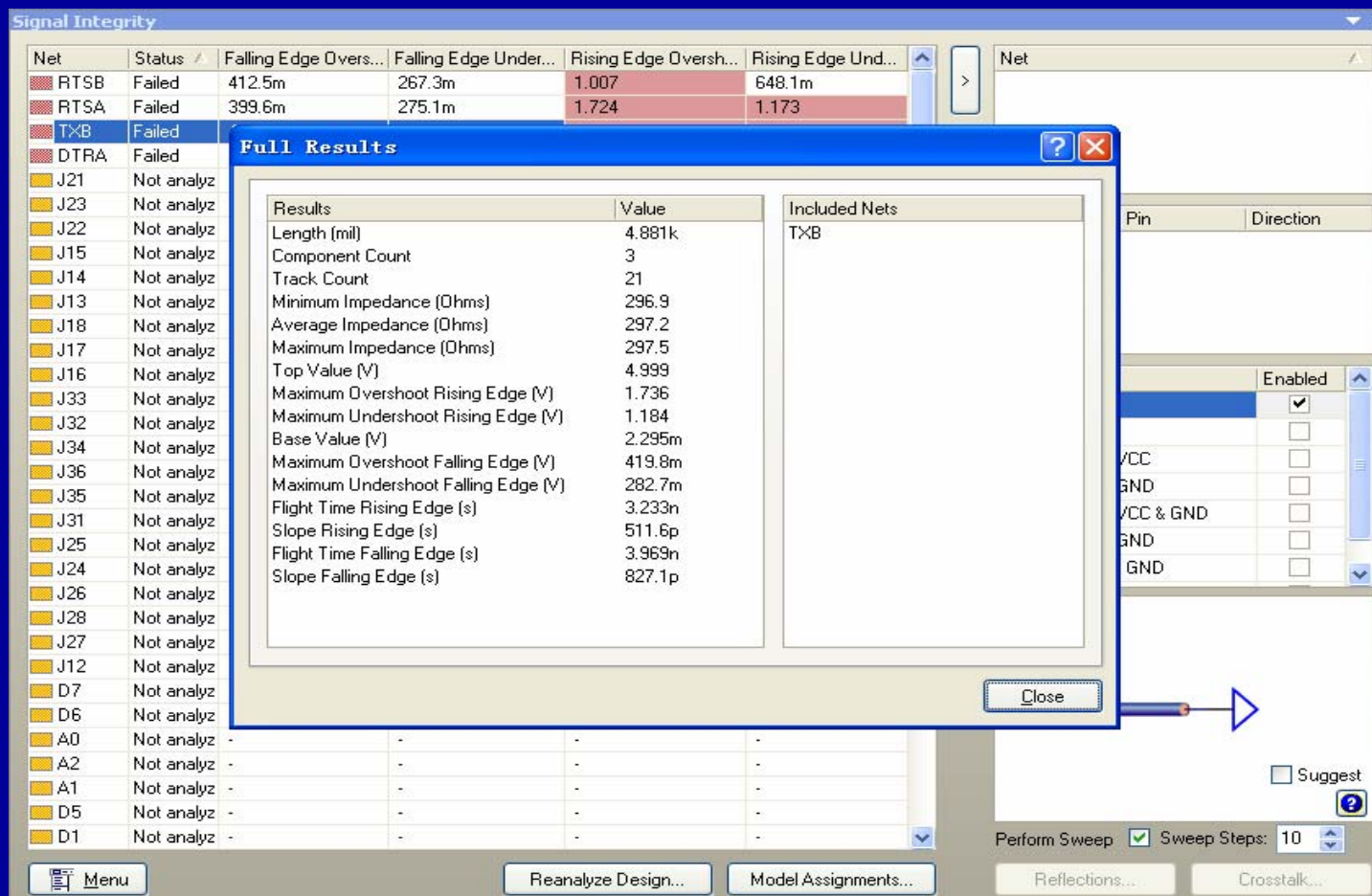
Termination Enabled

- No Termination ☒
- Serial Res ☐
- Parallel Res to VCC ☐
- Parallel Res to GND ☐
- Parallel Res to VCC & GND ☐
- Parallel Cap to GND ☐
- Res and Cap to GND ☐

Perform Sweep ☒ Sweep Steps: 10

Reflections... Crosstalk...

图11



■ 图12

使用Protel进行信号完整性分析

- 五、下面以图形的方式进行反射分析，双击需要分析的网络TXB，将其导入到窗口的右侧如图13所示。

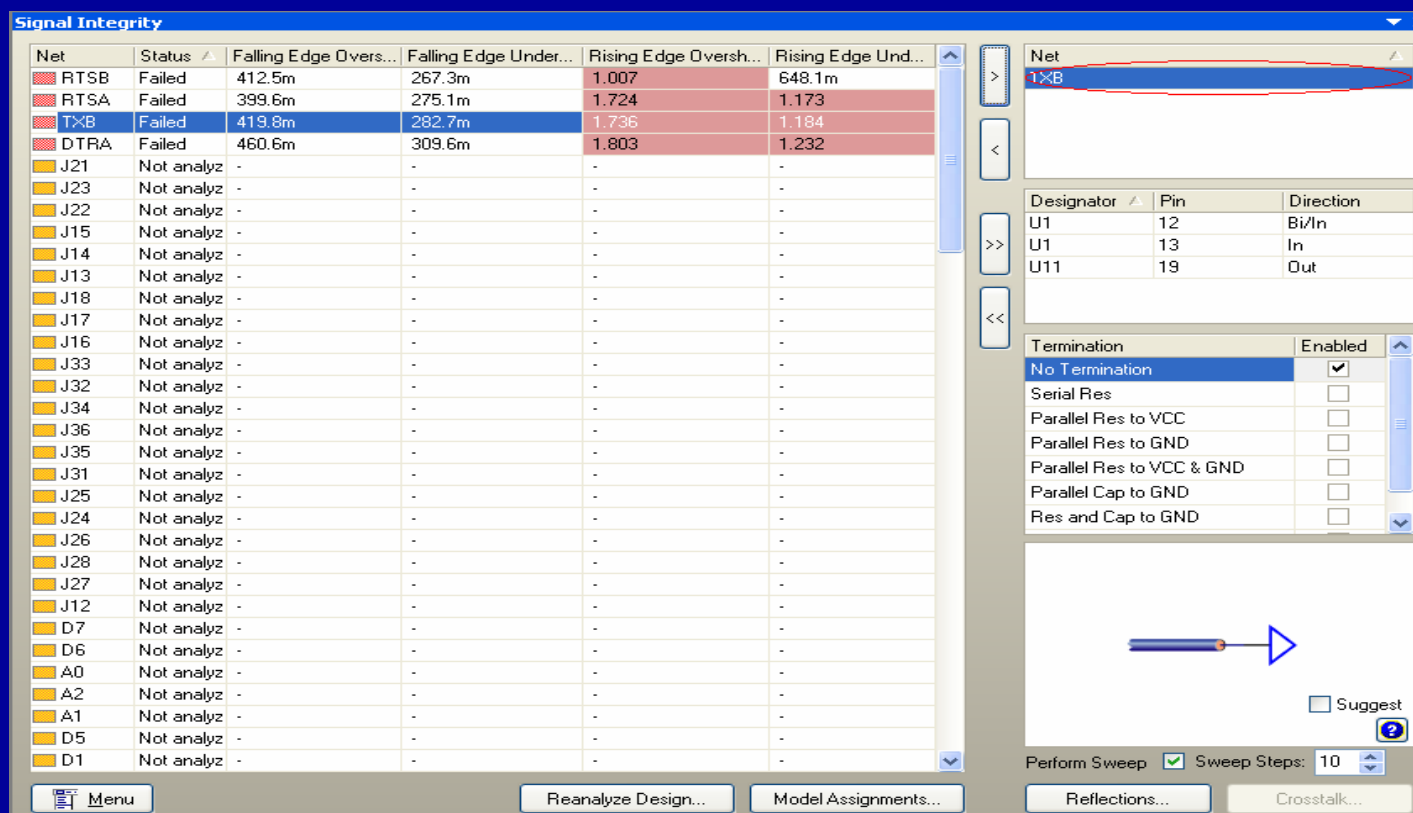
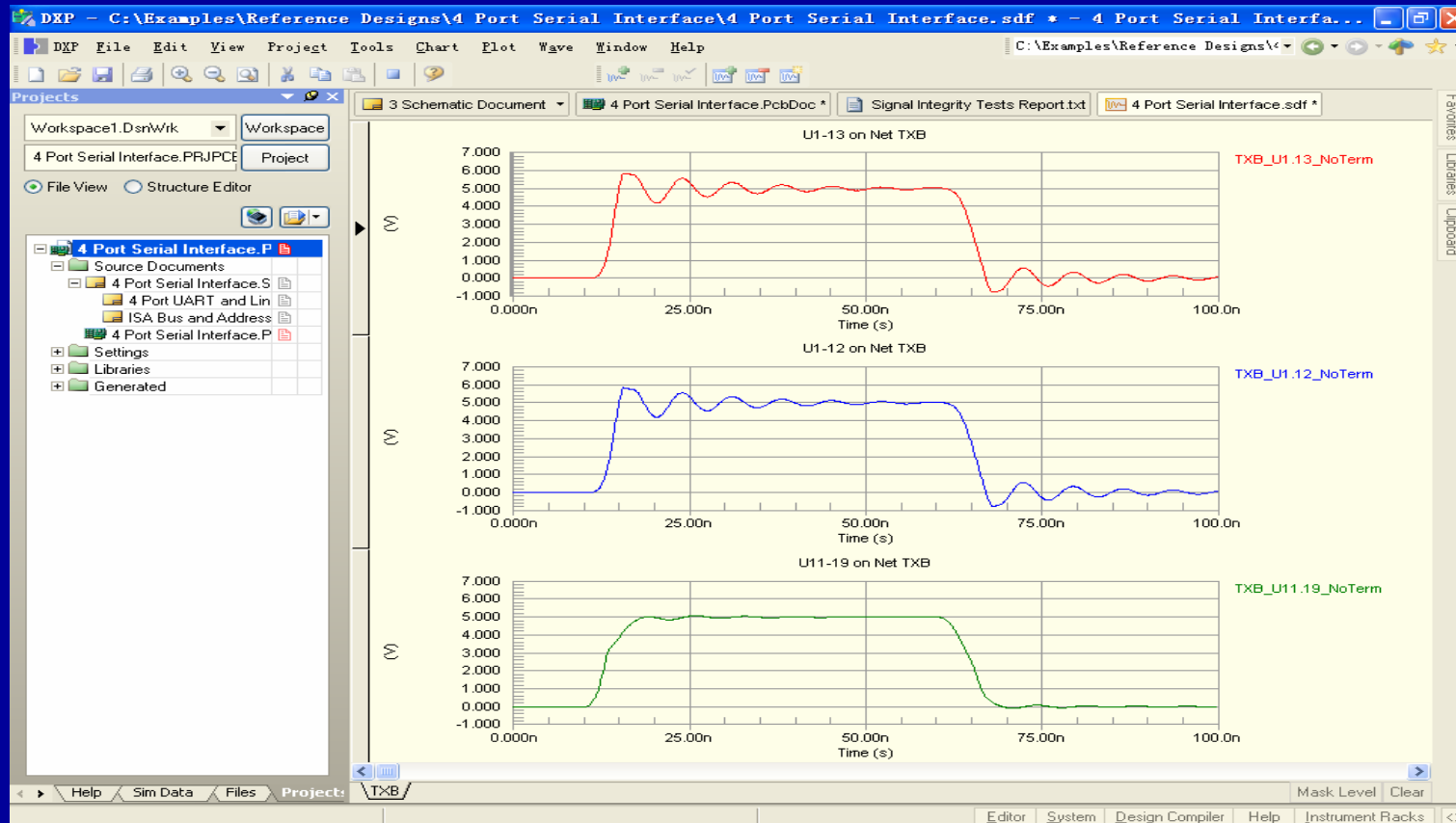


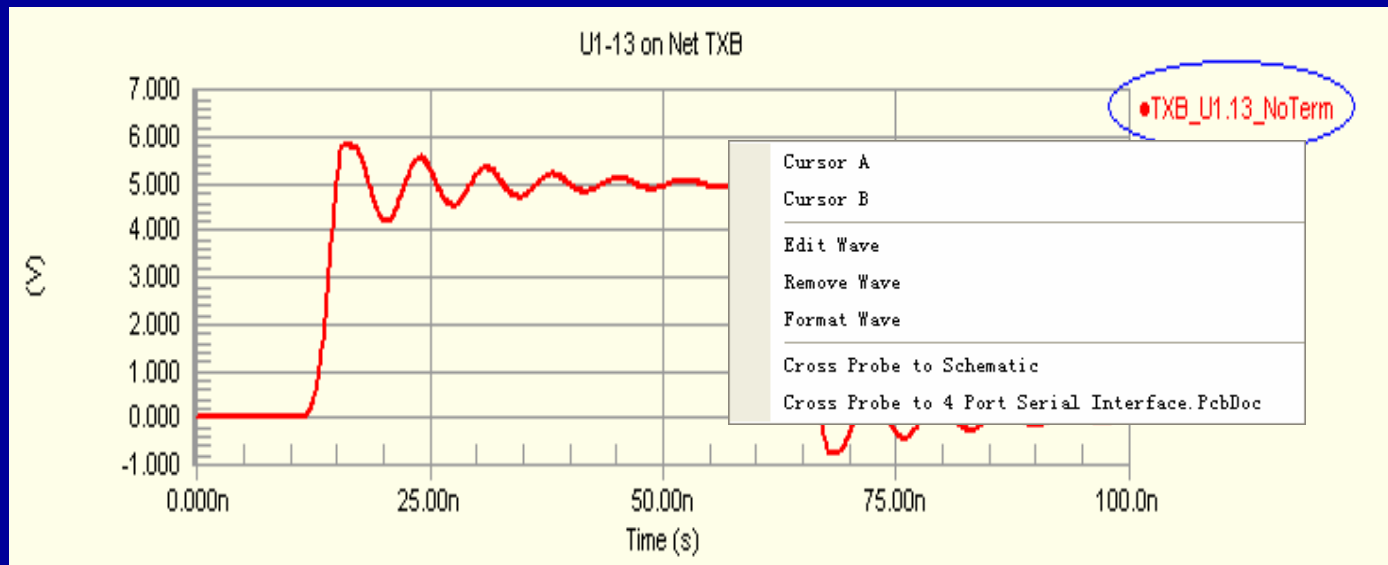
图13

- 选择窗口右下角的Reflections..., 反射分析的波形结果将会显示出来如图14

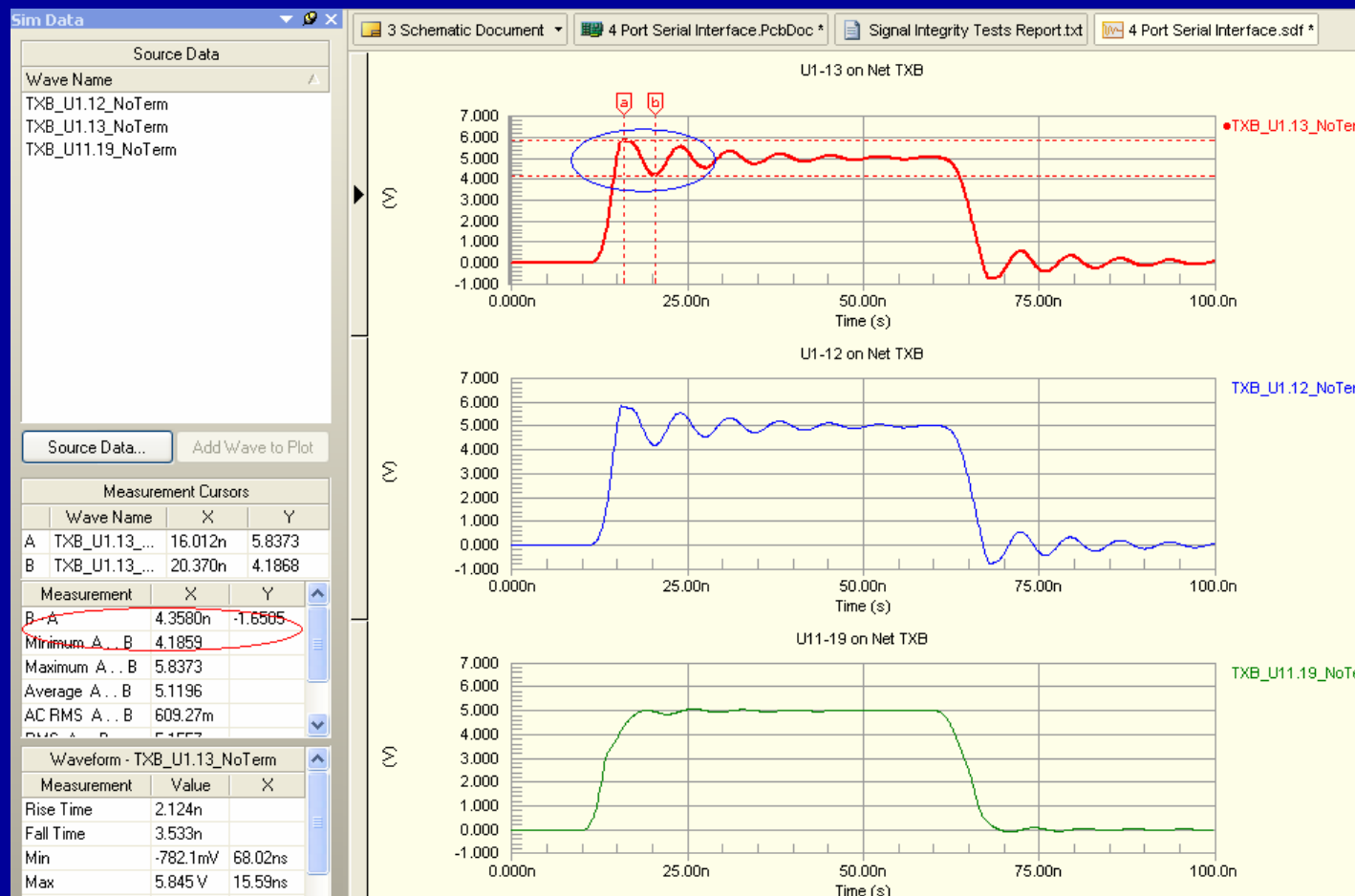


■ 图14

- 右键点击TXB_U1.13_NoTerm,如图15在弹出的列表中选择Cursor A和Cursor B, 然后可以利用它们来测量确切的参数。测量结果在Sim Data窗口如图16所示。



■ 图15



■ 图16

- 六、返回到图11所示的界面下，窗口右侧给出了几种端接的策略来减小反射所带来的影响，选择Serial Res如图18所示，将最小值和最大值分别设置为25和125，选中Perform Sweep选项，在Sweep steps选项中填入10，然后，选择Reflections...，将会得到如图19所示的分析波形。选择一个满足需求的波形，能够看到此波形所对应的阻值如图17，最后根据此阻值选择一个比较合适的电阻串接在PCB中相应的网络上即可。

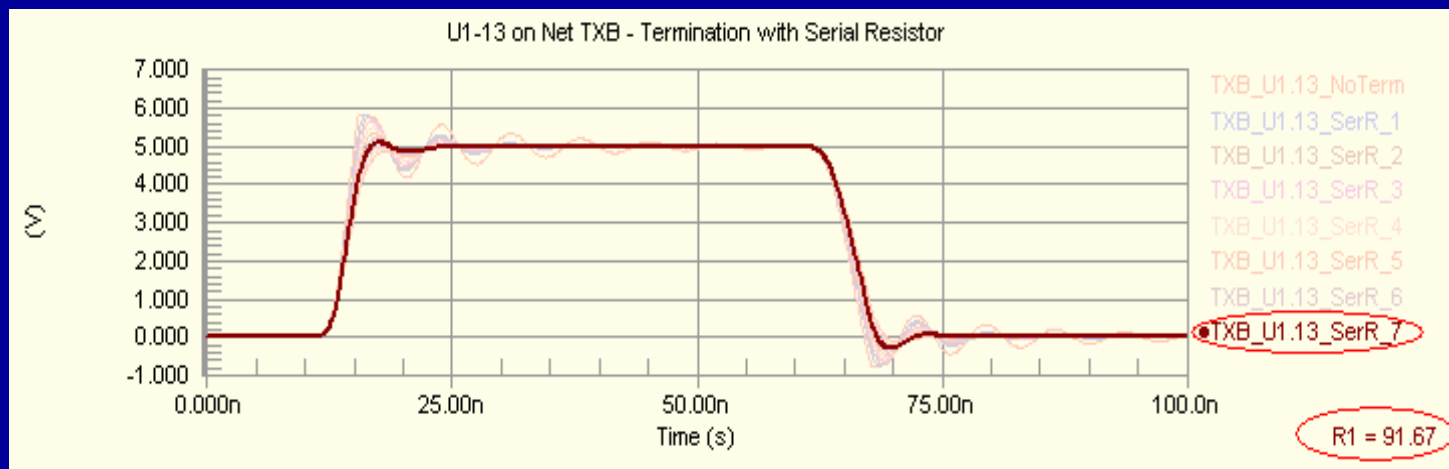


图17

使用Protel进行信号完整性分析

Signal Integrity

Net	Status	Falling Edge Overs...	Falling Edge Under...	Rising Edge Overs...	Rising Edge Under...
RTSB	Failed	412.5m	267.3m	1.007	648.1m
RTSA	Failed	399.6m	275.1m	1.724	1.173
TXB	Failed	419.8m	282.7m	1.736	1.184
DTRA	Failed	460.6m	309.6m	1.803	1.232
J21	Not analyz	-	-	-	-
J23	Not analyz	-	-	-	-
J22	Not analyz	-	-	-	-
J15	Not analyz	-	-	-	-
J14	Not analyz	-	-	-	-
J13	Not analyz	-	-	-	-
J18	Not analyz	-	-	-	-
J17	Not analyz	-	-	-	-
J16	Not analyz	-	-	-	-
J33	Not analyz	-	-	-	-
J32	Not analyz	-	-	-	-
J34	Not analyz	-	-	-	-
J36	Not analyz	-	-	-	-
J35	Not analyz	-	-	-	-
J31	Not analyz	-	-	-	-
J25	Not analyz	-	-	-	-
J24	Not analyz	-	-	-	-
J26	Not analyz	-	-	-	-
J28	Not analyz	-	-	-	-
J27	Not analyz	-	-	-	-
J12	Not analyz	-	-	-	-
D7	Not analyz	-	-	-	-
D6	Not analyz	-	-	-	-
A0	Not analyz	-	-	-	-
A2	Not analyz	-	-	-	-
A1	Not analyz	-	-	-	-
D5	Not analyz	-	-	-	-
D1	Not analyz	-	-	-	-

Net: TXB

Designator	Pin	Direction
U1	12	Bi/In
U1	13	In
U11	19	Out

Termination

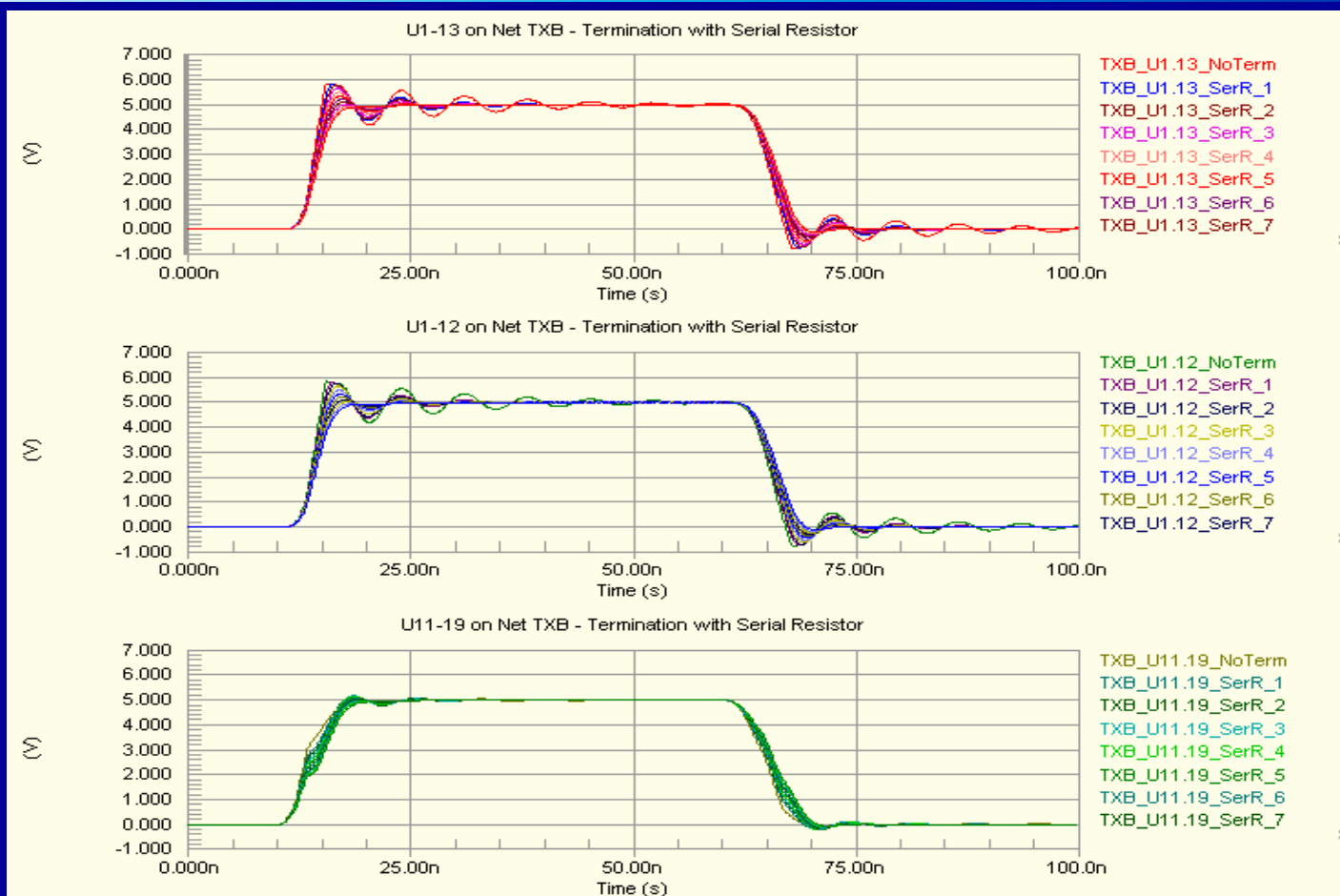
Termination	Enabled
No Termination	<input checked="" type="checkbox"/>
Serial Res	<input checked="" type="checkbox"/>
Parallel Res to VCC	<input type="checkbox"/>
Parallel Res to GND	<input type="checkbox"/>
Parallel Res to VCC & GND	<input type="checkbox"/>
Parallel Cap to GND	<input type="checkbox"/>
Res and Cap to GND	<input type="checkbox"/>

Min: 25.00
Max: 125.0

Perform Sweep ☒ Sweep Steps: 10

Reflections... Crosstalk...

图18



■ 图19

- 七、接下来进行串扰分析，重新返回到如图11所示的界面下，双击网络RTSB将其导入到右面的窗口，然后右键单击TXB，在弹出菜单中选择Set Aggressor设置干扰源，如图20所示，结果如图21。

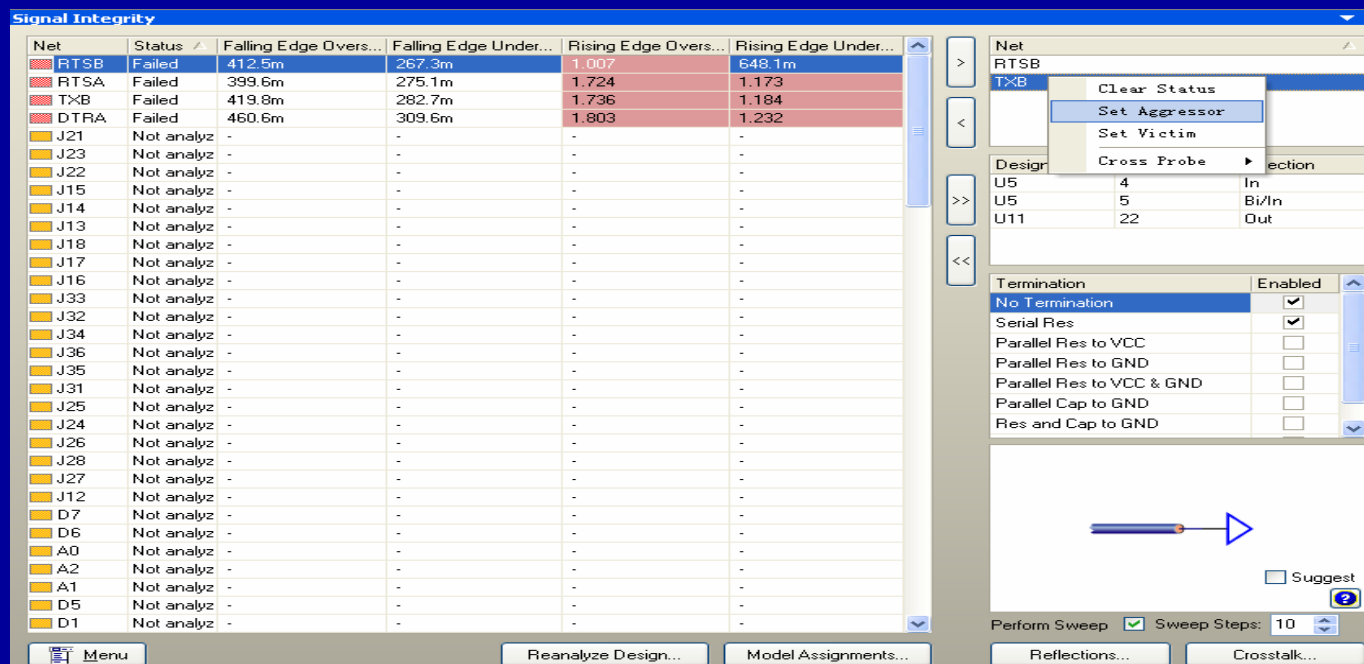
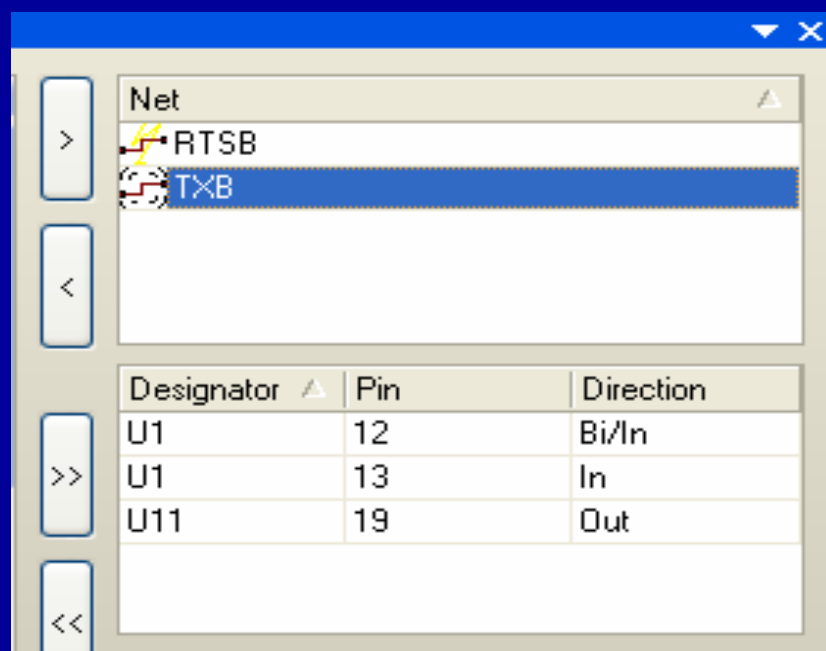


图20

- 然后，选择右下角的Crosstalk...，就会得到串扰得分析波形，如图22所示。



■ 图21

使用Protel进行信号完整性分析



■ 图22

- 信号完整性简介
- Protel所提供的信号完整性分析
- 使用Protel进行信号完整性分析
- 总结

- 以上完成了信号完整性分析的整个过程，本文只是简要的对此流程加以介绍，更详细的内容希望读者亲自去探索！以便获得更多的知识！

结束

谢谢各位

有关Altium 公司及其产品详细情况, 请浏览:
www.altium.com



ALTium LIMITED

- 前身是 Protel 国际有限公司
- PCB 设计历史悠久
- 不断创新：首创基于Windows 的印刷线路板设计(PCB) 集成式PCB设计产品。
- 全球性公司。
- 上世纪末，本世纪初，收购多家公司。
- 在2001年，改名为Altium Limited 公司。
- 价位合理，容易获得，简便易用的产品。
- 面向大多数工程师。



Altium视中国为重要的电子设计市场

■ **重建中国大陆代理商网络**

- **Altium公司新建中国代理商网络**

中国单片机公共实验室

上海顺维电子科技有限公司

深圳市天络电脑网络有限公司

- **台湾代理商**

Cadpro Technology Co. Ltd

■ **建立上海代表处**

Marketing and PR

Technical Support

地址:上海浦东张杨路838号华都大厦13B

电话:+86 21 6876 4016/7

传真:+86 21 6876 4015



- 设计中信号完整性应当注意的**6**点：
 - a. 对噪声敏感器件的物理隔离
 - b. 线路阻抗匹配及信号反射控制
 - c. 建议在设计中采用独立的电源及地电平层
 - d. 在PCB布线中信号线避免走直角
 - e. 同一组信号线尽量保持在走线上等长
 - f. 在高速电路设计中，相邻的两条信号线的间距应符合**3W**规则，即间距为信号线宽度的**3**倍
 - g. 对电源做好退耦处理，选择容值足够大的，**低ESR**的电容



- 设计中理想的器件布局

