

# 高速电路板的设计方法

## 引言

当今对于系统的设计来说，最重要的因素就是速度。我们通常采用的是 66MHz~200MHz 的处理器，233MHz 和 266MHz 处理器的应用也越来越广泛。提出高速要求的原因有两个：一、要求系统在人们认为适合的时间帧中完成复杂的任务。比如说，即使是最基本的计算机动画制作也需要通过处理大量的信息才能够完成。二、元件厂商能够生产出高速器件。目前，可编程阵列逻辑（PAL<sup>®</sup>）器件可提供的传输延迟是 4.5 ns，而复杂的 PLD（如 MACH<sup>®</sup>）的传输延迟是 5ns，这似乎是快速的，但并不是传输延迟造成的，其实快速的传输延迟是由快速的边沿速率获得的。将来会出现速度更快的器件，可以提供相对更快速的边沿速率。

高速系统的设计不仅需要借助快速的元件，而且需要精心的设计。器件的模拟部分和数字部分同等重要。高速系统存在的主要问题是噪音的产生，高频能够辐射并造成干扰，相应的快速边沿速率可能会产生振荡、反射和串扰现象，如果不能及时检查出来，这种噪音可能会大大地降低系统的性能。

本文对利用 PC 板布局实现高速系统的设计进行了概述，主要内容包括：

- ✧ 电源分布系统及其对供膳寄宿处产生的影响；
- ✧ 传输线路以及相关的设计规则；
- ✧ 串扰的产生和消除；
- ✧ 电磁干扰

## 1. 电源分布

电源分布网络是高速电路板设计中最重要考虑因素。无噪音的电路板必需无噪音的电源分布网络。注意，设计无噪声的  $V_{CC}$  和无噪声的地一样重要。本文主要论述的是 AC 用途，因此  $V_{CC}$  就是地。

电源分布网络还必须为电路板上所有信号提供返回路径。由于返回路径的作用在低频时不很明显，所以常常被忽视，而许多设计即使在返回路径的特性被忽视的情况下也能运行。

### 1.1. 电源分布网络作为电源

#### 1.1.1. 阻抗的作用

假设有一块带有数字 IC 和 +5.0V 电源的电路板，规格为 5" x 5"，目的是将 +5.0V 电压正确地传递到电路板上每个器件的电源引脚，而不用考虑器件相对于电源的位置。另外，引脚处的电压是不受线路噪音影响的。

具有这些特征的电源示意地表示为理想的电压源（见图 1a），其阻抗为零，这可以保证负载和源电压相等，也意味着噪音信号会被吸收，原因是噪音发生器的源阻抗是有限的。遗憾的是，这只是一种理想的情况。

图 1b 举例说明了真实电源的情况，它有电阻、电感和电容形式的阻抗，分布在电源分布网络。噪音信号可能会因为网络中的阻抗而影响电压的增加。

设计的目标是要尽可能减小电源分布网络的阻抗，具体可通过电源总线和电源层两种方案来实现。虽然电源层的阻抗特性比电源总线好，但是实际考虑时可能更倾向于电源总线方法。

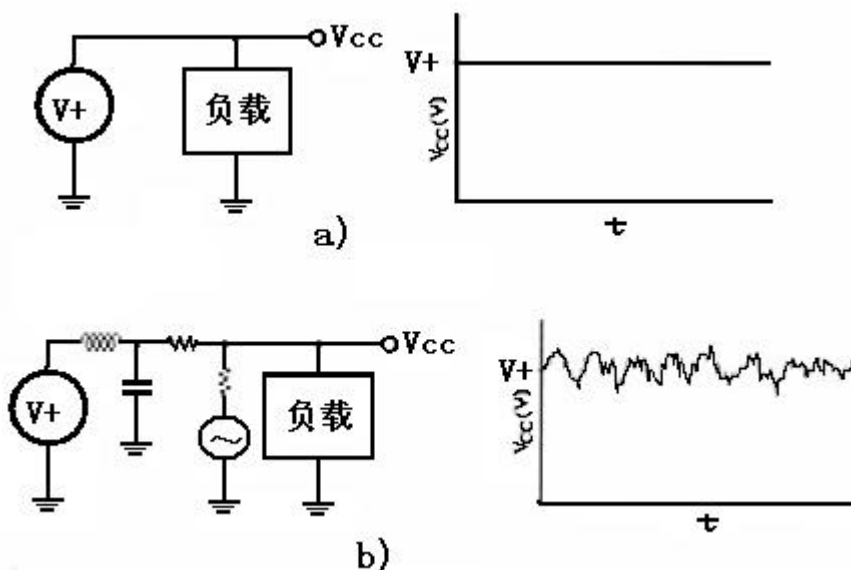


图 1. 电源 a)理想的情况；b)更现实的情况

### 1.1.2. 电源总线与电源层的比较

图 2 展示了两种电源分布方案。总线系统（图 2a）由一组线迹和系统器件要求的不同电压电平构成，逻辑上通常是+5V 和地线，各电压电平要求的线迹数量随系统的不同而变化。电源层系统（图 2b）由覆盖了金属的完整层（或者是层段）构成，各电压电平都要求有独立的层，金属中唯一的间隙是用来放置引脚和信号馈通的。

早期主要出于费用方面的考虑，主要采用电源总线方案。电源总线与信号线在同一层面上。必须由电源总线为所有器件提供电源，其他的空间用于走信号线，电源总线呈长长的窄带状，因而在相对小的截面积上会产生小的电阻。

虽然电阻比较小，但非常重要。即使是小电路板，也能容纳 20-30 个器件。假如 20 个器件的电路板上的每个器件吸收 200mA 的电流，那么总电流将是 4A，0.125 的总线电阻将产生 0.5V 的电压降，假设电源是 5V，则总线上最后一个器件只可能接收 4.5V。

因为电源层填充了整个层，所以唯一的限制是电路板的大小。电源层的电阻对于提供相同器件数量的电源总线上的电阻来说，只是很小的一部分，因此与电源总线比较起来，电源层更可能为所有器件提供全部的能量。

在电源总线方案中，电流被限制在由总线定义的路径上。高速器件产生的线路噪音会影响电源总线上的其它器件。在图 2a 所示的电路板上，U9 产生的噪音通过总线传至 U7。

而在电源层方案中，由于电流路径不受限制，因此噪音电流是分布式的，再加之阻抗较低，使电源层受噪音的影响比电源总线小。

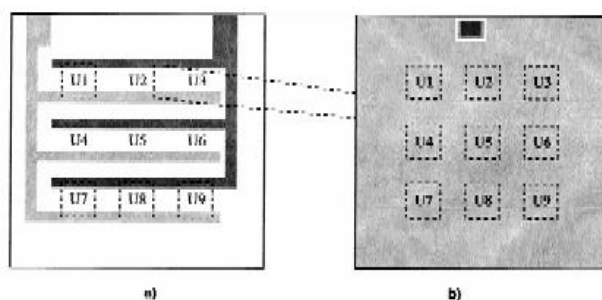


图 2. 电源分布系统 a)电源总线；b)电源层

### 1.1.3. 线路噪音的滤波

电源层单独无法消除线路噪音，既然所有的系统都会遇到噪音问题，那么不管采用何种电源分布方案，都需要借助旁路电容来进行滤波。通常情况下， $1\mu\text{F} \sim 10\mu\text{F}$  电容放置在电路板的电源输入上，而  $0.01\mu\text{F} \sim 0.1\mu\text{F}$  电容则放置在电路板的每个有源器件的电源引脚和接地引脚上。

这里旁路电容充当的是滤波器的角色。大电容（ $10\mu\text{F}$ ）放置在电路板的电源输入上，用以滤波通常由电路板外产生的较低频信号（比如  $60\text{Hz}$  线路频率）。电路板上由有源器件产生的噪音谐波范围在  $100\text{MHz}$  以上。每个芯片上放置的旁路电容（ $0.1\mu\text{F}$ ）通常比电路板间的电容小得多。

既然目标是要滤除电源上所有 AC 成分，似乎电容越大越好，这样可以降低阻抗，但实际上电容并不具有理想特性。

图 3a 是理想电容的例子，图 3b 是现实电容的例子。电容所需的焊盘及引线会产生电阻和电感，因为这些寄生元件与电容串联在一起，所以把它们叫做等效串联电阻（ESR）和等效串联电感（ESL）。

因此电容就是一个串联谐振电路，

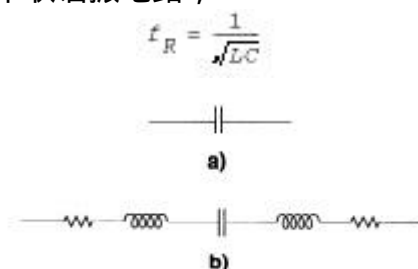


图 3. a) 电容的理想示意图；b) 寄生元件模拟的现实环境

如图 4a 所示，频率低于  $f_R$  的是容性的，而高于  $f_R$  的是感性的，因而电容与其说是高阻滤波器，还不如说是带阻滤波器。

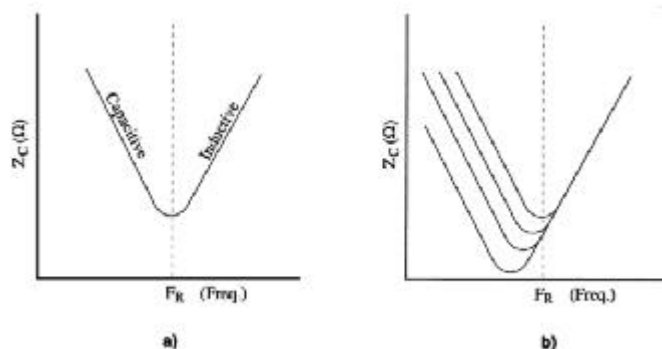


图 4. a) 电容阻抗与频率；b) 使用同类结构时减小电容的效果（常数 ESL）

举例说明，用于连接电路板-电源的  $10\mu\text{F}$  电容通常是由绝缘材料隔离的金属箔卷制成的（见图 5）。这样就会产生大的 ESL 和大的 ESR。正因为有大的 ESL， $f_R$  一般小于  $1\text{MHz}$ ，所以它们是消除  $60\text{Hz}$  噪音最好的滤波器，但不能有效地消除期望的  $100\text{MHz}$  甚至更高的交换噪音。



图 5. 大电容（容值  $\mu\text{F}$ ）的内部结构

ESL 和 ESR 源于采用的电容和电介质材料的结构，而不是电容值。通过将电容换成同类型的大电容也无法改善高频阻性能。当大电容的频率低于小电容的  $f_R$  时，大电容的阻抗就比小电容的小，而当频率高于小电容的  $f_R$  时，则两个电容的阻抗没有差异（图 4b）。这是因为只有电容量发生了变化，ESL 基本保持不变，除非电容结构有所变化。若要提高高频滤波的能力，就必须选用较小 ESL 类型的电容替代原来的电容。

电容类型根据特定的频率和应用的不同而变化，表 1 提供了一些器件类型的信息。

表 1. 旁路电容类型

类型	范围	应用
电解	$1\ \mu\text{F} \sim >20\ \mu\text{F}$	通常用于电路板的电源连接
玻璃封装陶瓷	$0.01\ \mu\text{F} \sim 0.1\ \mu\text{F}$	用作芯片的旁路电容，且常常与电解电容并联，以扩展滤波器的带宽，增加阻带。
陶瓷片	$0.01\ \mu\text{F} \sim 0.1\ \mu\text{F}$	主要用于芯片，偏重小尺寸时也有用。
非铁磁	$<0.1\ \mu\text{F}$	用于对噪音敏感器件的旁路，常于其它的陶瓷片并联，以增加阻带。

最小 ESL 电容通常是用非铁磁材料制成的，具有小电压-电容乘积，因此要想借助具有实际击穿电压的大电容来防止出现电路板故障是非常困难的。然而由于滤波性能好，所以不一定需要大数值电容。图 6 将 C0G（非铁磁的）类型的  $0.01\ \mu\text{F}$  电容与其它类型的  $0.1\ \mu\text{F}$  电容作了比较，证明  $0.01\ \mu\text{F}$  电容在高频时具有良好的滤波性能。

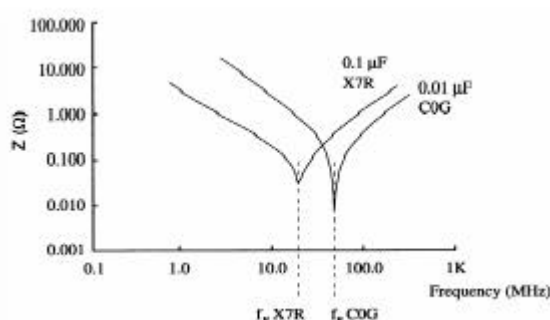


图 6. X7R 和 C0G 两种类型结构的频率响应

电容图说明任何一种电容的有效频率操作范围都是有限的，系统不仅有高频噪音，而且还有低频噪音，我们希望能扩展这个范围，具体可通过将大电容、小 ESL 器件与较小电容、极小 ESL 器件并联来实现。图 7 表明这种方法可以大大扩展有效的滤波频率范围。

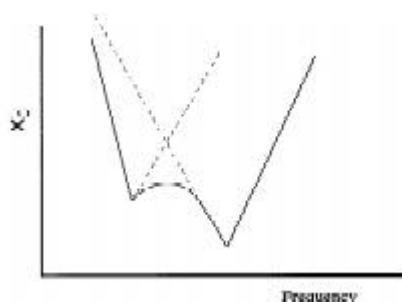


图 7. 两个并联电容的频率响应

#### 1.1.4. 旁路电容的布局

选择滤波电容之后，就必须将它们放置在电路板上。图 8a 展示了电路板上低速器件的标准放置。电容靠近器件的顶端放置以确保接通度，这种布局非常简单，但在高频应用下性能不佳。

注意， $V_{CC}$  电容连接非常近似于芯片的  $V_{CC}$  连接，而接地连接则大不一样。因为电源层的噪音不是单一的，所以电容不能滤除芯片引线处的噪音，只能滤除芯片附近的噪音。

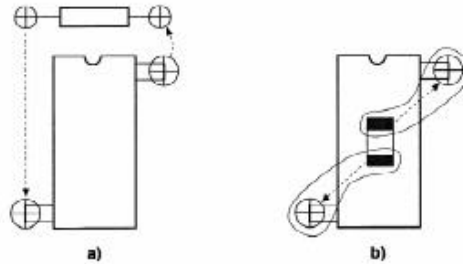


图 8. a)旁路电容的典型放置；b)旁路电容的优选放置

确保芯片和电容在同一点上与  $V_{CC}$  和地层接触，以提高性能。因为电容与芯片不一样大小，所以  $V_{CC}$  和地层接点与电容之间有必要运行两条线迹，如图 8b 所示。“引线延伸”应当尽可能短地放置，在非电源层上，通常情况下，电容最好放置在电路板的另一面，芯片的正下方，表面贴片电容在这里可以很好地工作。

值得注意的是，电容与电源引脚之间的“引线延伸”线迹应当占有的空间可能会影响信号线的布线，然而这时过多的考虑信号线的布线可能会影响以后的减噪工作。

对于具有多个  $V_{CC}$  和接地引脚的器件来说，如何得到最佳的旁路效果，取决于器件本身，特别是器件内部的电源引脚是否相连。如果电源引脚已经在器件内部相连了，则只需要在一个电源脚到一个接地引脚间进行旁路即可。如果内部的电源引脚没有任何连接，那么独立的  $V_{CC}$  引脚必须单独去耦。通常最好与器件厂商取得联系，获得有关的帮助信息。

### 1.2. 电源分布网络作为信号返回路径

电源网络能够为系统中的所有信号提供返回路径，不论它们是在电路板上还是电路板外生成的，设计好合理的返回路径，可以解决多种高速噪音问题。

#### 1.2.1. 信号返回线路的自然路径

信号交换边沿生成的能量是高速设计中最重要的问题。每当信号交换时，就会生成 AC 电流，电流需要有闭合的环路，如图 9a 和 9b 所示，地端和  $V_{CC}$  提供了完成环路所需的返回路径，图 9c 示意了这种环路。

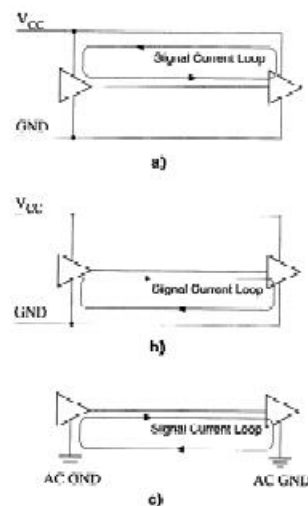


图 9. 电路板上信号的电流环路 a)通过  $V_{CC}$  ; b)通过地 ; c)相当的 AC 路径

电流环路中的电感可以当作单圈线圈 ,它们可能会使振荡、串扰和辐射等问题更加恶化。电流环路电感及其相关的问题会随环路的变大而增加 ,因此最大限度地减小环路的大小可以使出现问题的可能性降到最低。

AC 返回信号可以在整个层上选择路径 ,它们选择最小阻抗的路径(不一定是电阻最小) ,阻抗也包括电感和电容 ,金属的阻值很小 ,因此阻抗主要是电感。因为阻抗随电感的增大而增大 ,所以最小阻抗路径就是最小电感路径。

假如由 A 到 B 的信号线路选择了任意路径 ,那么自然返回路径就不一定是一条直线 ,这是由最小电阻决定的。如图 10 所示 ,信号线路电感和返回线路的增加与两个路径的分离有关。最小阻抗路径就是使信号返回线路靠近信号线路的路径 ,这样 ,信号返回尽可能地靠近信号线路 ,因此产生最小的环路。在多层板中 ,“ 尽可能近 ” 通常指信号线迹上下的地层或  $V_{CC}$  层 ;两层板中是指最近的地或  $V_{CC}$  线迹。

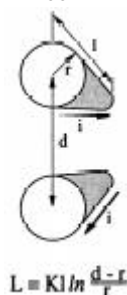


图 10. 信号及返回路径的分离导致了电感的增大

### 1.2.2. 总线与信号返回路径平面的对比

图 2a 表明电源总线具有固定的路径 ,不论它是否是最佳路径 ,返回信号总是沿这条路径走。如果信号线路不放置在电源总线附近以减小环路面积 ,那么就可能出现大环路。如果没有仔细考虑采用电源分布总线方案的电路板布局 ,则这种方案可能会产生大的噪音。

电源层对电流没有任何限制 ,因此返回信号可以选择最小阻抗路径 ,它最接近信号线路 ,电流环路也最小 ,是高速系统的首选方案。

虽然电源层比总线更占有优势 ,但设计者可证明它是有缺陷的。返回信号的自然路径若有任何中断 ,将迫使路径绕过断开处 ,从而增加了环路的面积 (见图 11) 。因此一定要注意地层和电源层上的切口问题。

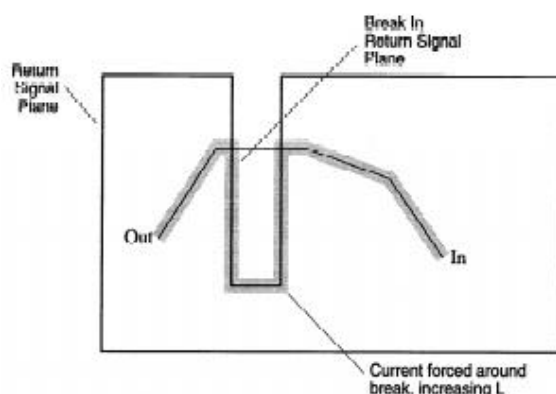


图 11. 电源层的中断导致的环路增加

### 1.3. 布局规则及电源分布考虑

下列的布局规则有助于您利用电源层的优势 ,避免出现失误。

#### a. 注意通孔

电源层的切口容易出现在通孔或者过孔处 ,信号线穿过电路板面并且将元件、连接器与

电路板连接时，肯定会有切口。它们的周围是小的间隙，此处的电源层被蚀刻，以避免信号线路出现短路。如果通孔是闭合的且蚀刻比较大，则可能形成势垒阻挡返回路径，这可能会出现在背板连接器和器件插座上。

例如，VME 背板上的连接器。此连接器有 104 个引脚，通孔可能会阻碍信号的返回，所有的返回信号被迫传送到电路板的边缘，这样不仅加长了环路，而且所有的返回信号都共享相同的边缘，导致了串扰的发生（见图 12）。

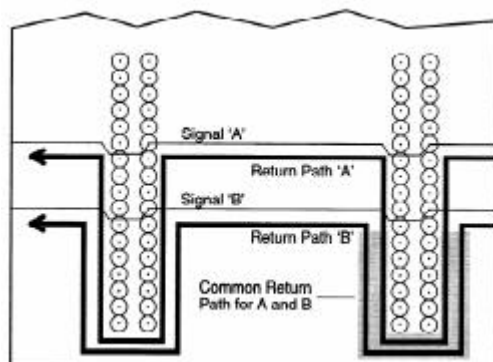


图 12. 由于通孔原因造成信号的返回选择共同的路径

#### b. 充足的地线电缆

引出电路板的电缆也应当考虑电流环路问题。每个信号都应是两线对，一条传送信号，另一条供给返回信号。这两条线应当彼此靠近以减小环路。图 13a 和 13b 示意了较差的配置，而图 13c 示意了正确的配置。

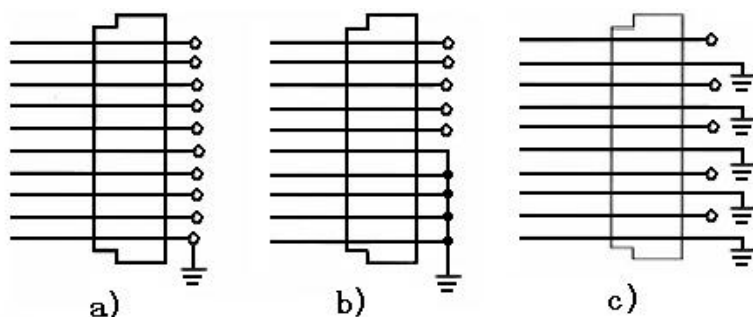


图 13. 连接器的配置：

- a) 地线不足；
- b) 地线充足，但集中的地线会造成较大的电流环路；
- c) 地线平均地分布在信号线路中间

#### c. 模拟电源层与数字电源层的分离

高速模拟器件对数字噪音比较敏感，比如说，放大器可以放大交换噪音，使它更象是尖峰信号，因此在兼具模拟和数字功能的电路板上，电源层通常是分离的，各层在电源处连接在一起，这样会给使用两种类型信号的器件（如 DAC 或者电压比较电路）带来问题。信号线路必须穿过层边界，边界迫使返回路径在返回到驱动器以前先到达电源。

解决方法是在信号经过的地层上放置跳线（见图 14），它可以为返回的信号提供跨越断线的电桥，这样有助于减小电流环路。

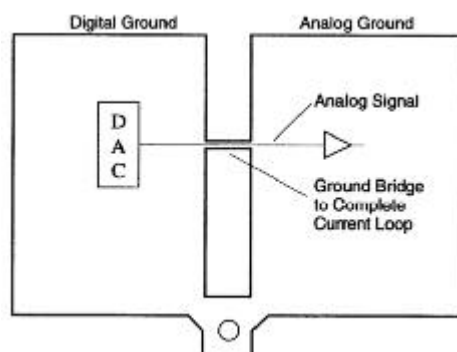


图 14. 为信号返回路径在模拟电源层和数字电源层之间搭接的跳线

d. 避免独立层的重叠

当使用分离的电源层时,务必注意不要将数字电路的电源层和模拟电路的电源层重叠在一起。模拟和数字电源层的分离用于隔离彼此之间的电流,一旦出现电源层的重叠,就将造成电容的耦合,从而失去隔离的作用。

为了确保电源层的分离,可以在电路板的独立层之间进行截割,然后检查暴露的电路板边缘,除非特别设计使线迹或连接跨越边界,否则应当看不到金属的痕迹。

e. 隔离敏感元件

有些器件,比如锁相环路,尤其对噪音干扰非常敏感,它们有较高的隔离要求。

通过蚀刻电源层上器件周围的马蹄形部分,可以获得良好的隔离效果(见图 15)。器件所用的信号都通过马蹄形末端的狭窄间隙进出,电源层上的噪音电流必须经过间隙,这样就不会靠近敏感部件。

采用这种方法时,要确保其它的信号被路由远离隔离区,否则由这些线路生成的噪音信号可能会造成此方法所极力避免的干扰。

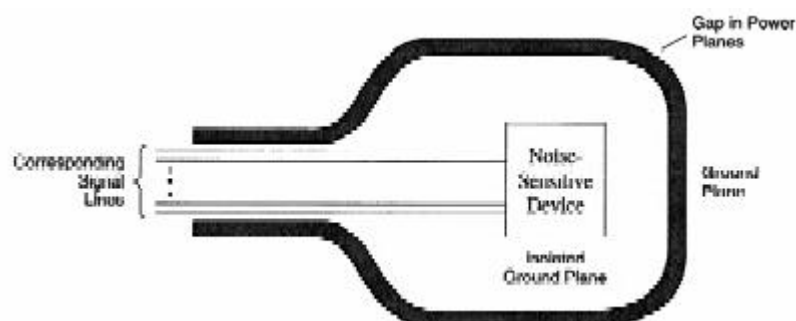


图 15. 噪音敏感元件的隔离

f. 电源总线靠近信号线路放置

有时,设计者不得不使用两层板,使用电源总线来替代电源层。即使遇到这种情况,也可以通过将总线尽可能靠近信号线路放置来控制环路的面积。接地总线会跟着电路板另一面的最敏感信号走(见图 16),信号环路与使用电源层时一样。

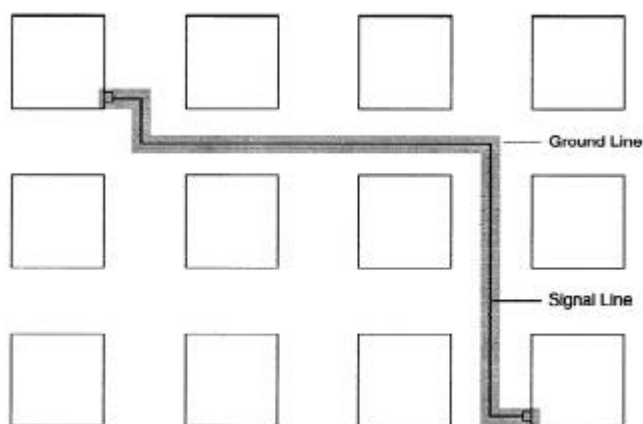


图 16. 为总线式电源分布系统提供最适宜的信号返回路径

## 2. 把信号线当作传输线看待

返回信号选择最小阻抗路径有助于控制信号线路与 AC 接地的关系,而且信号线路保持恒定的阻抗,这类信号线路称为受控阻抗线路,为电路板的信号传输提供了最好的媒介。



当信号延迟远远大于重要的转换时间时，信号线路就必须作为传输线路来看待。传输线路端接不正确，易于产生反射，使信号失真。线路负载端的信号好象在振荡，降低了系统的运行速度（见图 17），还可能导致假同步，破坏系统的功能性。

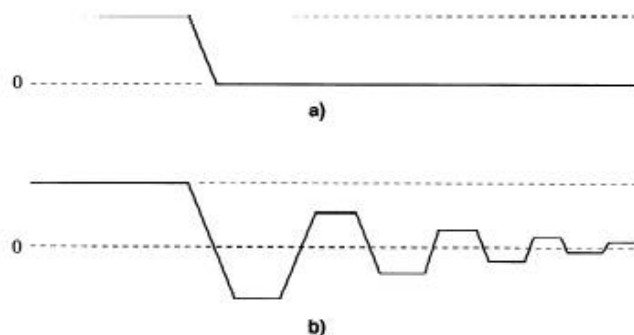


图 17. 信号线路上的反射 a)驱动器；b)负载

图 18 模拟了受控阻抗信号线路，从图上看，电感和电容平均分布在线路上，他们的单位分别是每单位长度亨利和每单位长度法拉。

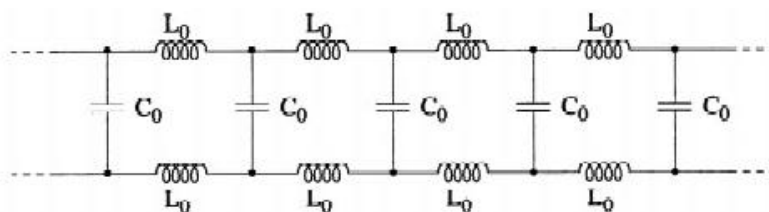


图 18. 传输线路

从图中可以得到两个重要的参数：阻抗（ $Z_0$ ）和传播延迟（ $t_{PD}$ ）。在无损耗的信号线路中， $Z_0$  是 AC 电阻，也就是说  $Z_0$  相对于驱动器是一个纯电阻，单位是欧姆（ $\Omega$ ）。

在下列公式中， $L_0$  表示信号线路电感，单位是亨； $C_0$  表示信号线路电容，单位是法拉。

$$Z_0 = \sqrt{\frac{L_0}{C_0}}$$

传播延迟与  $L_0$  和  $C_0$  有关，单位是每单位长度时间，公式是

$$t_{PD} = \sqrt{L_0 C_0}$$

### 传输线路的类别

对于印刷电路板的设计来说，信号线路只可能有两种类型：带状线和微带（见图 19）。带状线放置在两个电源层之间，由于信号线路得到了屏蔽，因此从理论上讲，这种方法可以提供最清的信号，但线路是隐藏的，因此不易接入信号线路。微带放置在外层，它的一面是地层，易于接入信号线路。

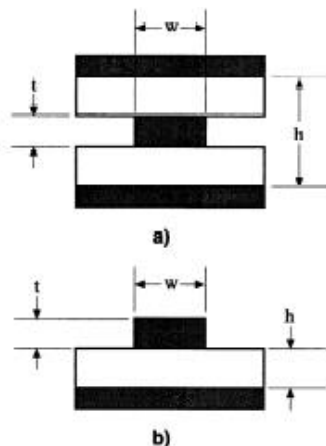


图 19. 电路板的信号线路构成 a)带状线；b)微带

参数  $C_0$ 、 $L_0$ 、 $Z_0$  和  $t_{PD}$  是由信号线路的物理尺寸和电路板材料的电介质属性共同决定的。对于带状线来说，

$$Z_0 = \frac{60}{\sqrt{\epsilon_R}} \ln \frac{4h}{0.67\pi w \left(0.8 + \frac{t}{w}\right)} \Omega$$

$$t_{PD} = 1.017 \sqrt{\epsilon_R} \text{ ns/ft}$$

$$C_0 = 1000 \frac{t_{PD}}{Z_0} \text{ pF/ft}$$

$$L_0 = Z_0^2 C_0 \text{ pH/ft}$$

对于微带来说，

$$Z_0 = \frac{87}{\sqrt{\epsilon_R + 1.41}} \ln \frac{5.98h}{0.8w + t} \Omega$$

$$t_{PD} = 1.017 \sqrt{0.457\epsilon_R + 0.67} \text{ ns/ft}$$

$$C_0 = 1000 \frac{t_{PD}}{Z_0} \text{ pF/ft}$$

$$L_0 = Z_0^2 C_0 \text{ pH/ft}$$

$\epsilon_R$  是电路板材料的相对电介质常数，材料通常采用环氧片状玻璃纤维， $\epsilon_R$  平均值是 5。

#### 实例

对于线迹和电路板的尺寸有某些具体的规定。通常厂商会销售有 1 oz 铜线的电路板，因此金属的厚度约有 1 mil，而线迹的宽度应是 8~15 mil。小于 8 mil 的信号线路较难控制，而大于 15 mil 的信号线路易于产生过大的电容，一般选用 10 mil 值。层的分离取决于所选的电路板厚度和层数，对于此例，30 mil 就比较合适。

依据上面的叙述，可以计算出典型信号线路的相关参数，假设宽度=10 mil，厚度=1 mil，间隔=30 mil， $\epsilon_R=5$ ，则推导出

$$Z_0 = \frac{87}{\sqrt{5 + 1.41}} \ln \frac{5.98 - 0.03}{0.8 - 0.001 + 0.01} W$$

$$= 67.0$$

$$t_{PD} = 1.017 \sqrt{0.456 + 5 + 0.67} \text{ ns/ft}$$

$$= 1.75 \text{ n}$$

$$C_0 = 1000 = \frac{1.75}{67.05} \text{ pF/ft}$$

$$= 26.1 \text{ pF/ft}$$

$$L_0 = 67.05^2 = 26.1 \text{ pF/ft}$$

$$= 117 \text{ pF/ft}$$

### 2.1. 分布式负载的计算

信号线路在线迹的末端有集总负载时（见图 20），采用上面的计算方法。如果信号线路上的负载是分布式的（见图 21），则负载器件的电容也是分布式的，它增大了线路的电容量，这样就改变了信号线路的  $Z_0$  和  $t_{PD}$  参数，新的参数  $C_L$  由基于增加电容的原始值得到，单位是每单位长度法拉：

$$Z_0 = \frac{Z_0}{\sqrt{1 + \frac{C_L}{C_0}}} \Omega$$

$$t_{PD} = t_{PD} \sqrt{1 + \frac{C_L}{C_0}} \text{ ns/ft}$$

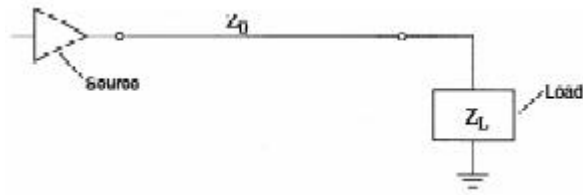


图 20. 带有集总负载的传输线路

分布式负载常见于存储器组中，这类器件的输入电容范围在 4 pF 到 12 pF 之间，下例选用了 5 pF。存储器器件的物理尺寸通常规定为每英寸可放置两个器件，分布式附加电容的计算公式是：

$$C_L = \frac{5 \text{ pF}}{0.5 \text{ in} \cdot \frac{1 \text{ ft}}{12 \text{ in}}}$$

图 21. 带有分布式负载的传输线路

阻抗因分布式负载的存在而大大减小，信号传输也更慢。

$$Z_0 = \frac{67.05 \, \Omega}{\sqrt{1 + \frac{120 \text{ pF/ft}}{26.1 \text{ pF/ft}}}}$$

$$= 28.34 \, \Omega$$

$$t_{PD} = 1.75 \text{ ns/ft} \cdot \sqrt{1 + \frac{120 \text{ pF/ft}}{26.1 \text{ pF/ft}}}$$

$$= 4.14 \text{ ns/ft}$$

## 反射

电源产生的信号能量由  $Z_0$  决定，即使将线路看作为电阻，信号线路也不会耗散能量。如图 20 所示，信号能量是由负载阻抗 ( $Z_L$ ) 耗散的。

电源到负载的最大能量转换要求负载阻抗等于源阻抗。若要将完整的信号转换成  $Z_L$ ，就必须使  $Z_L$  等于  $Z_0$ ，如果两个值不相等，某些信号能量就会耗散，保留下来的将反射回电源，这样源发生器输出就要补偿“新”负载。

负载端信号的波形可以看作是原始产生的信号和由负载反射回的信号的叠加，波形的变化取决于两个因素：一、负载与线路阻抗的失配；二、信号转换时间 ( $t_R$ ) 与线路传播延迟 ( $t$ ) 的比率，即  $t_R/t$ 。如果转换时间大大超过线路的传播延迟，那么只要原始信号发生很小的变化，就会反射回电源。源发生器将补偿“新”负载，并传输几乎没有信号干扰的正确信号，负载端有小小的信号过冲。

如果信号变化之后，线路的传播延迟很长足以反射回电源，那么发生器必须作相应的变化以补偿负载，负载反射新的转换，导致振荡，如图 17 所示。

过冲量通常与信号线路的长度成比例地变化，直到信号线路的延迟等于转换时间。从这点可以看出，过冲可以与原始转换一样多，并双倍于转换变动。

足够长的信号线路同传输线路一样会产生明显的反射,信号线路与传输线路的相似是由容许失真数决定的。经验法则认为原始信号的转换时间小于信号传播延迟的 4 倍时,信号线路作为传输线路看待(见图 22)。即： $t_R/ \tau \leq 4$ 。

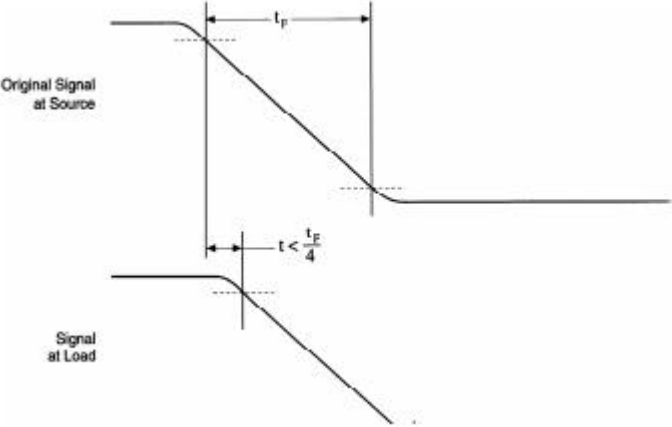


图 22. 原始信号与反射信号之间的最小延迟

更保守的规则是当  $t_R/ \tau$  小于传播延迟的 8 倍时,将信号线路看作传输线路。通常情况下,转换时间相对于信号线路的传播延迟越大,合成的信号就越清洁。

由此可以判断何种长度的微带线路必须作为传输线路。器件的  $t_R$  在 5 ns (尤指采用双极技术的器件) 到 1 ns (尤指较新的双极和 CMOS 器件) 之间变化。表 2 列出了适用于上例的上升时间和相关的信号线路长度。

表 2 实例： $t_R/ \tau = 4$  中  $t_R$  及相关的传输线路长度

$t_R$ ( ns )	线路长度 ( 英寸 )
5	8.6
4	6.9
3	5.1
2	3.4
1	1.7

对于转换时间为 5 ns 的老器件来说,信号线路短于 8.6 的不作为传输线路处理,而对于较新的高速器件来说,即使是两英寸的线路也看作传输线路。实际上,具有高速器件的电路板上的所有信号线路都是传输线路。

如果上例中的传输线路有分布式负载,则必须重新考虑传输线路的最小长度。如图 3 所示, $t_R=5$  ns 时,4 英寸的线路是传输线路,而  $t_R=1$  ns 时,短于 1 英寸的信号线路也是传输线路。

表 3  $t_R/ \tau = 4$  中集总负载和分布式负载的  $t_R$  及相关的传输线路长度

$t_R$ ( ns )	线路长度 ( 英寸 )	
	集总负载	分布式负载
5	8.6	3.6
3	5.1	2.17
2	3.4	1.4
1	1.7	0.75

### 反射的量化

假定信号线路被认定为传输线路，反射信号的大小取决于  $Z_0$  和  $Z_L$  的差值。数字百分比标志或反射的原始信号被叫做反射系数 ( $K_R$ )，公式如下：

$$K_R = \frac{Z_L - Z_0}{Z_L + Z_0}$$

反射回的原始信号的百分比等于  $100 * K_R$ 。

开负载时，

$$K_R = \frac{\infty - Z_0}{\infty + Z_0} = 1$$

短负载时

$$K_R = \frac{0 - Z_0}{0 + Z_0} = -1$$

对于开负载和短负载来说，整个信号的反射没有任何衰减。短负载时的反射系数是个负数，这表示反射的信号是由原始信号转化来的。

对于印刷电路板来说，所期望的失配类型是可以估测的。 $Z_0$  的范围通常在 30 到 150 之间，输入阻抗的范围在 10 kW（双极器件）到 100 kW（CMOS 器件）之间，输出阻抗极低。比如 PALCE16V8 这样的 CMOS PAL 器件有 0.2V 的典型输出低电压，电流是 24mA，电阻大约是 8  $\Omega$ ，输出高阻抗大约是 50  $\Omega$ ，接近于期望的  $Z_0$  值。

下面论述 CMOS 器件作为微带线路的负载时高电压向低电压的转换。

驱动器的输出阻抗 ( $Z_S$ ) 是：

$$Z_S = \frac{V_{OL}}{I_{OL}} = \frac{0.2V}{24mA} = 8.3\Omega$$

从输出的 I/V 曲线可以得出更准确的数据。负载的输入阻抗大于 100k  $\Omega$ ，远远大于  $Z_0$  值 (67  $\Omega$ )，负载的  $K_R$  实际等于 1，而源的  $K_R$  是：

$$K_R = \frac{8.3 - 67}{8.3 + 67} = -0.78$$

驱动器生成的信号在 3.5V 与 0.2V 之间转换，由于驱动器的输出阻抗和  $Z_0$  构成了分压器，因此生成的信号是：

$$\Delta_V = \frac{(0.2V - 3.5V)Z_0}{Z_0 + Z_S} = \frac{(0.2V - 3.5V)50}{50 + 8} = 2.84V$$

源端合成的信号是： $V_S = 3.5V - V = 3.5V - 2.84V = 0.66V$

信号到达负载后， $V_L$  由原来的传输电压降低了 2.84V，反射后又降低 2.84V，初始的  $V_L$  是 3.5V，而现在只有 -2.19V。

一开始， $V_S = 0.66V$ ，反射的信号返回源端。每个源  $K_R$  反射一部分信号， $V_S$  等于原始信号、反射信号与第二次反射信号之和。第二次反射等于： $V_R = -0.78 * -2.84 = 2.21V$ ，

$$V_S = 0.66V - 2.84V + 2.21V = -0.035V$$

第二次反射回负载，当信号达到时， $V_L = -2.19 + 2.21 + 2.21 = 2.24$ ，信号继续以这种方式前后跳动，每跳动一次，电压就变小一次。如图 23 所示，左边和右边的线分别代表源电压和负载电压，成角的线表示传输信号和反射信号的数值。

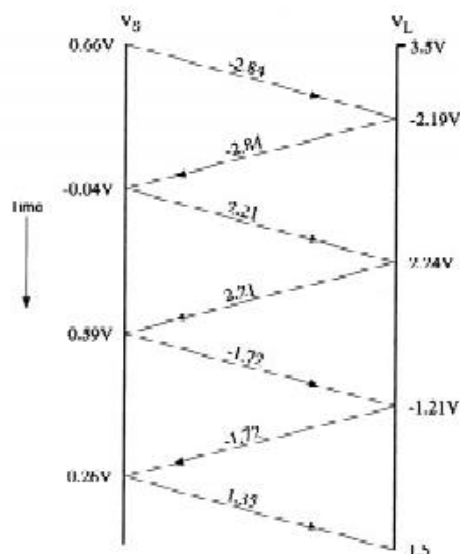


图 23. 反射信号的示意图

图 24 示意了时间域中的相同信息，图的上半部分表示源信号，下半部分表示负载信号。注意，信号强度需要经过五个完整的周期才能降到输入阈值以下。传播延迟通常是 2 ns/ft~5 ns/ft。假设  $t_{PD} = 3$  ns/ft，线直径是 6 英寸，则线路的延迟大约是 1.5 ns。经过最初的转换，延迟 13.5 ns 的信号也是有效的。

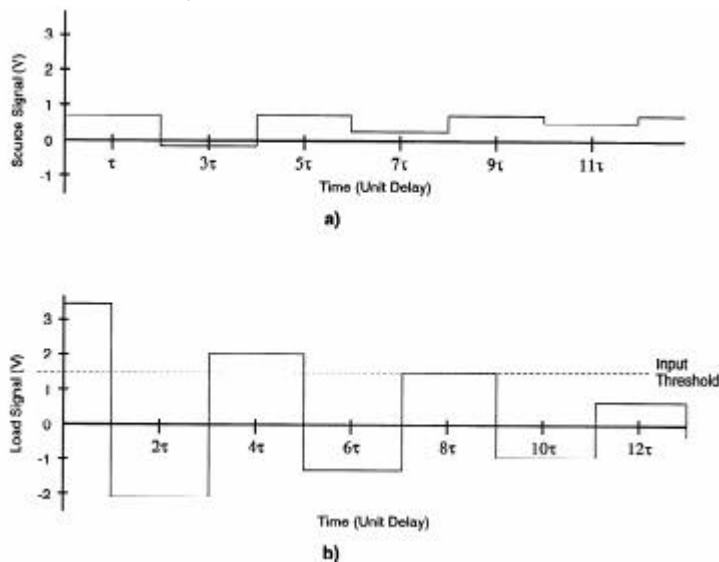


图 24. 反射信号的时间示意图 a)源信号；b)负载信号

## 端接

对于大多数系统来说，上例中的反射数过大，需要采用一种方法来消除或者至少减少反射。当  $Z_L = Z_0$  时，反射可以减少，因此有必要改变  $Z_L$  使之等于  $Z_0$ 。

为了理解这一点，我们来看看 PAL 器件的输入和输出阻抗的特性，输入阻抗较高，双极元件是 10kW，而 CMOS 是 100kW，输出驱动器的阻抗较低。

端接可以采用两种方案来实现：一、使  $Z_L$  降低到  $Z_0$  以消除负载的反射；二、增加  $Z_S$  到  $Z_0$  时以消除源端的二次反射。将电阻与负载并联放置可以降低  $Z_L$  值，这种方法称为并联

端接；将电阻与电源、线路串联放置可以增加  $Z_S$  值，这种方法称为串联端接。

图 25a 是并联端接的例子，由于多数器件的输入电阻非常大，所以  $R_L$  可以等于  $Z_0$ 。

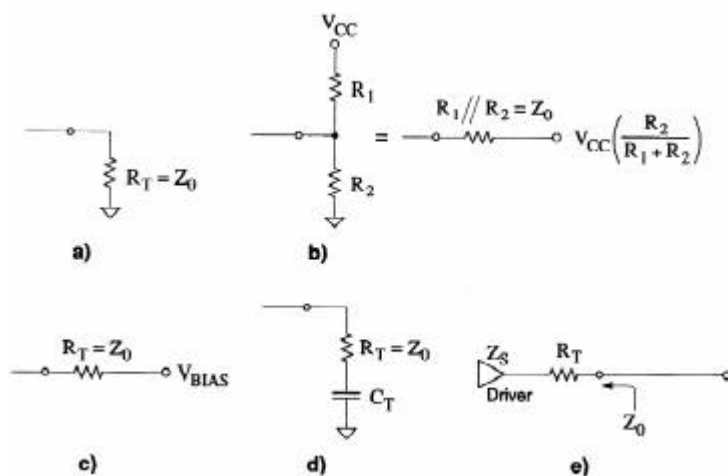


图 25. a) 并联端接；b) 戴维南等量；c) 有源电压；d) 串联电容；e) 串联端接

这种方法有一个缺点：高输出状态时电流消耗大。采用 50  $\Omega$  电阻端接时，电流消耗最大为 48 mA。多数驱动器的  $I_{OH}$  是 3.2 mA，显而易见它高于器件所支持的数值，但仍然保持  $V_{OH}$  值。

由于  $I_{OL}$  通常大于  $I_{OH}$ ，所以端接到  $V_{CC}$  可能对解决这一问题有所帮助。而设计电路板应用时，大多数 CMOS 器件采用的驱动器的  $I_{OL}$  是 24 mA 或更小，低于支持的数值，低阻抗传输线路的  $V_{OL}$  值仍保持不变。

图 25b 中使用了两个电阻，可以大幅度地减小电流，电阻器变成了分压器，戴维南电压是：

$$V_{TH} = \frac{V_{CC} \cdot R_2}{R_1 + R_2}$$

戴维南电阻是：

$$R_{TH} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

尽管这是一种比较好的解决方案，但电阻介于  $V_{CC}$  和地之间，所以电源电流较大。

减小负载的另一种方法是将电阻作为  $V_{OH}$  和  $V_{OL}$  之间正电压的参考（见图 25c）。经过 50-W 电阻时电压由 3V 降到 2.5V 的电流小于 3V 对地的电流，这不会产生任何信号问题，原因是 DC 电压参考就是 AC 接地。然而很难找到端接的电压源，它可以从信宿电流交换成源电流，而且交换速度快得能够响应这种转换。

用电阻和电容串联的 RC 网络替代原始的端接电阻也是一种方法（见图 25d）。电阻等于  $Z_0$ ，电容可以是 100pF 级的，确切是什么值并不重要。电容是 AC 短路，但会阻塞 DC，因此驱动器无法看到  $R_L$  的 DC 负载效果，这种方法叫做 AC 端接。

负载端接的设计用于消除第一次反射，通过将电阻与源串联可以增加  $Z_S$  并使之等于  $Z_0$ （见图 25e）。增加  $Z_S$  时，此电阻使源阻抗等同于  $Z_0$ 。

这种类型的端接在有集总负载时运行状况最好，这是因为由  $Z_S$  和  $Z_0$  组成的分压器会衰减信号（见图 26 a 和 b）。因为  $Z_S + R_L = Z_0$ ，所以分压器将原始的信号一分为二。一半转换会跟踪传输线路，直到到达负载后没有端接就反射，由于反射会造成原始的一半转换翻倍，因此它将带给负载端的信号一个最终值（见图 27a），反射将沿线路返回，完成线路上的转换（见图 27b）。

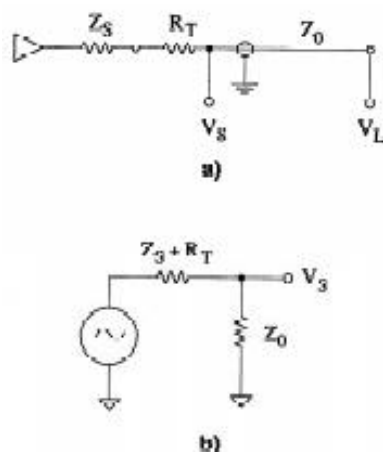


图 26. a) 串联端接；b) 串联端接形成的分压器

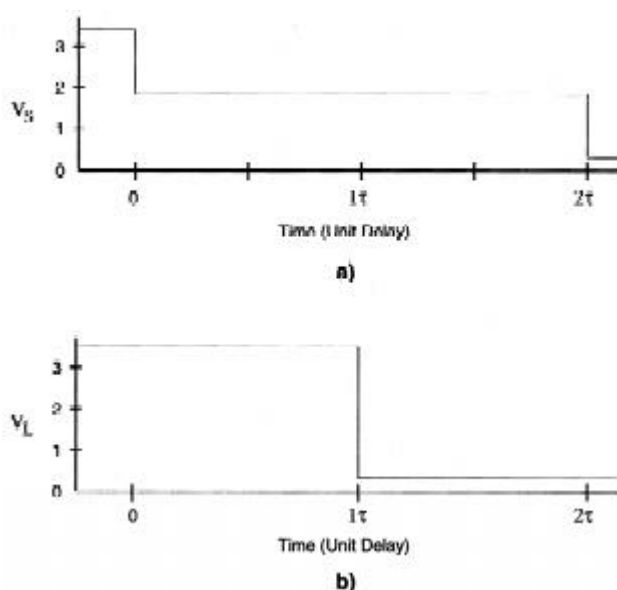


图 27. a) 源端的信号；b) 负载端的信号

通过在末端接的微带上放置串联的端接电阻的例子，可以对上文加以解释。59 （68-9）电阻与驱动器串联放置，对于由低到高的转换来说，源端的信号是：

$$\begin{aligned}\Delta_V &= \frac{(0.2V - 3.5V)Z_0}{Z_S + Z_0 + 59\Omega} \\ &= \frac{(0.2V - 3.5V) - 67\Omega}{8\Omega + 67\Omega + 59\Omega} \\ &= -1.65V \\ V_S &= 3.5V + \Delta_V \\ &= 3.5V - 1.65V \\ &= 1.85V\end{aligned}$$

假如负载是开电路，则反射回-1.65V。当反射信号到达源端时，由于  $R_T$  使  $Z_S$  与  $Z_0$  匹配，所以不会有新的反射。  $V_S = 1.85V - 1.65V = 0.2V$ 。

原始信号到达时，负载端的反射会使  $V_L$  等于 0.2V，而  $V_S$  并不等于 0.2V，除非有反射



信号返回，在此例中是指 3 ns 之后（见图 27）。

对于负载分布在线路上的情况，这可能是一种冒险的方法，线路一端的负载会觉察到有中间电压的存在，除非反射在返回到源端时已清除了负载。此外，直到最靠近驱动器的器件具有有效的输入时，信号才能被认定为有效的，因此增加了返回路程的延迟。最靠近驱动器的器件的输入仅当反射返回时有效，延迟大于上例中指定的值，原因是分布式负载增加的电容减小了  $Z_0$ ，但增加了  $t_{PD}$ 。

尽管有这种缺点，但串联端接在 DRAM 驱动器的应用中非常成功，即使 DRAM 是分布在信号线路上的。选择  $R_T$  可以减小信号花费接近阈值时间的危险以及额外的延迟，因而合成的  $A_S$  略小于  $Z_0$ ，线路的电压摆动越大，电压电平就越接近 VOL，但低于输入阈值。如果线路上端接了一个 20 的电阻，则  $V_S$  变为：

$$\begin{aligned} V_S &= 3.5V + \frac{(0.2V - 3.5V) Z_0}{Z_S + Z_0 + 20\Omega} \\ &= 3.5V + \frac{(0.2V - 3.5V) \cdot 67\Omega}{8\Omega + 67\Omega + 20\Omega} \\ &= 1.17V \end{aligned}$$

因为端接并不是严格的匹配，所以可能会出现振荡。如果振荡在可容许级别范围内，就可能成功地使用端接，设计者必须对折中方法作出决定。另外，大容量的存储器线路经常出现振荡。

由于高输出阻抗与低输出阻抗之间有差异，因此不可能有精确的匹配。TTL 兼容器件的输出阻抗对于高低电平来说是不同的。例如，PALCE16V8 在低电平时阻抗是 8  $\Omega$ ，而在高电平时阻抗是 50  $\Omega$ ，因为没有有一个理想的值同时适合两种情况，所以增加了选择端接电阻的复杂性，因此必须选择一个折中值，获得转换双方都认可的结果。

### 传输线路的布局规则

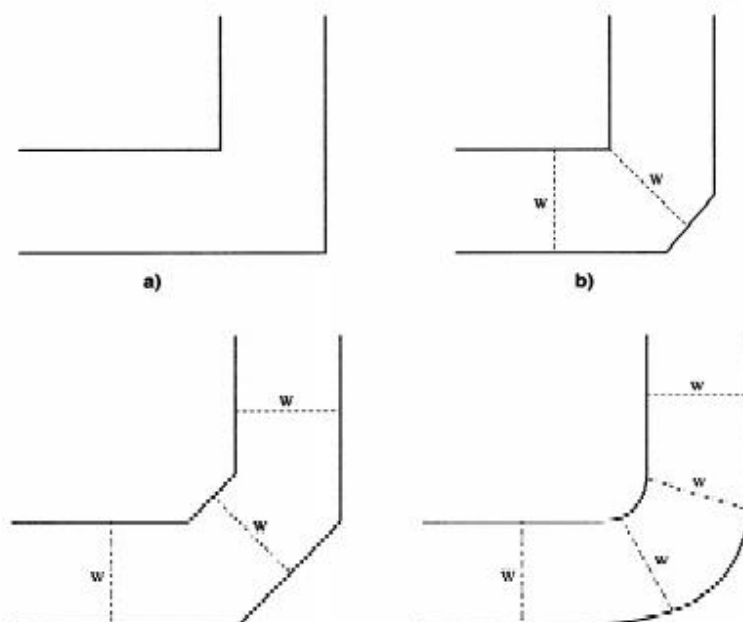
受控阻抗信号线路是电路板上用于信号传送的最好媒介，正确的端接有助于确保适当的无噪音操作，但是无效的布局也可能产生噪音。下面列出的布局规则可以改善电路板的运作。

#### 1. 避免不连续性

不连续性是指信号线路的阻抗突然发生变化，它会造成反射，这里的  $K_R$  公式等效于线路端的公式。因为不连续性可能造成反射，所以应当避免。不连续性可能出现在线迹的明显弯曲处或者电路板的通孔处。

在线迹的弯曲处，截面积增加， $Z_0$  减小。如图 28 所示，通过截割线迹可以补偿弯曲处，得出的对角线等于线迹的宽度，这样使截面积的 delta 值最小，从而使不连续性减到最小限度。两个 45° 弯曲利用了相同的概念，是消除弯曲常用的方法。虽然平滑的圆弧是最

图 28. 减小不连续性 a)PC 板线迹的拐角造成信号的不连续性；b)削平边缘；



c)利用 45° 拐角；d)利用曲线

理想的，但是很多工具都难以生成。

通孔使信号通过电路板传到另一面(见图 29),各层之间金属的垂直运作为未受控阻抗，层数越多，线路上未受控阻抗的总数量就越大，这是导致反射的原因。水平与垂直之间的 90° 弯曲也会出现不连续性而产生反射。如果无法避免通孔，则尽可能地少用它。

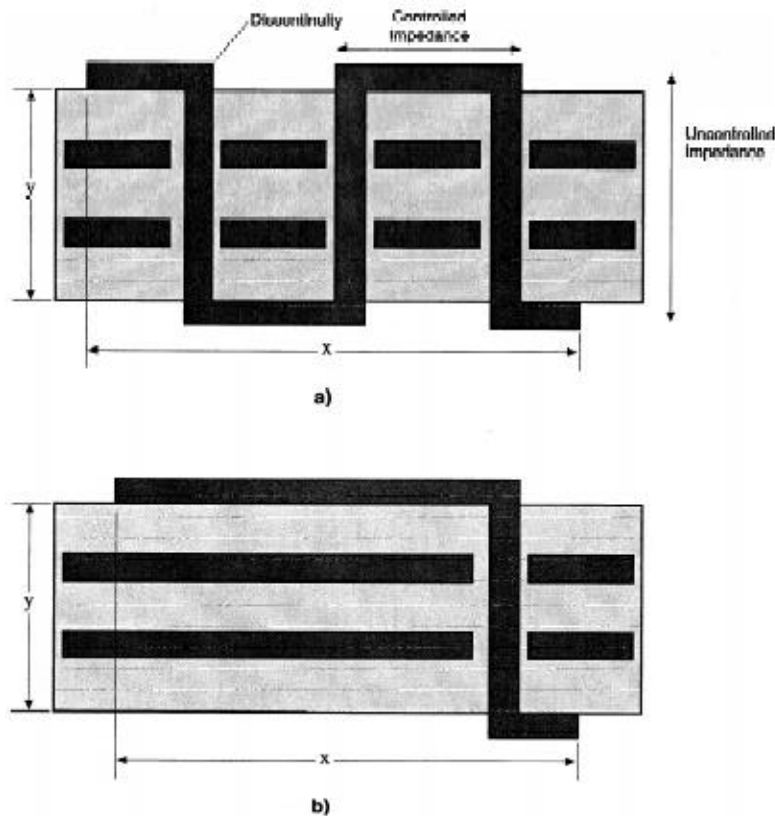


图 29. a) 过多数量的通孔；b) 首选的解决方案

注意，外层向内层（反之亦然）的改变会引起阻抗的变化，这是因为带状线设计变成了微带设计的缘故（反之亦然）。从理论上讲，有可能通过几何图形的变化来补偿并保持阻抗不变，但实际运作中非常困难。如果外部信号保持在外部，而内部信号保持在内部，则可以得出最好的结果。

## 2. 不要使用短线

布局信号线路时，常用的简便方法是在器件上采用短线或端子，类似于图 30a 中的情况。短线和端子可能是噪音源，如果它们足够长，就可以看作传输线路，它们的主线作为源，易受同类型反射的影响。

信号线路应避免使用长的短线和端子。尽管为了解决分布式负载问题，必须降低  $Z_0$  值，但只要短线非常短，就可以使用单一线路，在线路的一端使用单一端接。如图 30a 所示，如果短线过长，则信号线路可能分成两条（见图 30b），两个信号线路都是传输线路，需要进行端接，但最好各自端接每个长短线。

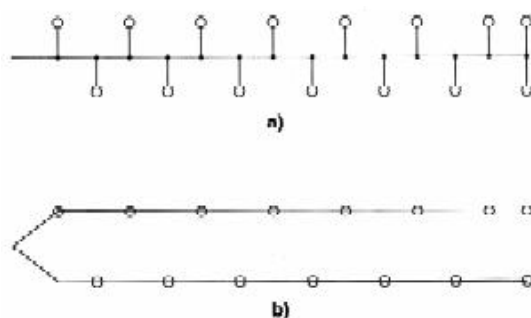


图 30. a)传输线路的短线；b)优选的解决方案

### 3. 串扰

串扰是指线迹之间不必要的信号耦合，它可以是电容性的或者是电感的，依据下列的简单规则可以有效的处理串扰问题。

#### 3.1. 电容串扰

电容性串扰是指信号线路之间的信号电容耦合，当线路以一定的距离彼此靠近时，会出现这种情况。

图 31 示意了电路的两条信号线路，命名为噪音源和噪音接收器。由于两条线路之间有电容的存在，因此源噪音将耦合到接收线路上，发生耦合的形式是电流注入接收线路。在传输线路上，电流能够看到两个方向上的  $Z_0$ ，并可以双向传播，直到经过源和负载时耗散为止，线路上的电压尖峰信号由  $Z_0$  决定。当电流脉冲到达  $Z_S$  和  $Z_L$  时，它将耗散，此时电压与阻抗是成比例的。如果源或负载的阻抗失配，则会出现反射。在未端接的负载情况下，经过  $Z_L$  的电压尖峰信号可能非常强。通过端接负载可以大大地减小下一个器件输入端的电压噪音。

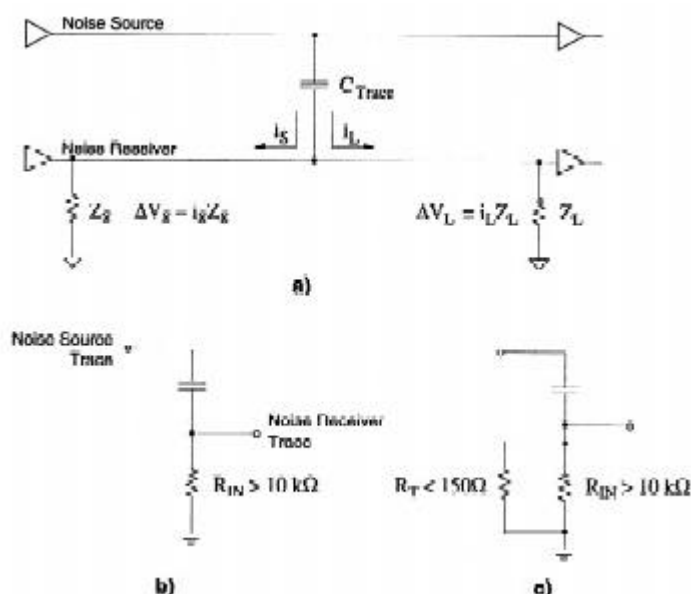


图 31. a)电容串扰；b)等价电路；c)解决方法

电容串扰问题也可以通过分离线迹来解决，信号线迹分开得越远，电容越小，串扰就越少。

电路板的空间限制对信号线路相隔的距离作了规定，如图 32 所示，在相邻的信号线之间放置地线，信号可以耦合到地线，但无法耦合到相邻的信号线。

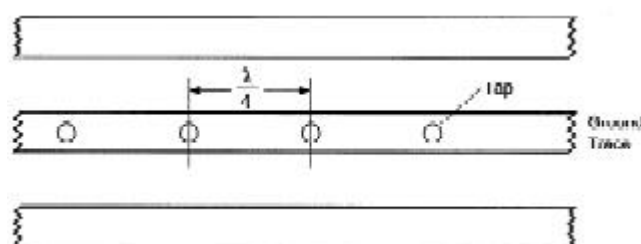


图 32. 采用地线隔离线迹

注意，地线必须是实心的，假如它仅于线迹端的地层连接，则线迹就具有相对高的阻抗。为了能够保证良好的接地，地线应当连接至带有搭线头的地层，搭线头以信号元件最高频率

的 1/4 波长间隔开。

这里波长是指信号在单位时间传送的距离：

$$\begin{aligned}\lambda &= \text{vel. Period} \\ &= \frac{1}{t_{\text{nn}}} = \frac{1}{f_{\text{req}}} \\ f_{\text{MAX}} &= \frac{1}{1.25 \text{ ns} \cdot \pi} \\ &= 255 \text{ MHz}\end{aligned}$$

对于数字信号来说,最高的有效频率谐波通常假定为  $1/t_R$ 。如果  $t_R=1.25 \text{ ns}$  (PAL16R8-4 器件),则元件的较高频率应是:

那么第 2 节例中的分布式负载的延迟就是  $4.14 \text{ ns/ft}$ 。等于  $t_{PD}$  分割的时间段。

### 3.2. 电感串扰

电感的串扰可以看作是不需要的变压器的原线圈和次级线圈之间的信号耦合(见图 33)。变压器的线圈就是电路板或者系统上的电流环路,它可能是由无效的布局造成的人造环路(见图 34a),也可能是信号路径和信号返回路径综合形成的自然环路(见图 34b),人

$$\begin{aligned}\lambda &= \frac{1}{255 \text{ MHz}} = \frac{1}{4.14 \frac{\text{ns}}{\text{ft}}} = \frac{12 \text{ in}}{\text{ft}} \\ &= 11.4 \text{ in} \\ \lambda/4 &= \frac{11.4}{4} \\ &= 2.8 \text{ in}\end{aligned}$$

造环路有时很难定位,但可以消除(见图 34c)。

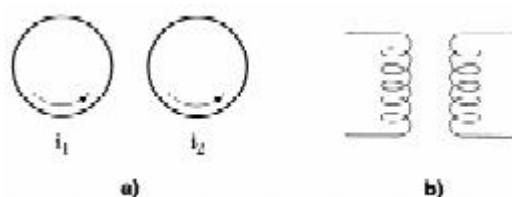


图 33. a)电感串扰; b)变压器等价

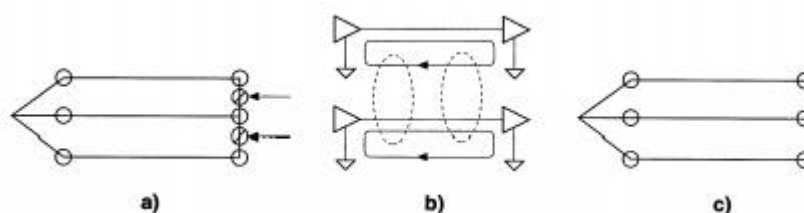


图 34. a)人造环路; b)等价示意; c)解决方案

耦合到负载的不需要信号数量由环路的邻近性和大小,以及负载的阻抗来决定。环路越大且越邻近,转送的能量就越大。负载和次级环路上的信号大小随负载阻抗的增大而增大。

#### 3.2.1. 环路大小与邻近性

环路的电感( $L$ )与环路的大小成正比。如图 33b 所示,当两个环路交互作用时,一个具有初级电感( $L_P$ ),另一个具有次级电感( $L_S$ )。由于信号线路并不是有意设计作为变压器的,所以耦合是不一定的,但可能会对次级环路产生干扰。

假如两个信号线路的部分返回路径重合,那么合成的环路就可能形成自动变压器(见图 35a 和 c),上文论及的 VME 背板就是这样一个例子。若能确保信号

有各自的返回路径，就可以消除串扰源。

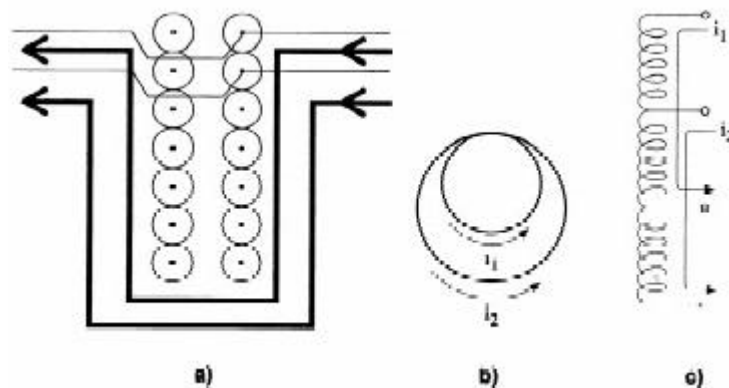


图 35. a)人造环路；b)等价示意；c)解决方法

### 3.2.2. 负载阻抗

如果电感串扰的出现是由人造环路引起的，则可以采用打开环路的方法，但环路的定位常常是一件困难的事。如果自然信号或者返回信号环路产生了串扰，则不能断开环路，只有通过减小负载阻抗的方法，才可以将串扰的影响减少到最小程度。图 36 所示的就是带有负载的次级“自然”环路的简单示意图，图中的  $Z_S$  是次级环路的固有阻抗，注意一下串联电流 ( $i_S$ )，由于阻抗是串联的，因此环路上任何地方的  $i_S$  都是相同的。因为  $i_S$  是一个常数，所以经过最大阻抗的电压降是最大的，在末端接的线路上通常是指线路末端的负载，即：接收器件的输入端。

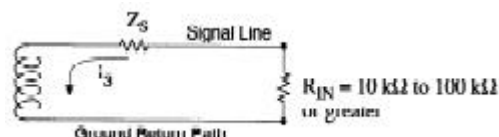


图 36. 串联电感环路

输入端的噪音信号应当是最小的，大的噪音信号是最有害的。如果最大的信号经过最大的阻抗，输入端的信号则可以通过在接收端端接信号线路来减小，从而将  $R_{IN}$  减小到  $R_T$ 。

$R_T$  通常在 30 到 150 范围之内， $R_{IN}$  至少减少了两个数量级，而经过  $R_{IN}$  的电压降也相应地减小。但确切的数值难以预测，这是因为起决定因素的  $Z_S$  本身就很难确定。 $R_{IN}$  数量级的减小应当起重要的作用。

### 3.3. 串扰解决方案总结

下面总结串扰影响的最小化方法：

1. 电容和电感的串扰随负载阻抗的增加而增加，因此所有易受串扰影响的线路都应当端接线路阻抗。
2. 分离信号线路，可以减少信号线路间电容性耦合的能量。
3. 利用地线分离信号线路，可以减少电容的耦合。为了提高有效性，地线应每隔  $\lambda/4$  英寸与地层连接。
4. 为了解决电感的串扰问题，应当尽可能地减小环路的大小，可能情况下，应消除环路。
5. 通过避免信号返回线路共享共同的路径这种情况，也可以减少电感串扰。

## 4. 电磁干扰（EMI）

EMI 对于速度来说至关重要，高速的器件通常更容易受干扰，它们可以察觉快速的低频干扰，而较慢的器件则可以忽视它。即使电路板或者系统不易受影响，美国的 FCC 与欧洲的 VDE、CCITT 等机构也会对电路板可能产生的高频噪音（辐射噪音和线路噪音）作出严格的限制规定。

设计者减小 EMI 的方法有：屏蔽、滤波、消除电流环路，可能时降低器件速度。除了屏蔽方法不在本文讨论范围内，其它的方法将一一说明。

### 4.1. 环路

电流环路是每个设计中不可避免的部分，它们起着天线的作用。最小化环路的作用意味着将环路的数量和天线效应减到最小限度。不要形成人造环路，并保持自然环路尽可能的小。

1. 避免人造环路的方法是确保各信号线路上任意两点之间只有一个路径。
2. 可能情况下采用电源层方案。地层会自动生成最小的自然电流环路。采用地层时，一定要保证信号返回线路路径的通畅。

若要使用电源总线，则应当把快速的信号线布放在电源总线的旁边。

### 4.2. 滤波

滤波一般适用于电源线，也可用在信号线上，但是一般不推荐在信号线上使用滤波，只有在无法消除信号噪音源时，才在信号线上考虑滤波。

滤波有三种选择：旁路电容、EMI 滤波器和磁珠。第一部分已经论述了旁路电容的情况。EMI 滤波器比较通用，它的频率适用范围较广。磁珠是在邻近线路间增加了电感的铁氧体陶瓷，它们用作高频抑制器。

#### 4.2.1. EMI 滤波器

EMI 滤波器这种器件专为衰减高频噪音而设计，最初用于滤波电源线上的噪音，它们可以隔离系统之外的电源（指线路）和系统内的电源（指负载），其作用是双向的，它们滤波进出器件或电路板的噪音。

EMI 滤波器由电感和电容组成。通常采用哪种配置取决于被连接节点的阻抗，电容应当连接到高阻抗节点，电应当连接至低阻抗节点。EMI 滤波器可用于下列配置：联通电容、L 电路、PI 电路和 T 电路。

- ✧ 联通电容的唯一元件就是电容（见图 37a）。当与滤波器连接的阻抗高时，这是一种较好的配置。注意，在这种配置中，节点之间没有高频的电流隔离。
- ✧ L 电路配置中，电容的一边有电感（见图 37b）。当线路和负载的阻抗有很大的差异时，运行状态最佳。电感元件与最低阻抗连接。
- ✧ PI 电路的电感两端各放置了一个电容（见图 37c）。线路和负载阻抗较高，并且需要高级衰减时，PI 滤波器是最佳选择。
- ✧ T 滤波器的电感呈 T 型放置在电容的两边（见图 37d）。当线路和负载阻抗低时，这是首选方案。

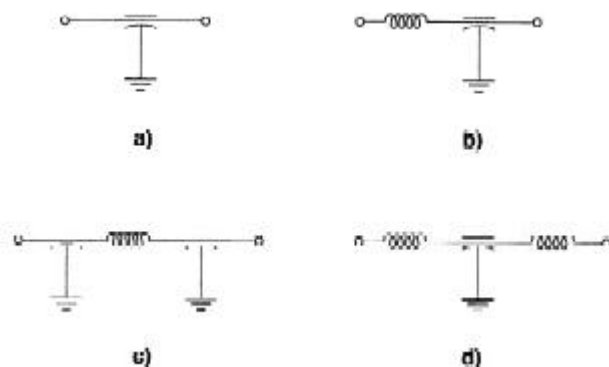


图 37. 线路噪音滤波器 a)电容；b)LC 滤波器；c)PI 滤波器；d)T 滤波器

滤波器的介入导致了信号的丢失，根据介入损耗可以对 LC 滤波器进行评价。介入损耗通常是用分贝来描述的。滤波器厂商提供了超出规定频率范围的滤波器图表。

#### 4.2.2. 铁氧体噪音抑制器

铁氧体噪音抑制器是邻近传导材料放置的铁氧体陶瓷，它对于单线可以作为磁珠，对于多芯导线可以作为箝位电路。用作磁珠时，电线穿过磁珠孔（见图 38a），而用作箝位电路时，铁氧体材料夹住电缆（见图 38b），通常使用的电缆是扁平电缆。

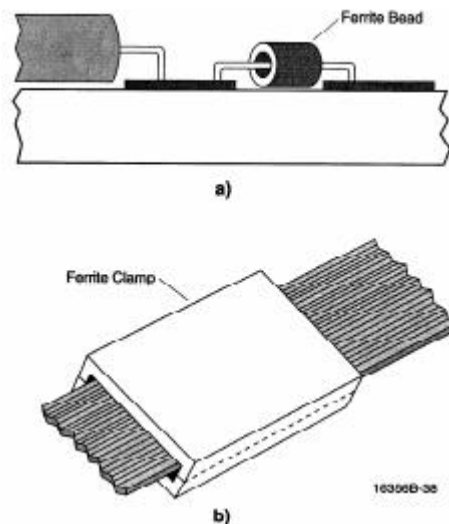


图 38. a)磁珠；b)铁氧体箝位电路

线路上串联电感可以使铁氧体抑制器正常工作（见图 39）。铁氧体厂商提供的图表类似于图 40，说明阻抗的增加影响着频率的变化。作为系统设计者必须能够确定介入损耗。

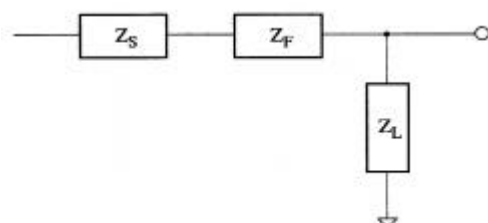


图 39. 铁氧体滤波器的等价电路

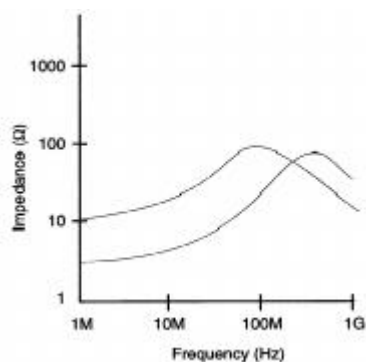


图 40. 铁氧体滤波器的频率响应

公式是：

$$\text{loss (db)} = 20 \text{ LOG}_{10} \frac{Z_S + Z_L + Z_F}{Z_S + Z_L}$$

这里的  $Z_S$  是源阻抗， $Z_L$  是负载阻抗， $Z_F$  是铁氧体阻抗。

铁氧体抑制器虽然增加了线路的电感，但没有增加 DC 电阻，这是器件 VCC 引脚的线路噪音抑制器的理想选择。

因为磁珠体积小，易于管理，所以在信号线路上使用可以抑制高频的噪音信号。不建议使用有两个原因：一、容易掩盖问题的起因；二、可能会影响信号的边缘速率。然而在电路板布局之后，嘈杂的信号线路上使用磁珠也是可以的。

#### 4.3. 器件速度

器件在给定的频率范围内能量越小，可以辐射的噪声就越小。根据定义，较快器件的转换时间较短。因为较短转换时间在高频范围内产生的能量较多，所以较快的器件会产生更多的高频噪音。

图 41a 是方形波傅立叶变化的外形。 $1/t_L$ （频率由信号周期决定）和  $1/t_f$ （频率由信号的转换时间决定，此频率可用于确定电容耦合部分讨论的波长）是两个关键的转折点。曲线经过  $1/t_f$  之后急速下降。在实际的应用中， $1/t_f$  是信号的最高有效频率。

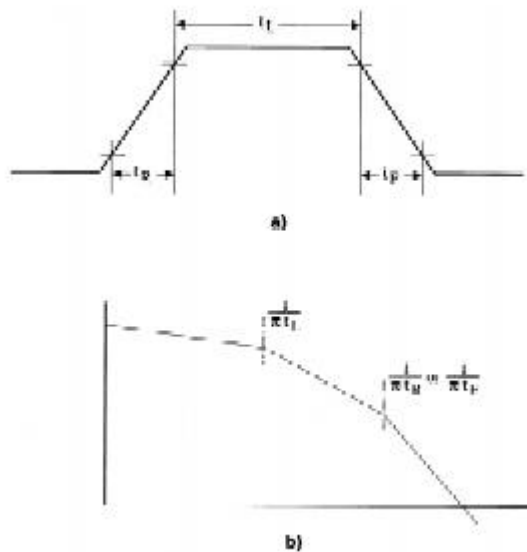


图 41. a)单个脉冲；b)脉冲的傅立叶变化

例如，PAL16R8-4 系列的转换时间一般是 2 ns，它也可以是 1.25 ns，这样边缘频率应是：

$$f = \frac{1}{\pi \cdot 1.25 \text{ ns}} = 254 \text{ MHz}$$

不论时钟频率如何，输出信号的高频部分是 254MHz。因此，为了符合调整机构规定的 EMI 发射限制，电路板需要进行额外的滤波和屏蔽。

如果系统速度要求相当高（比如，时钟速率超过 80MHz），则必须使用快速器件。如果慢速器件可以满足系统的要求，也可以使用。慢速器件具有转换时间较长的优点，因此高频时生成的能量少。总的来说，尽量使用满足系统要求的快速器件，但不必过快。

## 5. 总结

快速技术为快速系统提供了理论上的可能性，但这种可能性必须转变成现实。最大噪音可以通过下列方法消除：

- ✧ 电源和接地的完整性和稳定性；
- ✧ 传输线路的端接和精心布局用以消除反射；



- ✧ 端接和精心布局用以减小电容串扰和电感串扰的影响；
- ✧ 符合辐射规定的噪音抑制。