

高速数字设计和信号完整性分析

——电源分布系统设计

电源分布系统设计

- 基本概念
- 设计目标
- 一般设计规则
- 多层板叠层结构
- 电流回路
- 去耦电容及其应用
- 噪声抑制

基本概念

- 电源分布系统

Power Distribution System (PDS)

- 当电源、地层之间存在足够的去耦电容后，其交流阻抗极小，交流信号可以在任何一层上传输。换言之，对于交流信号而言，电源、地层是没有区别的，可以统称为平面（Plane）
- 平面（Plane）为电流回路提供最低阻抗回路
- PDS阻抗

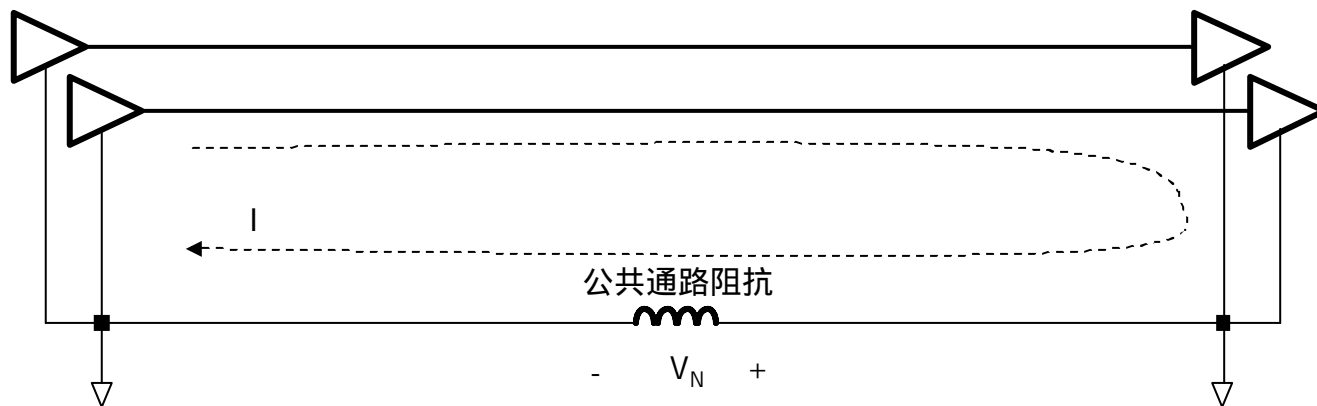
$$Z_{PDS} = \frac{\text{电源电压} \times \text{允许电压波动的比率（百分数）} \div 100}{\text{需要的电流}}$$

设计目标

- 为数字信号提供稳定的电压参考
- 为逻辑电路正常工作提供电源

为数字信号提供稳定的电压参考

- 为逻辑电路提供低阻抗的接地连接
- 为逻辑电路提供低阻抗的电源连接
- 为电源和地提供低交流阻抗的通路



为数字电路正常工作提供电源

- 公共通路阻抗将产生电源和地电位差
 - $X_{PSW} = ESR + 2\pi f \times ESL$
 - ESR —— 电源分布系统寄生电阻。低频或直流情况下，是造成电源电位差的主要原因。
 - ESL —— 电源分布系统寄生电感。高频情况下，交变电流将在寄生电感上产生电源电位差，其幅度远大于寄生电阻的影响。

电源分布系统寄生电感

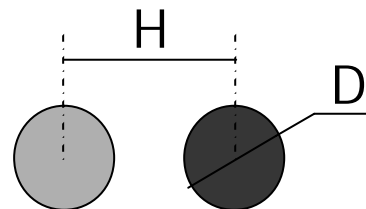
■ 两条平行的电源和地圆导线

$$L_{PDS} = 10.16 \times X \times \ln\left(\frac{2H}{D}\right) \text{ nH}$$

X — 电源分布线长度, in

H — 电源分布线平均间距, in

D — 电源分布线直径, in



■ 多层平行堆叠的扁平带状的电源和地线

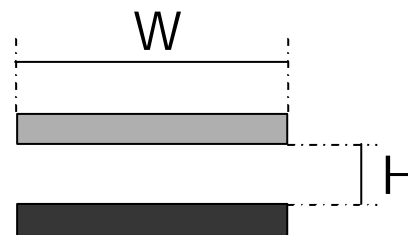
$$L_{PDS} = 31.9 \times \frac{X \times H}{W(N-1)} \text{ nH}$$

X — 电源分布线长度, in

H — 电源分布线平均间距, in

W — 电源分布线宽度, in

N — 电源和地层层数



N=2

一般设计规则（1）

- PDS必须为电路正常工作提供稳定的、无噪声的电压和电流
- 为数字信号提供稳定的电压参考
- 对于每一个电路来说，PDS应当被视为独立的、相互隔离的，以保证噪声不能通过PDS耦合到其他电路
- 电源、地平面（线）之间应具有尽可能小的交流阻抗
- PDS必须为信号提供无干扰的回流通路
- 电源、地平面应同时具备空间电场的屏蔽作用

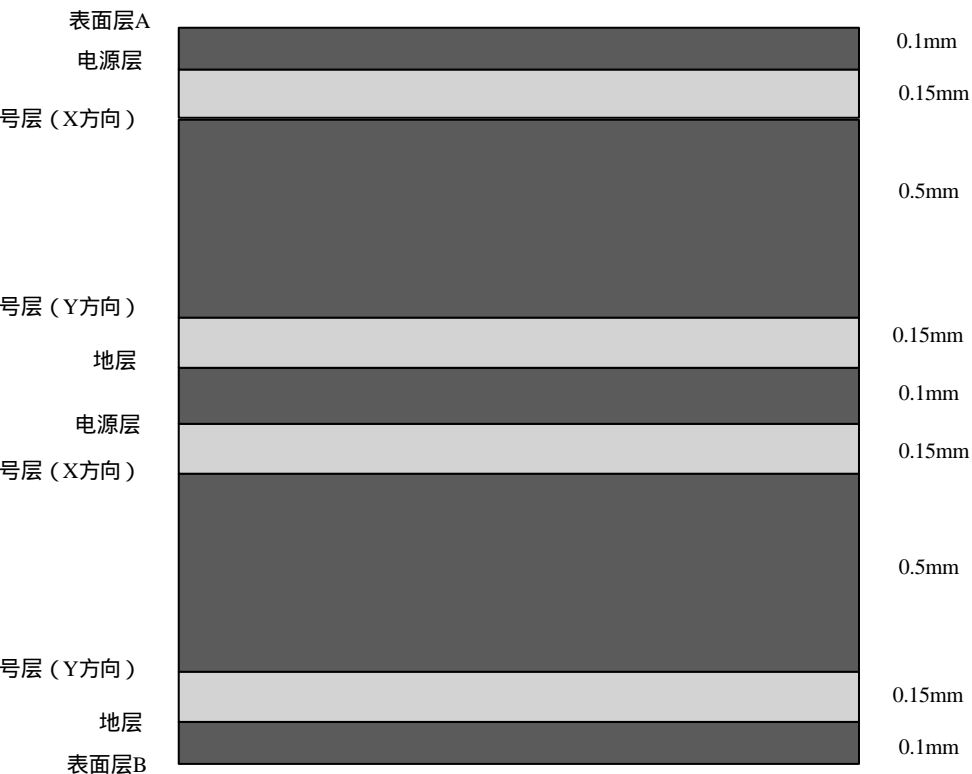
一般设计规则（2）

- 尽可能采用平面设计，或保持电源和地线尽可能短和宽，避免“梳状”地线
- “背靠背”的电源和地层设计，具有最小的PDS阻抗，并具备高频去耦作用，能有效抑制高频噪声
- 配置足够的、均匀分布的去耦电容
- 在数模混合设计中，应为数字电路和模拟电路分别提供独立的PDS
- 大量的不同逻辑电平、不同噪声容限的电路（如TTL、ECL等）在混合设计中，应为它们分别提供独立的PDS
- 不同的电源、地层应相对隔离，不直接叠压

多层板的叠层结构

- 叠层结构的设计主要考虑以下因素
 - 稳定、低噪声、低交流阻抗的PDS
 - 传输线结构要求
 - 传输线特性阻抗要求
 - 串扰噪声抑制
 - 空间电磁干扰的吸收和屏蔽
 - 结构对称，防止变形
- 在高速数字设计中的一般规则是
 - 电源层数 + 地层数 = 信号层数
 - 电源层和地层尽可能成对设计，并至少有一对是“背靠背”设计
 - 采用带状线结构，关键信号传输应采用对称带状线

多层板的叠层实例



电流回路（1）

■ 基本概念

所有电流必须有流回源的回路。该回路的产生会自动寻找最小阻抗的路径。通常在具有电源/地层平面的PCB结构中，会直接在信号线下方的平面上（电源或地）。该回流信号（电流）与原信号（电流）幅度相同、方向相反。

$$i(D) = \frac{I_0}{p \times H} \times \frac{1}{1 + (D / H)^2}$$

I_0 — 信号总电流，A

H — 信号线到参考平面的距离，m

D — 观测点到信号线中心的垂直距离，m

$i(D)$ — 观测点的回流电流密度，A/in

电流回路（2）

■ 环路面积

信号和回流信号通路构成了一个闭合回路。随着环路面积的增大，将产生更多的差模辐射噪声，且更易于受外界干扰的影响。

$$E = \frac{2.6 \times (A \times I_L \times f^2)}{R} \mu\text{V/m}$$

A — 环路面积， cm^2

I_L — 环路电流，A

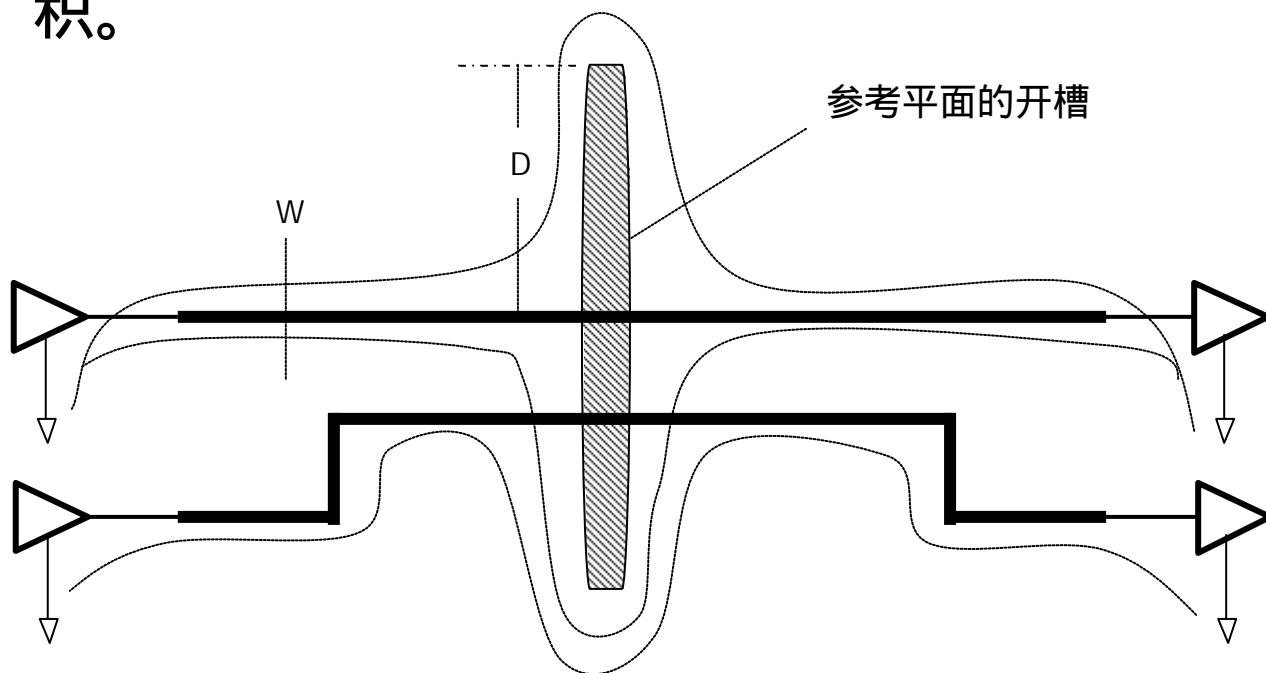
f — 频率，MHz

R — 观测点到电场中心的距离，m

电流回路（3）

■ 参考平面的开槽

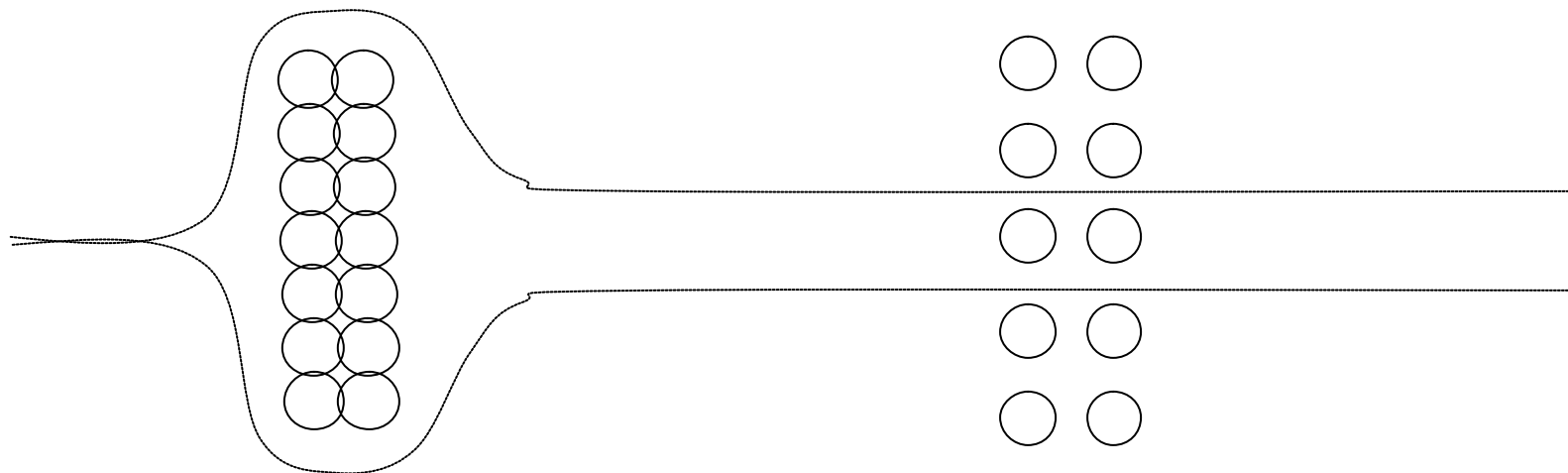
不适当的参考平面的开槽，将增加信号的环路面积。



电流回路（4）

■ 连接器的隔离盘

连接器在参考平面上不适当的隔离盘，将增加信号的环路面积。



电流回路（5）

- 信号环路面积增加，将产生额外的感抗，减慢信号边沿速率，并在临近信号线上产生互感串扰。
- 图3中：

$$L = 5 D \ln\left(\frac{D}{W}\right) \text{ nH}$$

$$T_{10-90\ L/R} = 2.2 \times \frac{L}{2 \times Z_0}$$

$$T_r = \sqrt{(T_{10-90\ L/R})^2 + (T_{10-90})^2} \quad (\text{长线})$$

$$T_r = 3.4 \times \sqrt{L \times C} \quad (\text{短线})$$

$$V_{crosstalk} = \frac{\Delta V \times L}{T_r \times Z_0} \quad (\text{长线})$$

$$V_{crosstalk} = \frac{1.52 \times \Delta V \times C \times L}{(T_r)^2} \quad (\text{短线})$$

去耦电容及其应用

- 去耦电容
- 低频大容量电容（bulk）
- 高频去耦电容
- 多层陶瓷片式电容的材料选择
- 表面贴装电容的布局和布线
- 多层PCB中的平面电容
- 埋入式电容

去耦电容

- 去耦作用

消除高频开关电路产生的RF能量，为电路提供一个低阻抗本地直流源

- 完成去耦作用的前提，是保证在电源分布系统具有较低的交流阻抗

低频大容量电容（bulk）

- 在所有的信号管脚开关同时处于最大的容性负载条件时，提供稳定的直流电压、电流
- 通常选用大容量钽电容，电压额定值一般为电路额定工作电压的5倍
- 放置位置
 - 时钟电路附近
 - 输入/输出连接处
 - 大功耗电路附近
 - 远离电源馈入点的位置

低频大容量电容的选择步骤

- 计算电路的最大交变电流 (I)
- 给出电路所允许的最大电源电位差噪声 (V)
- 计算电路所允许的最大 $X_{MAX} = V / I$
- 给出电源、地分布线的寄生电感 L_{PSW}
- 计算电源、地分布线的最高响应频率 F_{PSW}

$$F_{PSW} = \frac{X_{MAX}}{2 \times p \times L_{PSW}}$$

- 计算去耦所需要最小电容值 C_{bypass}

$$C_{bypass} = \frac{1}{2 \times p \times F_{PSW} \times X_{MAX}}$$

- 根据去耦电容的引脚电感 L_C , 计算其最高响应频率 F_{bypass}

$$F_{bypass} = \frac{X_{MAX}}{2 \times p \times L_C}$$

低频大容量电容的选择实例

- 某5V CMOS电路板有100个门，分别驱动10pF负载，边沿时间为5ns。电源分布线的电感为100nH

$$\Delta I = NC \frac{\Delta V}{\Delta t} = 100 \times 10pF \times \frac{5V}{5ns} = 1A$$

$$\Delta V = 0.100V$$

$$X_{MAX} = \frac{\Delta V}{\Delta I} = 0.1\Omega$$

$$L_{PSW} = 100nH$$

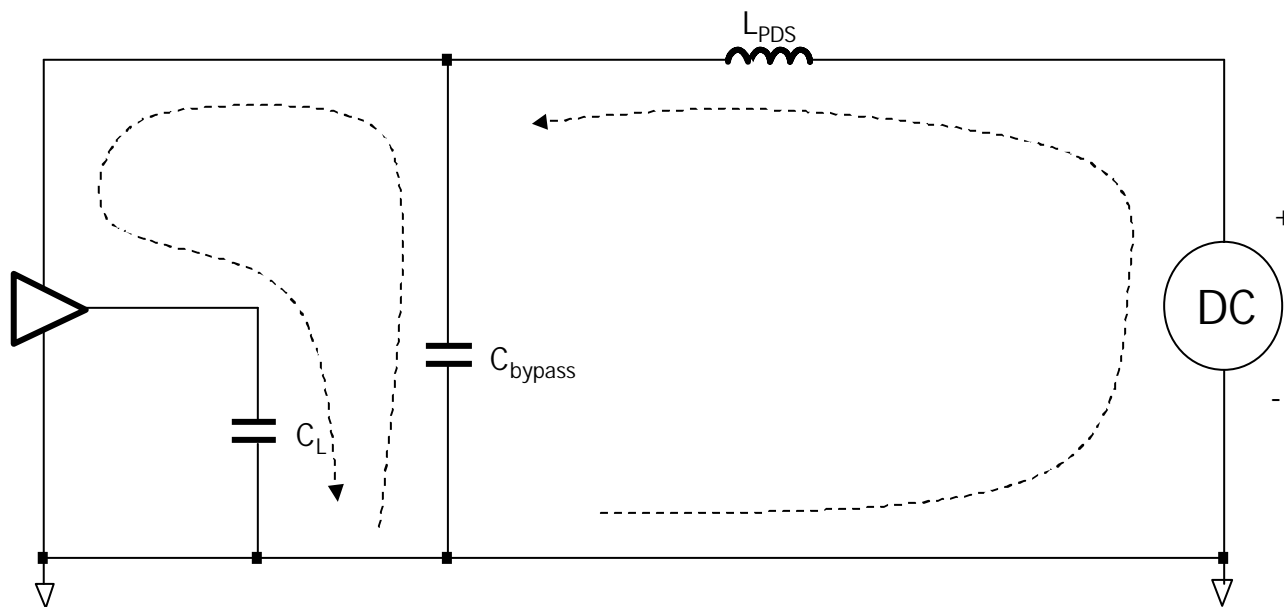
$$F_{PSW} = \frac{X_{MAX}}{2pL_{PSW}} = 159KHz$$

$$C_{bypass} = \frac{1}{2pF_{PSW} X_{MAX}} = 10mF$$

设电容引脚电感 $L_C = 5nH$ ，则 $F_{bypass} = \frac{X_{MAX}}{2pL_C} = 3.18MHz$

高频去耦电容

- 高频去耦电容为电路提供本地的低阻抗直流源



- 高频去耦电容的阻抗必须小于 X_{PSW}

选择高频去耦电容的一般原则

- 自谐振频率 $>$ 需抑制的时钟谐波频率
- 提供电路瞬态工作能量

高频去耦电容的选择步骤

- 计算系统在高频下正常工作所能允许的电感 L_{tot}

$$L_{tot} = \frac{X_{MAX}}{2 \times p \times F_{knee}} = \frac{X_{MAX} T_r}{p}$$

- 给出电容的引脚电感 L_C
- 计算并联电容的数目 N

$$N = \frac{L_C}{L_{tot}}$$

- 计算并联电容值 $C_{Parallel}$

$$C_{parallel} = \frac{1}{2 \times p \times F_{bypass} \times X_{MAX}}$$

- 计算每一个电容的值 $C_{element}$

$$C_{element} = \frac{C_{parallel}}{N}$$

高频去耦电容的选择实例

- 某5V CMOS电路板有100个门，分别驱动10pF负载，边沿时间为5ns。电源分布线的电感为100nH。设电容引脚电感 $L_C=5\text{nH}$ 。

$$T_r = 5\text{ns} \quad X_{MAX} = 0.1\Omega \quad F_{bypass} = 3.18\text{MHz}$$

$$L_{tot} = \frac{X_{MAX} \times T_r}{p} = 0.159\text{nH}$$

$$N = \frac{L_C}{L_{tot}} = 32$$

$$C_{parallel} = \frac{1}{2 \times p \times F_{bypass} \times X_{MAX}} = 0.5\text{mF}$$

$$C_{element} = \frac{C_{parallel}}{N} = 0.016\text{mF}$$

多层陶瓷片式电容的材料选择

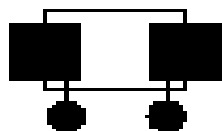
- 通常使用的材料有三种
 - NP0
 - X7R
 - Z5U
- X7R是去耦应用的最佳选择
 - 介电常数介于NP0和Z5U之间
 - 相对于Z5U，具有较好的温度和电压系数
 - 相对于NP0，具有较高的ESR和较差的温度和电压系数
 - 相同的封装下，电容值的范围比NP0宽

表面贴装电容的布局 and 布线

- 不同的布局，产生的寄生电感的数值相差很大



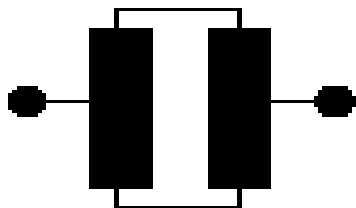
$L_{CAP}=1\text{ nH.}$
 $L_{TOTAL}=4.5\text{ nH.}$



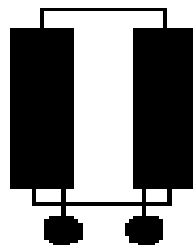
$L_{CAP}=1\text{ nH.}$
 $L_{TOTAL}=3\text{ nH.}$



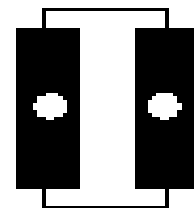
$L_{CAP}=1\text{ nH.}$
 $L_{TOTAL}=2\text{ nH.}$



$L_{CAP}=0.4\text{ nH.}$
 $L_{TOTAL}=3.9\text{ nH.}$



$L_{CAP}=0.4\text{ nH.}$
 $L_{TOTAL}=2.4\text{ nH.}$

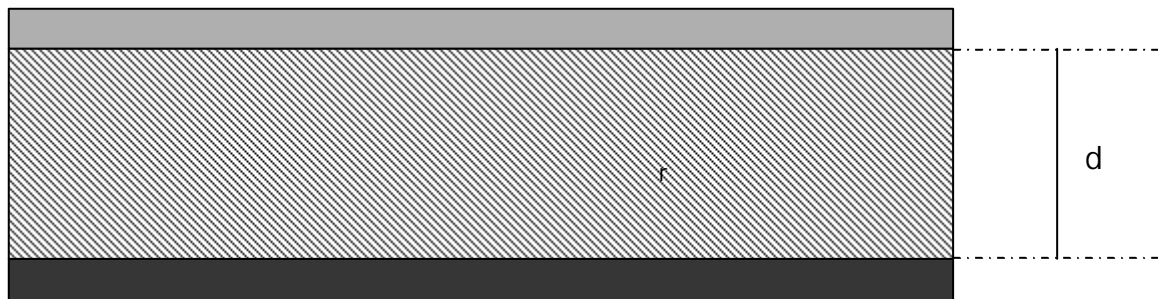


$L_{CAP}=0.4\text{ nH.}$
 $L_{TOTAL}=1.2\text{ nH.}$

- 应采用较大的过孔
- 电容焊盘到过孔的引线应尽可能短和宽

多层PCB中的平面电容

- 多层PCB中直接相邻（“背靠背”）的电源和地平面构成了一个具有最小交流阻抗的平面电容



$$C_{plane} = \frac{0.225 \times \epsilon_r \times A}{d} \quad \text{pF}$$

A — 平面重叠面积，in²

d — 间隔距离，in

ϵ_r — 绝缘介质的介电常数

例如：当采用FR-4材料

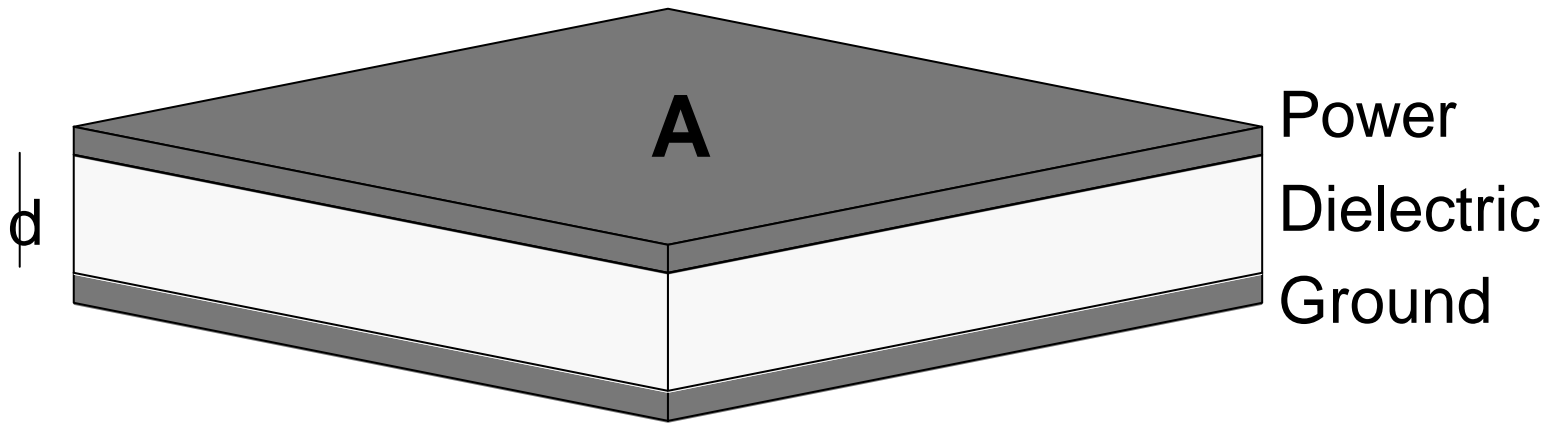
($\epsilon_r = 4.5$)，

d = 0.01 in 时，

$C_{plane} = 100 \text{ pF/in}^2$

- 平面电容具有最好的高频特性

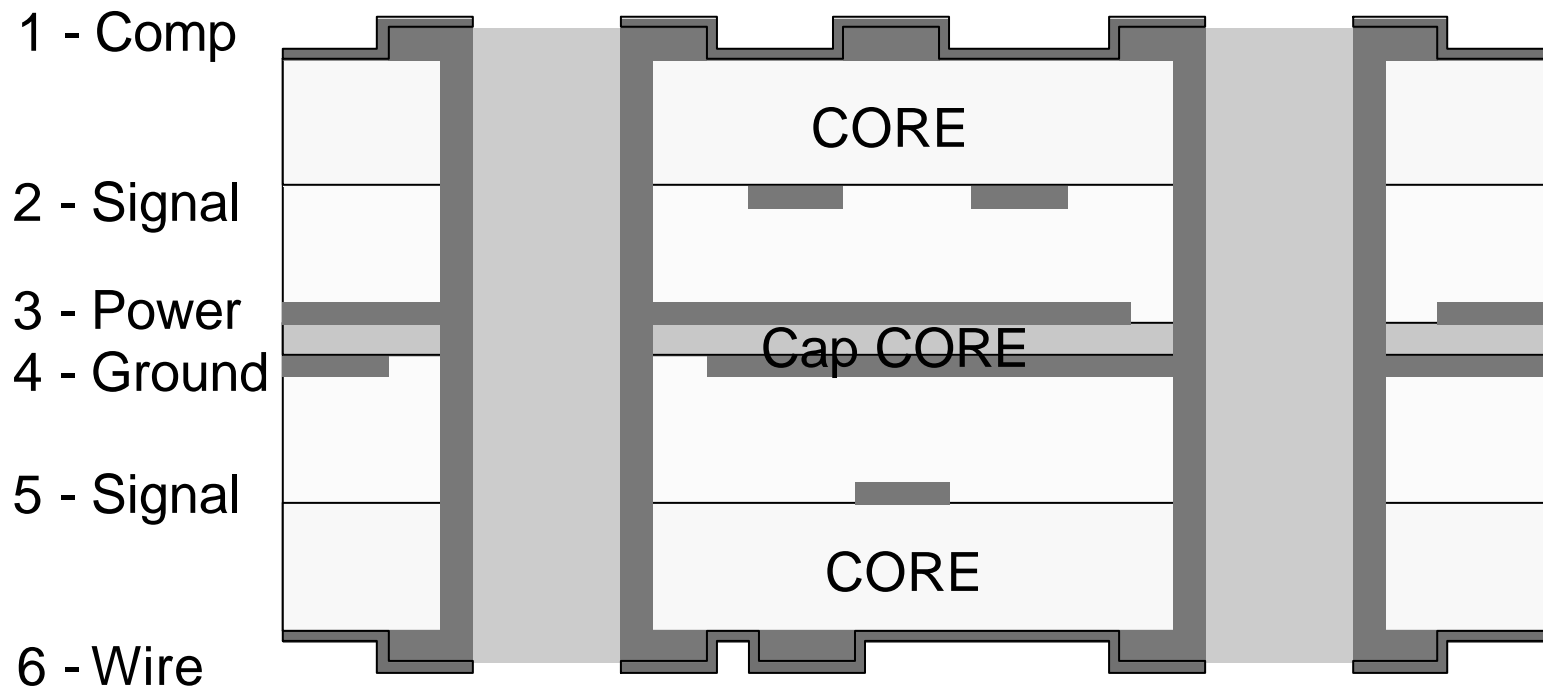
埋入式电容原理



$$C = \frac{0.225 \times A \times}{r \times d}$$

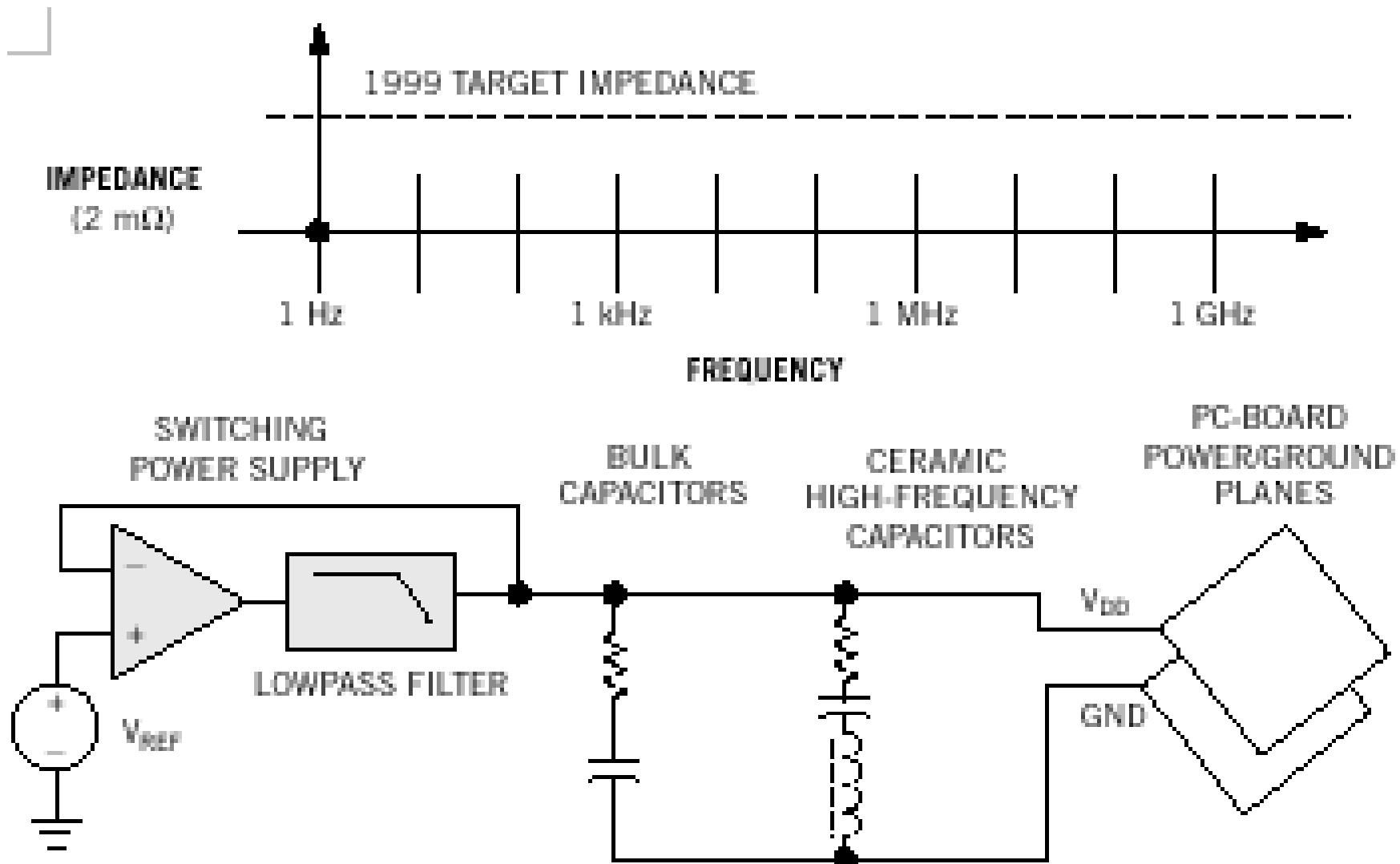
若 $r = 90$, 则 $C = 5\text{nf/in}^2$

埋入式电容设计



6 Layer / 3 Core Construction

高速数字设计中典型的PDS

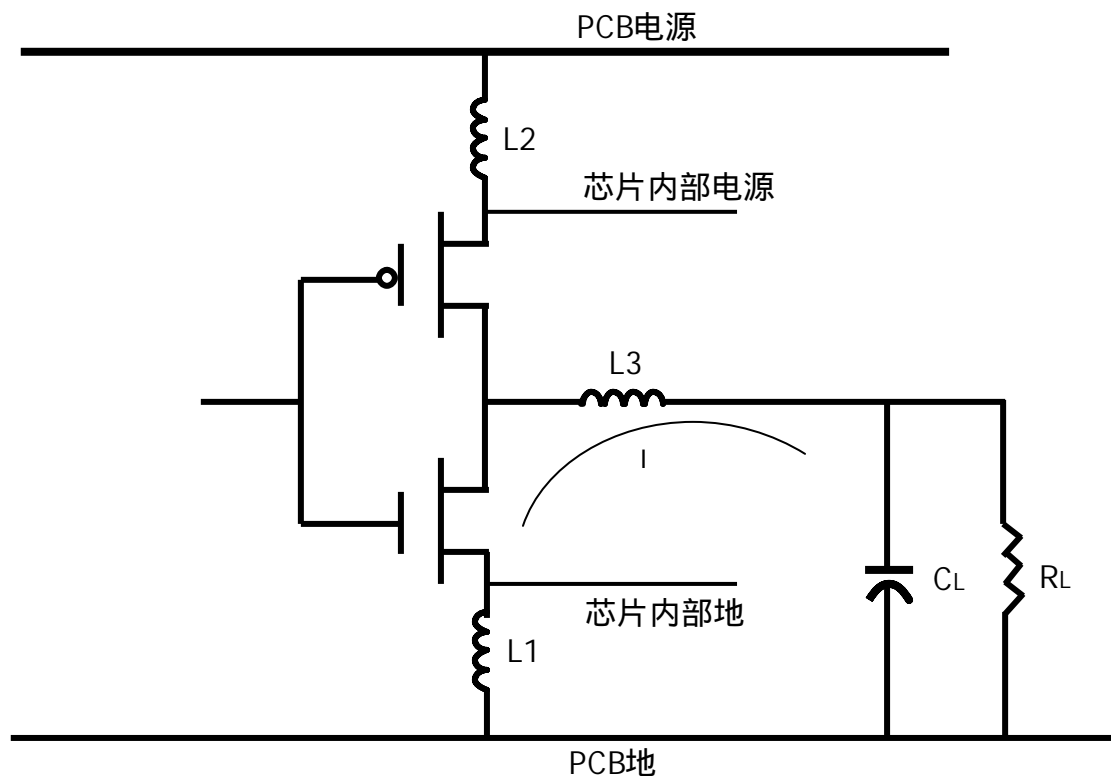


噪声抑制

- 系统电源变化
- 系统电源的电位差
- 系统逻辑地的电位差
- 地电平抖动

地电平抖动 (1)

- 地电平抖动——Ground Bounce (GB)
- GB的起因

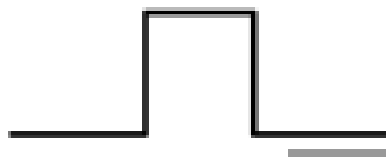


地电平抖动 (2)

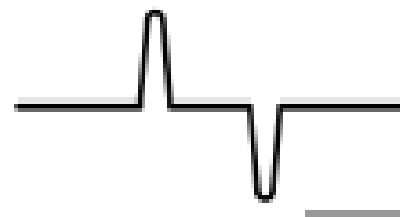
■ GB现象



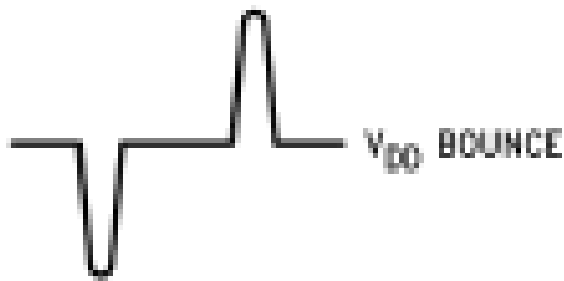
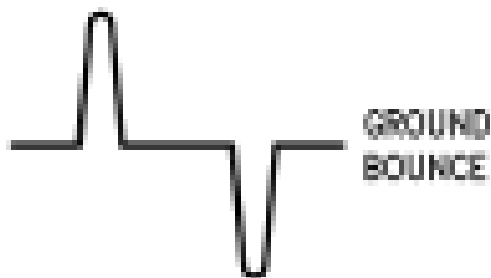
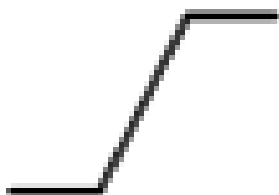
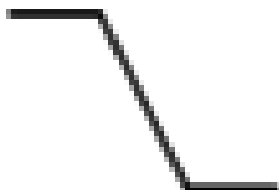
b. Output Voltage (V)



c. $I = -C_L \cdot (dV/dt)$



d. $V_{GB} = L \cdot (dI/dt)$



地电平抖动（3）

- 抑制GB的一般方法
 - 采用较小的封装形式
 - 采用适当的电源、地针数目和合理布局
 - 减小输出电压摆幅
 - 限制同时同相转换状态的输出单元数目
 - 增加传输线的特性阻抗
 - 减少容性负载
 - 在输出端串接阻尼电阻

谢

谢