SAR ADC的构成

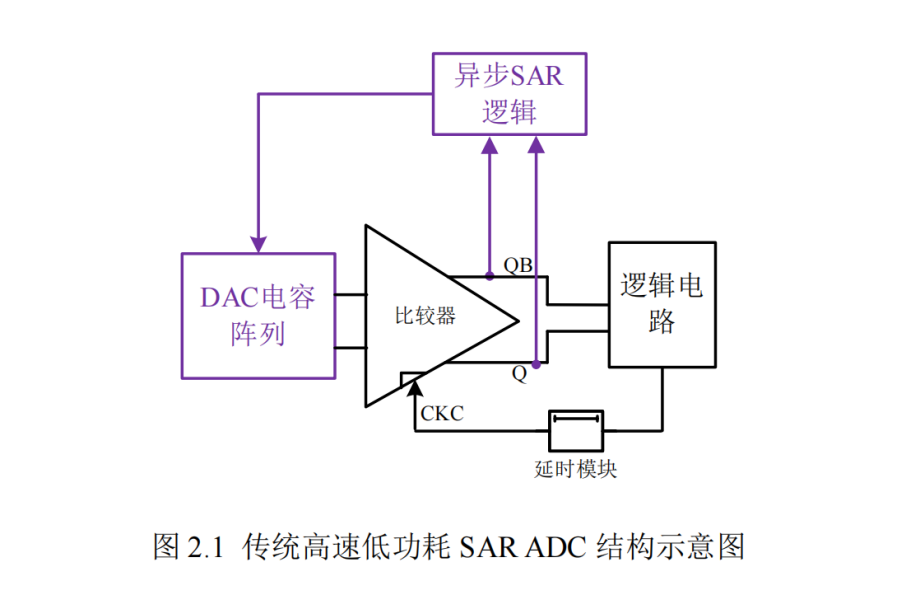
主要由 DAC 电容阵列，比较器，异步时钟 SAR 逻辑构成，基本工作原理可以理

解为两个“环”的配合工作：由比较器，逻辑门，延时模块构成的异步时钟环；

由比较器，SAR 逻辑，DAC 电容阵列构成的 DA 环。

SAR ADC的原理

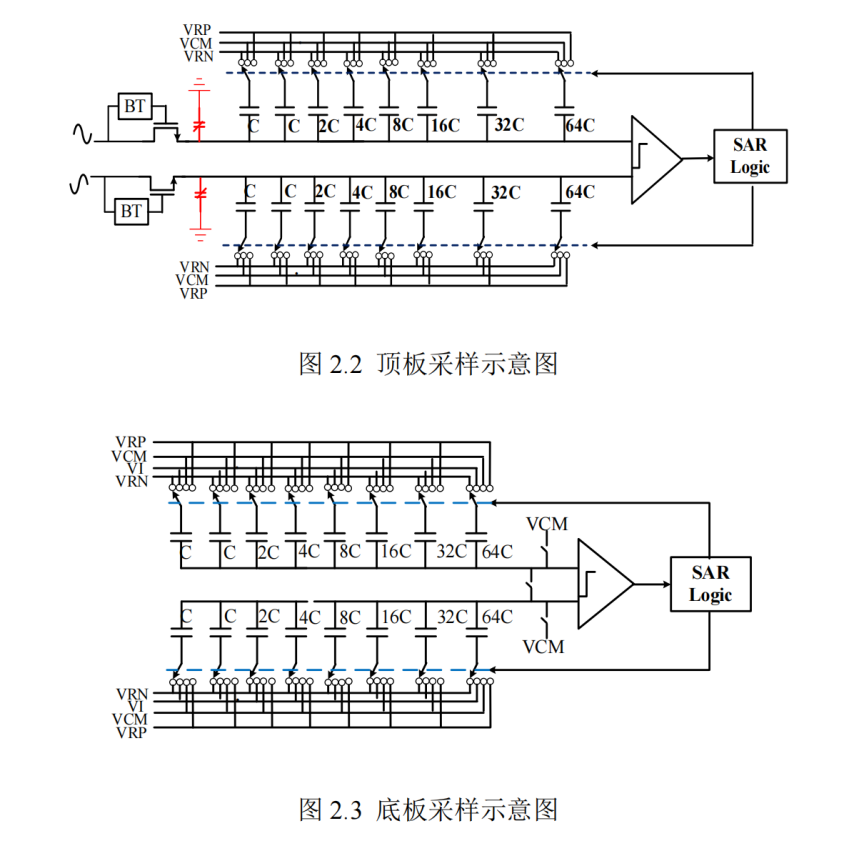
比较器在异步时钟 CKC 的控制下，逐步对比较器输入进行比较，比较结果控制 SAR 逻辑产生相应的开关信号，进而控制 DAC 电容阵列完成 DA 转换，并将结果转换到比较器输入端。



基本电路

.1 采样系统

可分为顶板采样和底板采样



2 转换系统

DAC 电容阵列完成对输入信号采样后，SAR ADC 进入逐次逼近的过程，这个

过程中 SAR 逻辑电路产生开关控制信号，电容底板根据比较器比较结果分别接不

同的参考电压。

Sar逻辑

<https://zhuanlan.zhihu.com/p/600864848>

10bit 100MS/s SAR ADC 学习笔记4——SAR LOGIC

<https://blog.csdn.net/qq_41844618/article/details/104332949>

触发器详解——（一）D触发器

详细<https://blog.csdn.net/qq_41545745/article/details/130086360>

SAR ADC系列23：异步SAR逻辑

<https://blog.csdn.net/qq_41019681/article/details/123370615>

SAR-ADC逻辑控制部分详解

时钟介绍

<https://zhuanlan.zhihu.com/p/586396562#:~:text=%E6%97%B6%E9%92%9F%E4%BF%A1%E5%8F%B7%E7%94%A8%E4%BA%8E%E5%9C%A8%E6%95%B0,%E5%8F%91%E9%80%81%E5%99%A8%E5%92%8C%E6%8E%A5%E6%94%B6%E5%99%A8%E3%80%82>

数字时序:时钟信号、抖动、迟滞和眼图

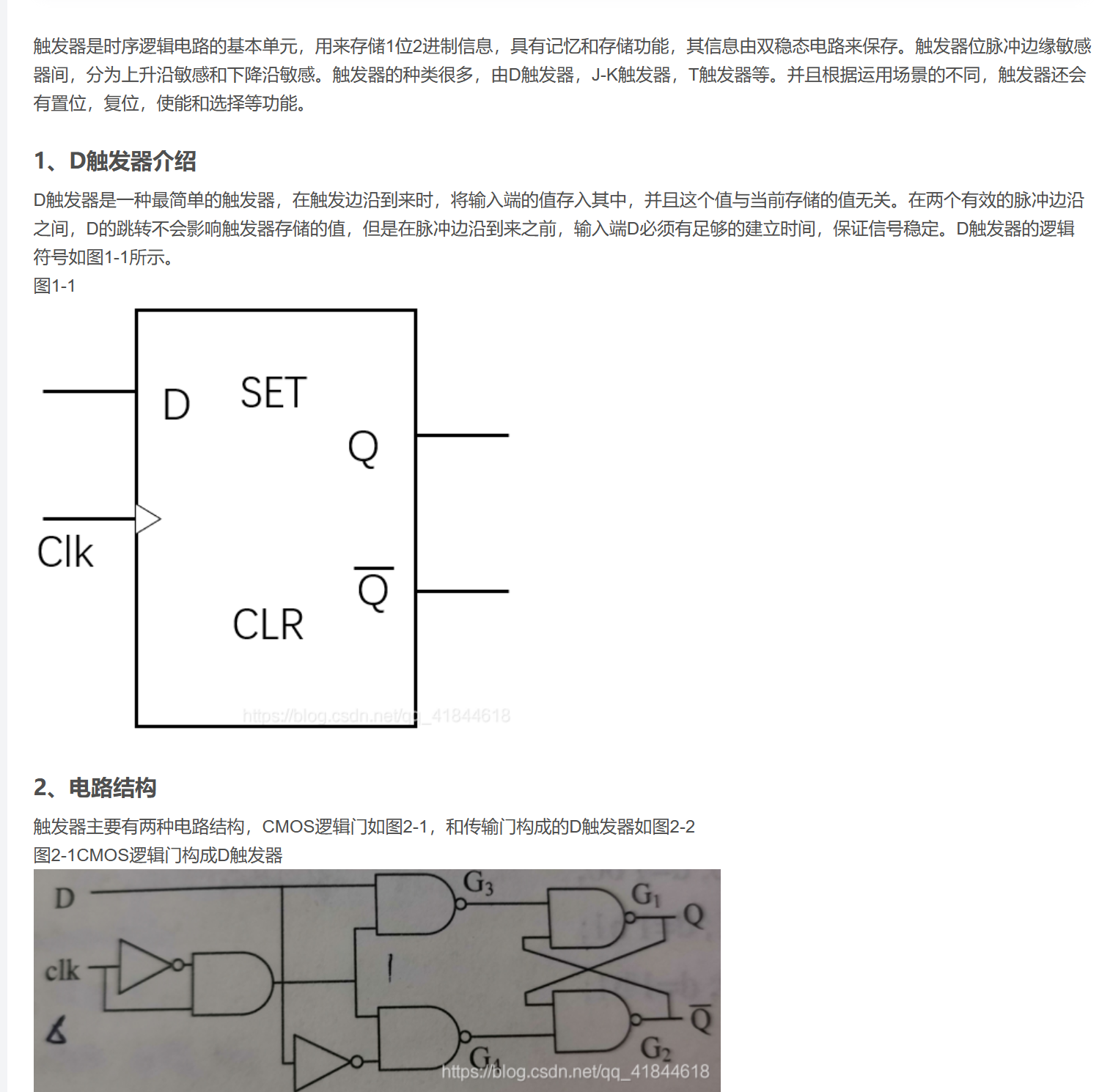
电子产品的心脏-时钟（驱动电路，芯片的心跳）

可以将时钟信号看成是一个指挥者，它为数字电路系统的各个部分提供时序信号，使每个过程都可在精确的时间点触发。

时钟信号是具有固定周期的方波。 (周期是指一个时钟边沿到下一个同类时钟边沿之间的时间间隔，最常用的方式是一个上升沿到下一个上升沿之间的时间间隔。 时钟的频率等于时钟周期的倒数。)

D触发器是一个具有记忆功能的，具有两个稳定状态的信息存储器件，是构成多种时序电路的最基本逻辑单元，也是数字逻辑电路中一种重要的单元电路。

因此，D触发器在数字系统和计算机中有着广泛的应用。触发器具有两个稳定状态，即0和1，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态。



1. SAR逻辑分类

SAR逻辑分为两种：一种为同步SAR逻辑，另一种为异步SAR逻辑。

同步SAR逻辑的比较器的时钟由外部接口提供，每一位的比较时间完全相等。通常，接口时钟频率是采样频率的N倍，同步SAR逻辑应用在低速SAR ADC中较多。

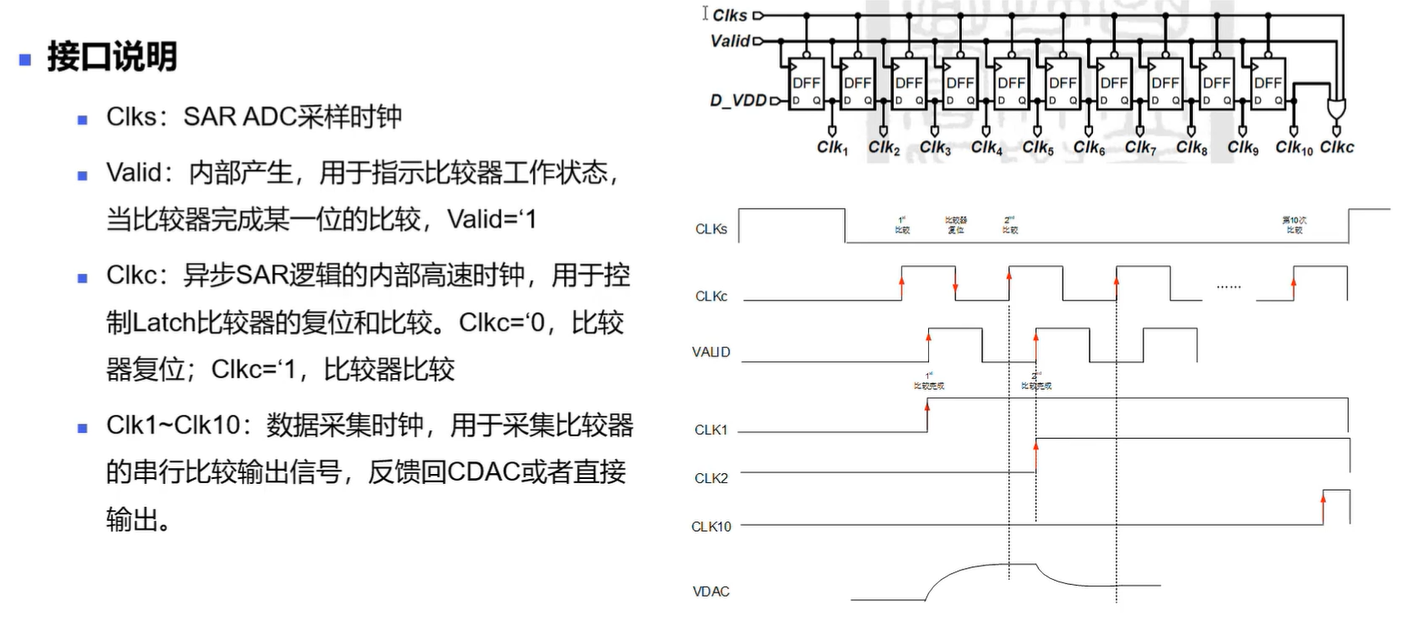
而异步SAR逻辑的比较器的时钟由ADC内部产生，每一位的比较时间不相等。异步SAR ADC的采样频率可以很高。

异步SAR逻辑

图5为异步SAR逻辑架构。与同步SAR逻辑一样，异步SAR逻辑模块也是由两组D触发器组成，这两组的功能分别为指针和寄存。图中的 Valid 是比较器比较工作完成后的信号标志，并且和同步逻辑不一样的是，异步逻辑只需要一个外部采样时钟 CLKs 就可以工作，同时异步逻辑内部会产生一个比较器使用的时钟信号 CLK。

图5. 异步SAR逻辑架构

图6为理论异步SAR逻辑时序图，与同步SAR逻辑不一样的是，异步SAR逻辑中的高电平保持时间是不一致的。每个高电平的保持时间都是由比较器比较工作结束后产生的反馈信号来控制，从而节省逻辑时序。而对于CDAC电容阵列的电压建立完成时间难以判断，故异步SAR逻辑的CDAC建立时间仍然是以最坏情况设计。



异步sar逻辑的引入：

原因1：提高转换速度

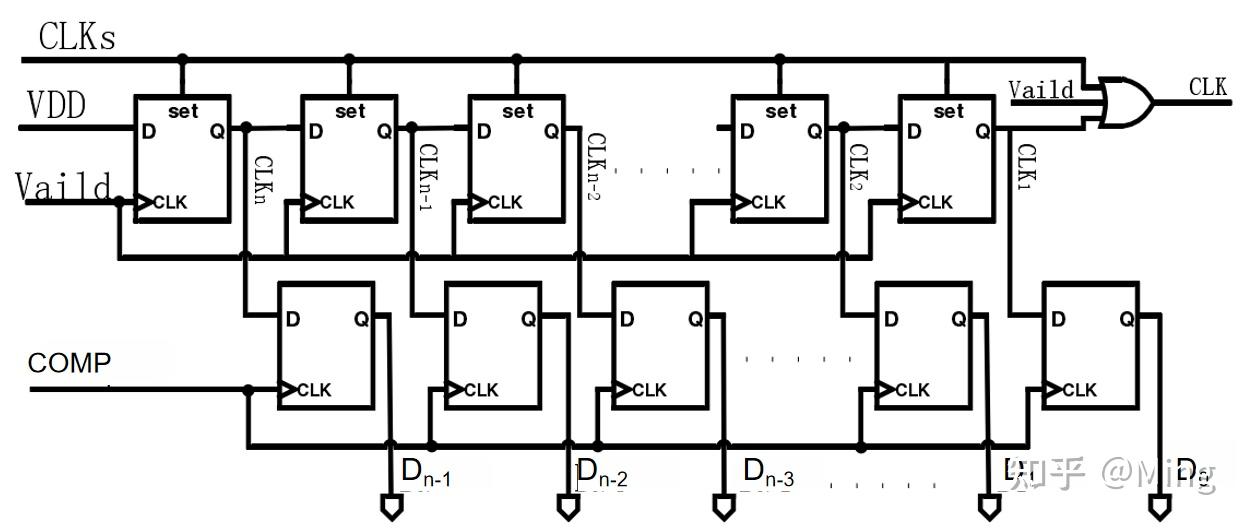
■ 同步时钟从第一个比较周期到最后一个比较周期长度都是相等的。对于Latch比较器，信号幅度越小，比较时间越长（参考latch时域响应那一节）。为了保证比较器的分辨精度<1LSB，每个比较周期需足够长。

■ 异步时钟是根据每一次比较所花费的时间自动划分比较周期，可以避免时间的浪费。

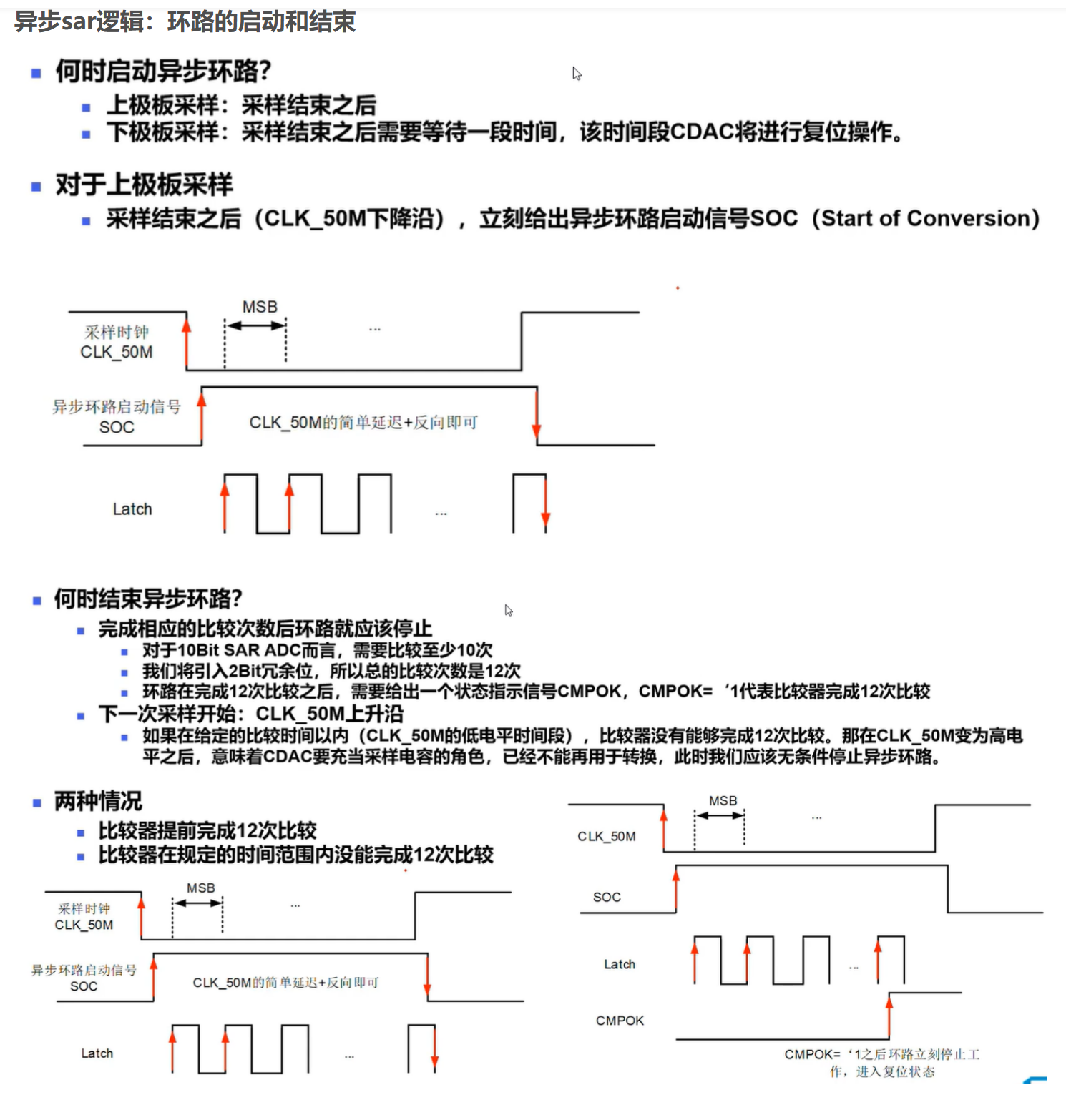
原因2：避免输入高速时钟

■ 对于同步SAR逻辑，1个100MSPS10 Bit SARADC一个转换周期需要至少11个时钟周期，意味着需要一个1.1GHz的高速时钟。

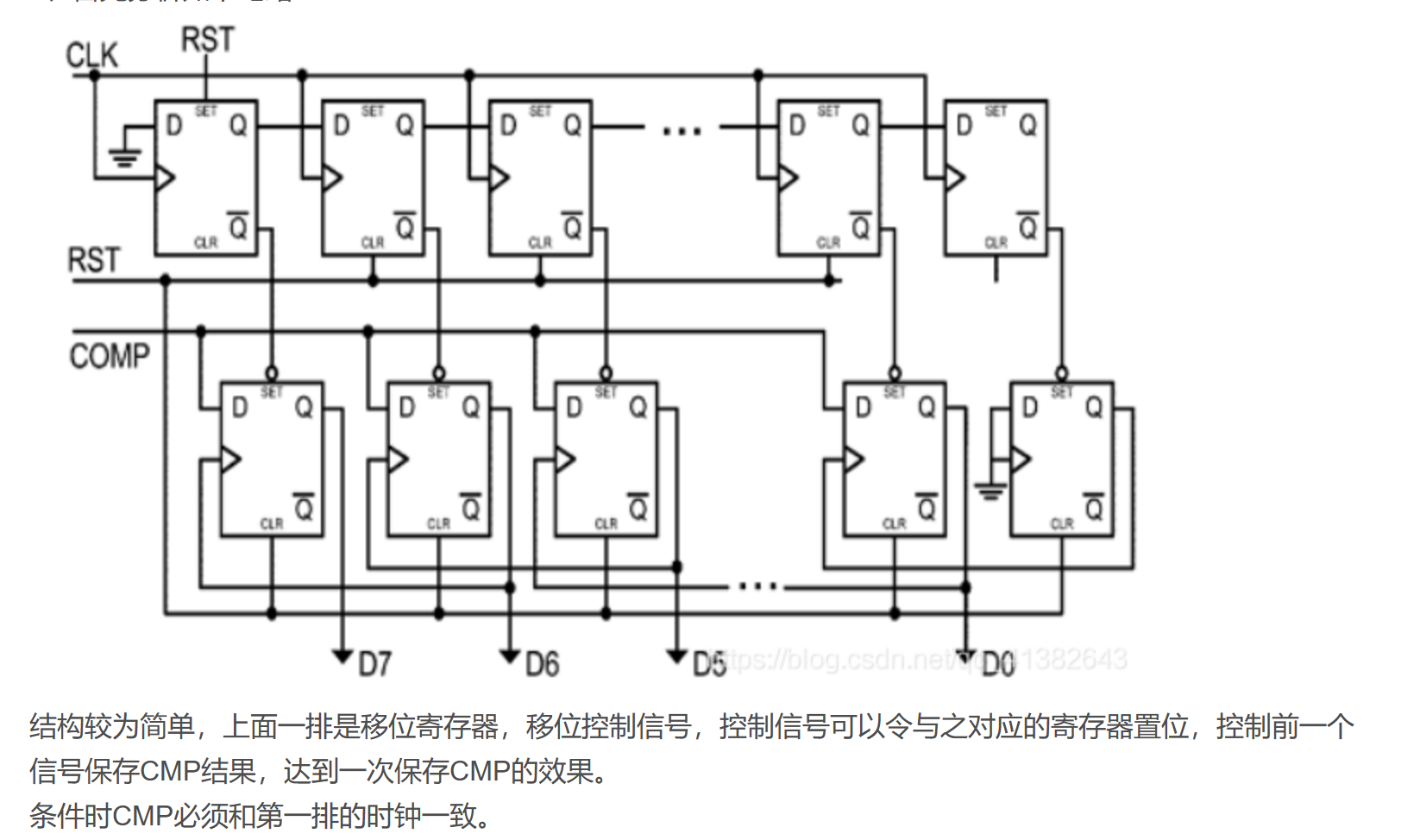
■异步SAR逻辑通过自动判断比较器的状态，从而在自动产生高频时钟，避免外部输入高速时钟



下面一排DFF的D输入接的是comp比较器输出结果



sar逻辑电路



<https://blog.csdn.net/qq_41382643/article/details/116567395>

上图来源

异步时钟电路

CDAC ：为采样保持 DAC 电容阵列

CKC；CKC 为控制比较器工作信号——异步时钟信号（在每个同步时钟脉冲刚变为高电平时比较器处于复位状态，在高电平维持一半时触发比较器进行比较，这样保证了时序的稳定。）

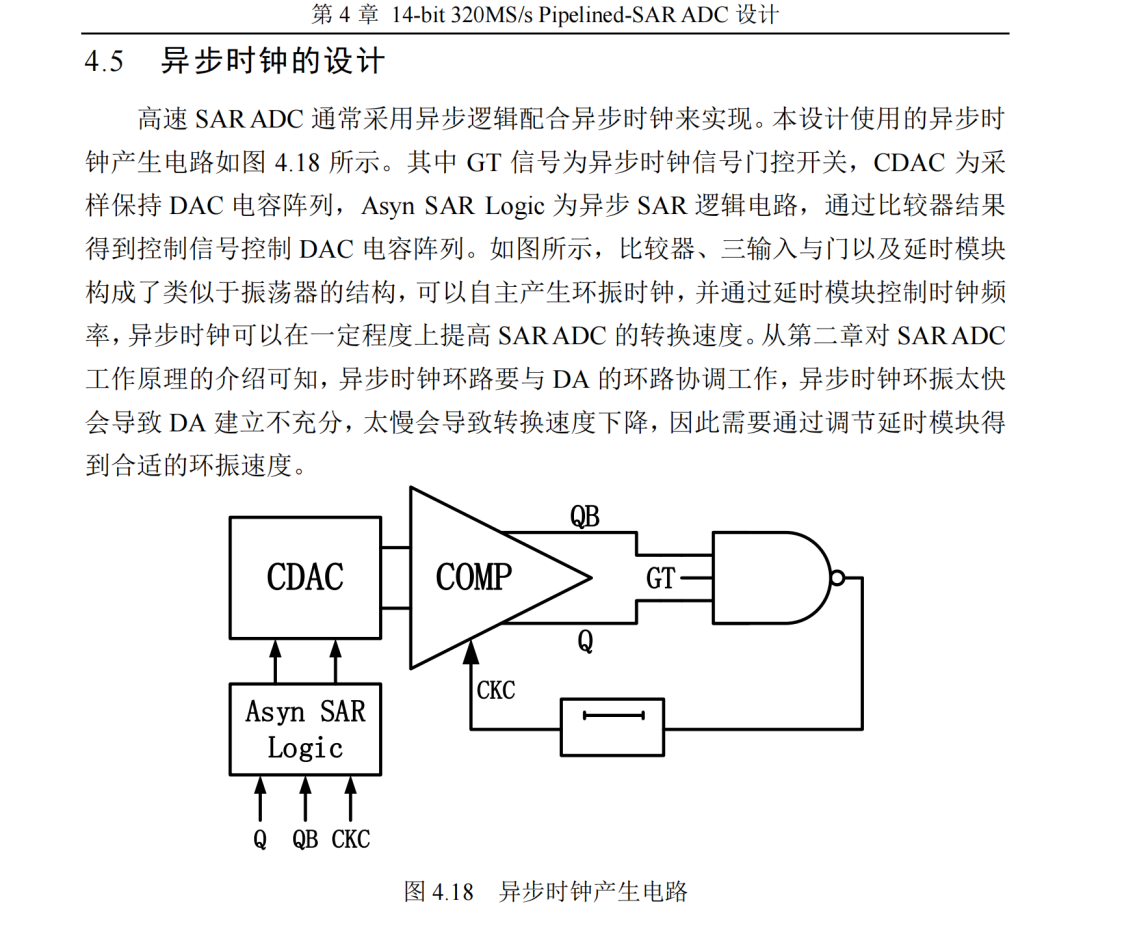
CLK：时钟信号

COMP：比较器

Q和QB：比较器输出

GT：异步时钟信号门控开关

DFF：D锁存器





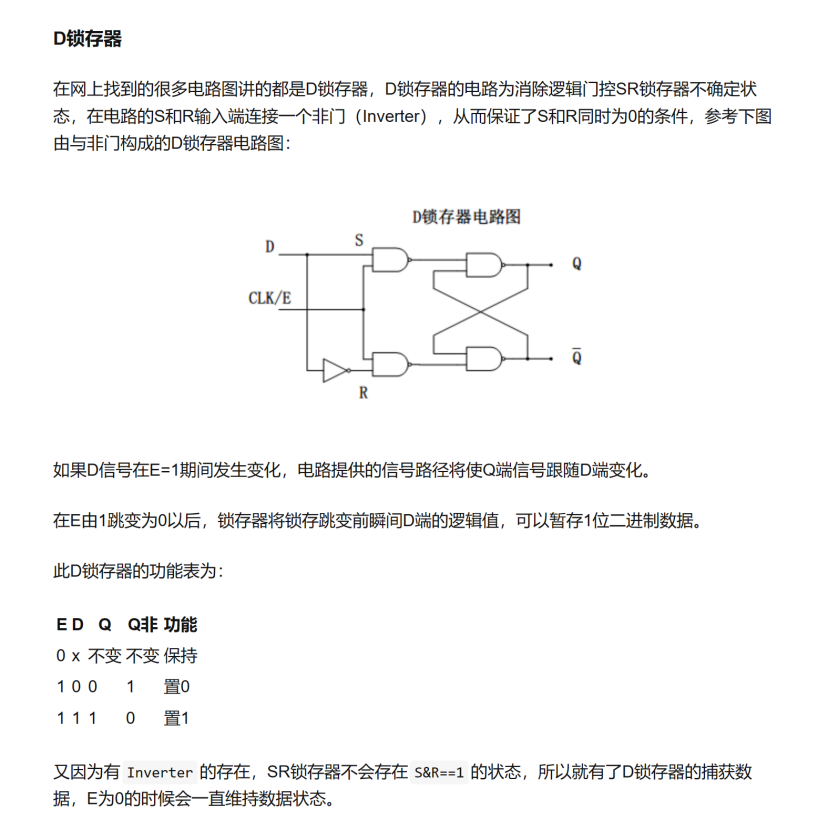
GT 为异步时钟门控开关，SC-ARRAY 为比较器前面的采样保持 DAC 电容阵

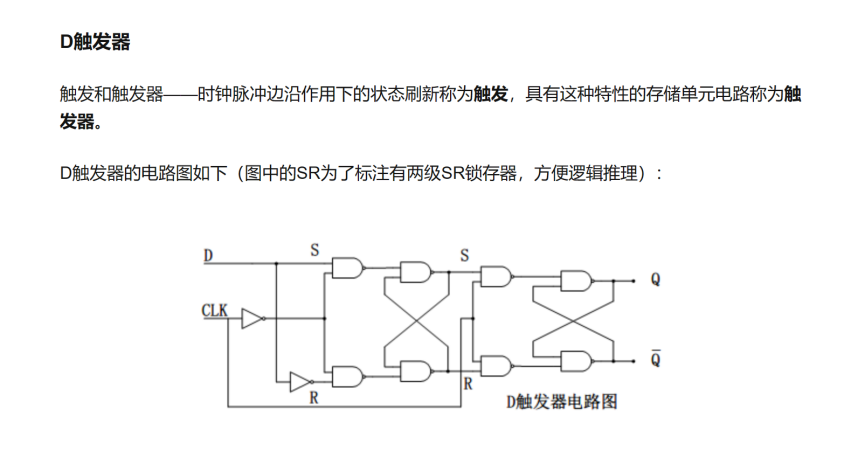
列；Asyn.SAR Logic 为异步 SAR 逻辑模块，用来锁存比较器输出结果并触发 DAC。

图中比较器 COMP，三输入与门电路，延时电路其实构成了一个类似振荡器的电

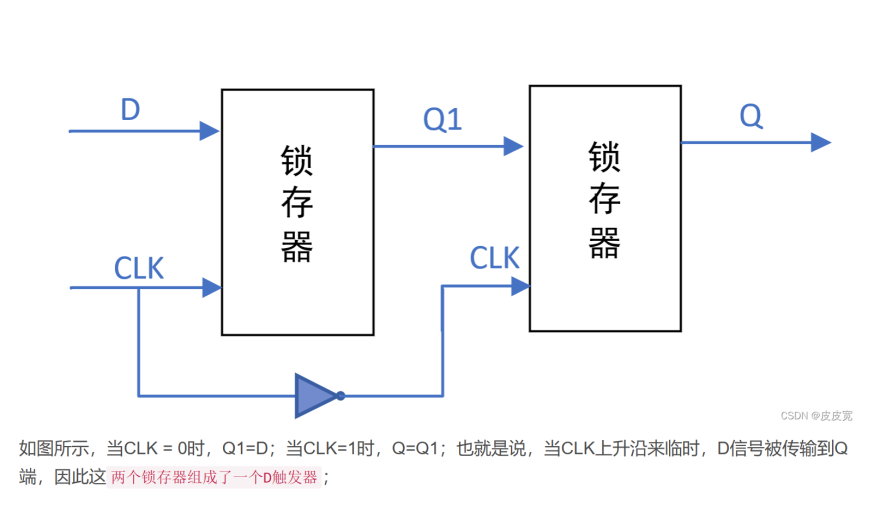
路结构，它可以自主产生多相时钟，GT 用来控制时钟周期数，延时模块用来控制

时钟频率。





<https://www.zhihu.com/tardis/zm/art/372453668?source_id=1005>



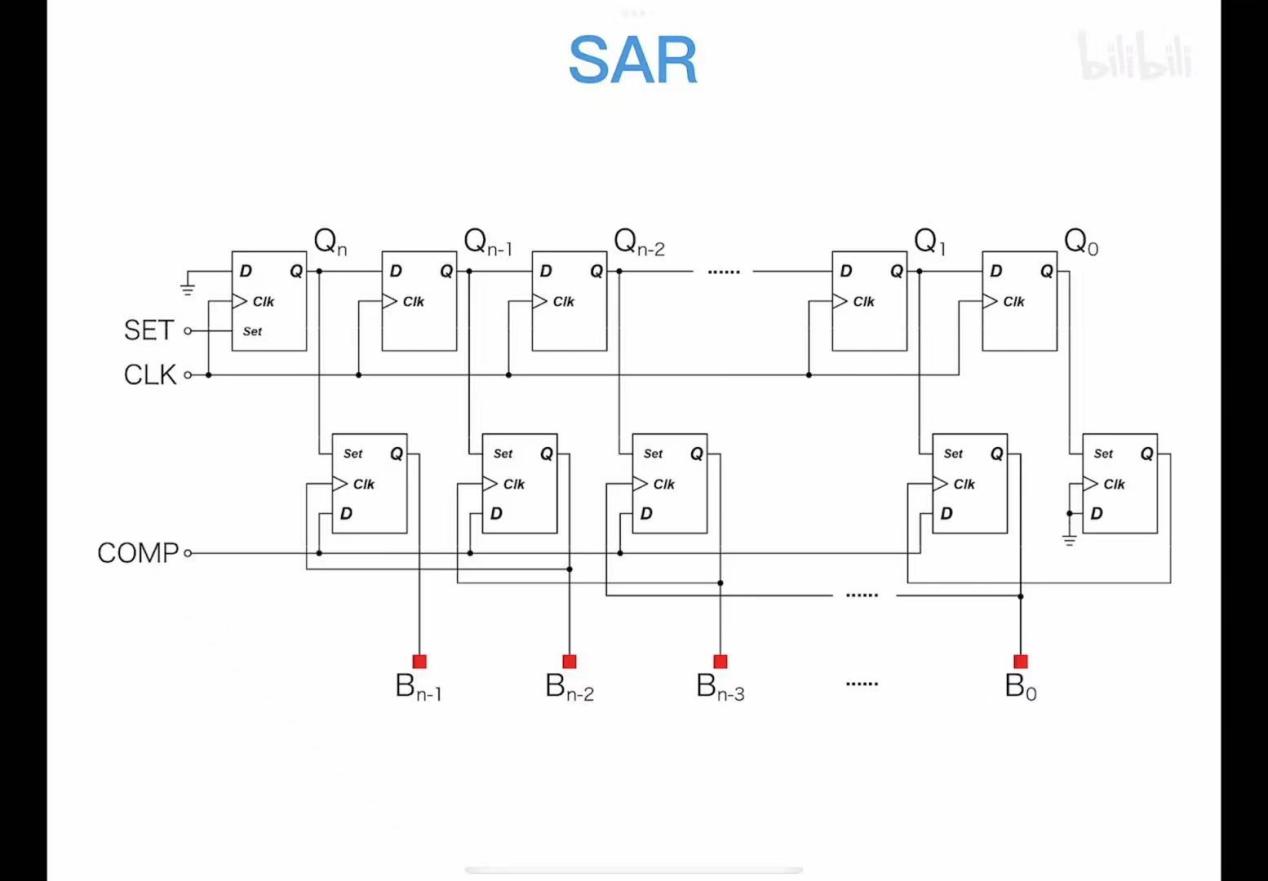
图：两个锁存器构成一个D触发器

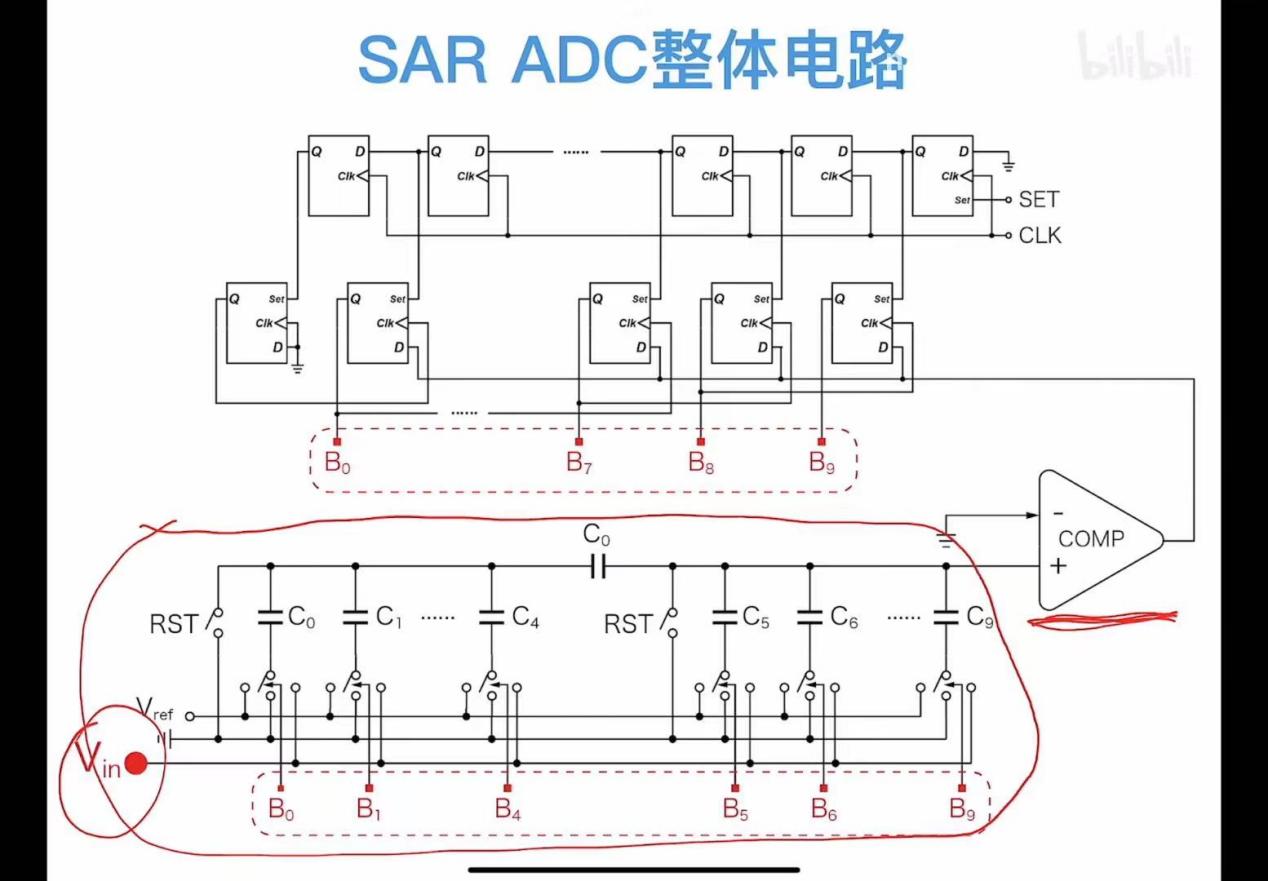
D 触发器（DFF——flipflop）和D 锁存器（latch）的区别。

两个锁存器可以构成一个触发器,

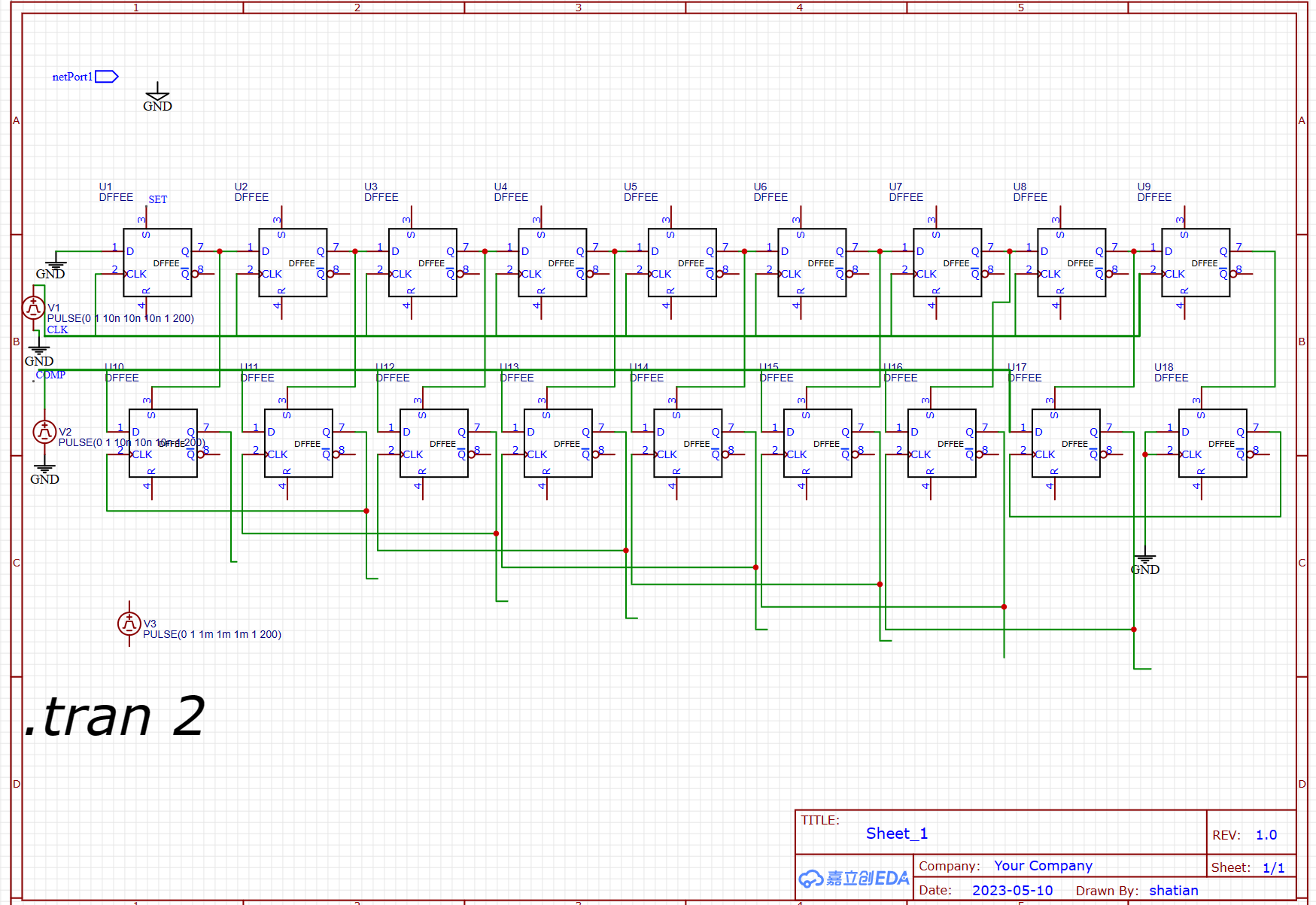
5.8

Sar逻辑 若比输入电压小，则最高位的电压加上次高位的电压再比较，若小了，则减去次高位加上次次高位再比较。 输入的电压比比较电压大 则记为1 小则记为0





8bit 需要一排9个触发器



没有找到d触发器的第三方模型，还在尝试自己搭建。于是先在嘉立创上画出电路图

接下来再准备研究时钟具体的信号输入，和比较器的联合仿真。