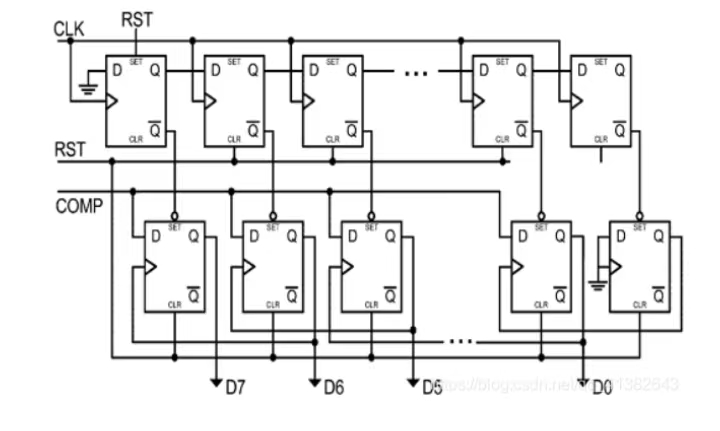
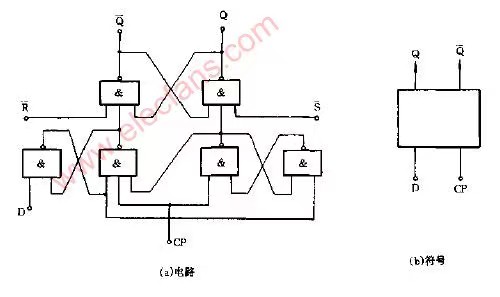
SAR-ADC 学习笔记

一，逻辑控制模块



由两排D触发器组成，下面一排用来存储数字信号。RST复位方式还不清楚，时钟考虑使用边沿脉冲发生器。准备学习晶振相关，LC振荡电路等。

* 1. D触发器



选择了这个电路，不知道它的可行性，但是有R,S的复位置位，符合需要。搭建电路遇到了一些困难，使用LTspice的与非门进方波电路的时候出现错误和毛刺。Mos管和三极管电路还在学习，网络上大部分电路图都没标注参数。学会了LTspice各种功能和封装

寻找现成的D触发器和电路封装同时进行，最后选择了嘉立创eda的D触发器搭建电路。

在了解D触发器原理的同时了解了一些RS触发器，JK触发器。

D触发器的复位与置位（以下都为VHDL代码）

异步复位置零

always@(posedge i\_clk or negedge i\_rst)begin

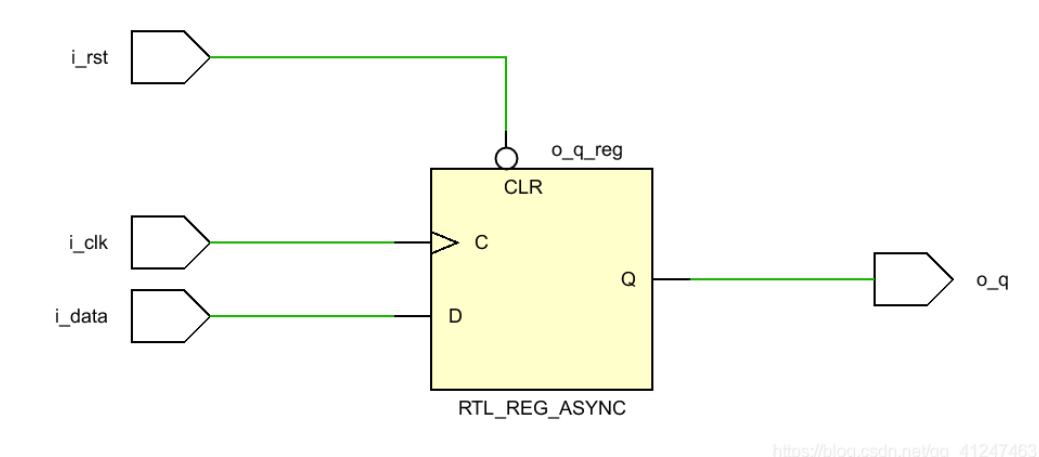
if(!i\_rst)

o\_q<=1'b0;

else

o\_q<=i\_data;

end



同步复位

always@(posedge i\_clk)begin

if(!i\_rst)

o\_q<=1'b0;

else

o\_q<=i\_data;

end

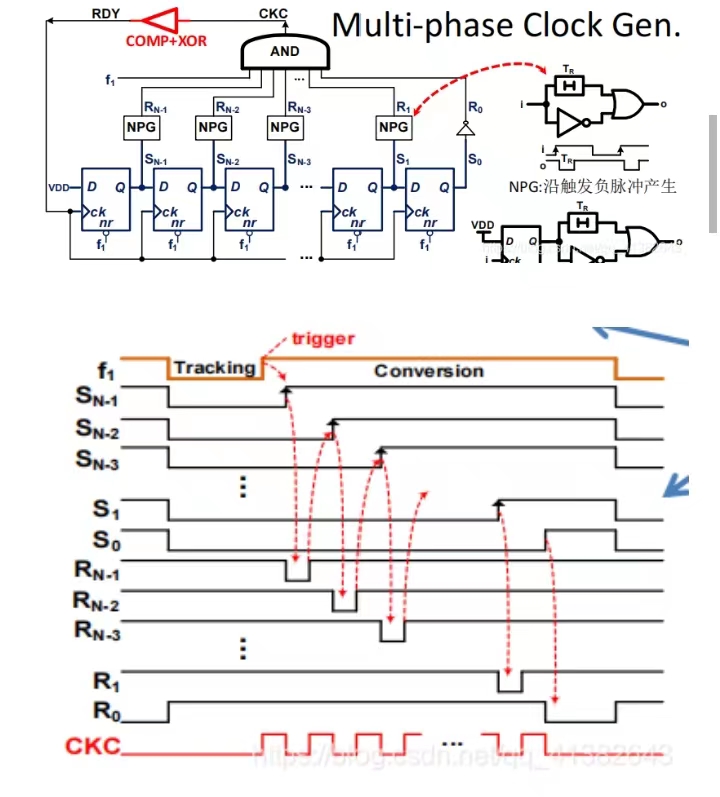
1.真值表：RST=1则输出q=0

2.这里用到的是同步寄存器（SYNC），用到两个(4bit的为5个cell)cell，增加资源消耗，且复位的寄存器位宽越大消耗的资源越多

3.这里多路选择器MUX（也就是别人说的组合逻辑）的意思是rst（图中S信号）为0是输出POWER即1,rst为1则输出接地GROND（0），MUX的输出为RST

* 1. 时钟

一开始选择的时钟电路结构如下

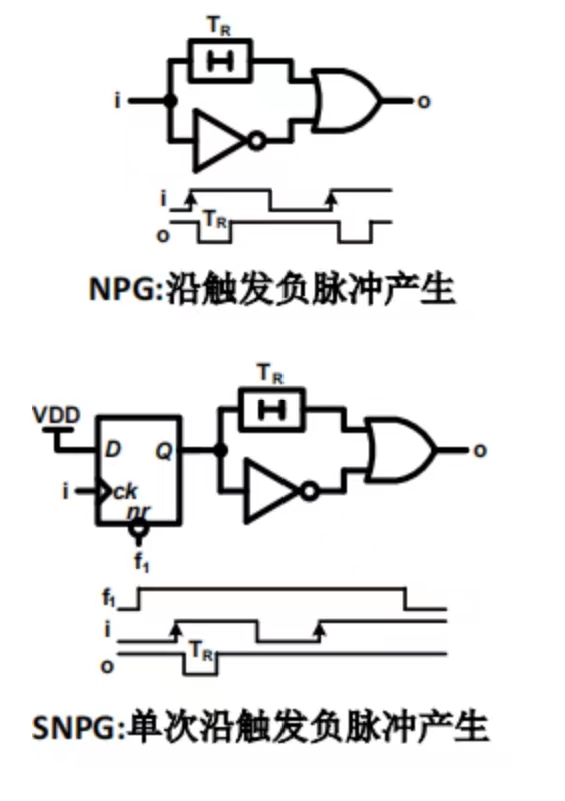


[数字IC设计：时钟信号知识点全解析 - 知乎 (zhihu.com)](https://zhuanlan.zhihu.com/p/138104862)

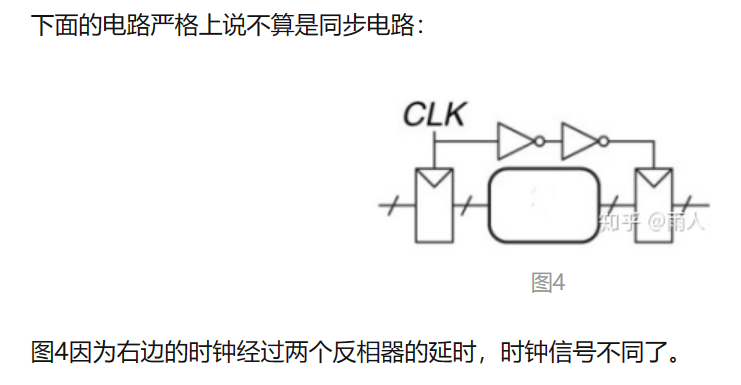
需要一个高速的，有延时的多相时钟

资料显示，异步电路会比同步电路更合适，误差消耗较小（未验证）异步时钟还在学习，同步时钟考虑用边沿脉冲触发器，晶振，方波电压源进行多方向尝试。

由上图以及下图可知，H处也许是一个延时单元。



寻找控制延时的工具，简单的例如下图两个非门。



有资料显示这部分电路需要一个高速时钟（1.1G），目前找到可用的SN74HC14频率为4.4kHz

三，VHDL

D触发器的例子。

alway@(posedge clk or negedge rst\_n) //检测到时钟[上升沿](https://www.zhihu.com/search?q=%E4%B8%8A%E5%8D%87%E6%B2%BF&search_source=Entity&hybrid_search_source=Entity&hybrid_search_extra={"sourceType":"answer","sourceId":30732405}" \t "_blank)或者[复位信号](https://www.zhihu.com/search?q=%E5%A4%8D%E4%BD%8D%E4%BF%A1%E5%8F%B7&search_source=Entity&hybrid_search_source=Entity&hybrid_search_extra={"sourceType":"answer","sourceId":30732405}" \t "_blank)；

begin

if(!rst\_n) //初学者这里注意（！[rst\_n](https://www.zhihu.com/search?q=rst_n&search_source=Entity&hybrid_search_source=Entity&hybrid_search_extra={"sourceType":"answer","sourceId":30732405}" \t "_blank)）是一种很标准的写法，表示复位信号为0时复位；

data\_out <= 1'b0;

else

data\_out <= data\_in;

End

D触发器的部分功能，复位，延迟，控制，在收集资料的时候发现笔记里大多选择代码完成。

[D触发器/同步异步复位/异步复位同步释放详细解释\_d触发器复位\_aria啵啵啵的博客-CSDN博客](https://blog.csdn.net/qq_41247463/article/details/115797423)

[EDA\_含异步复位和时钟使能的d触发器\_hengiyun的博客-CSDN博客](https://blog.csdn.net/WangYinHaoNan/article/details/108639557?utm_medium=distribute.pc_relevant.none-task-blog-2~default~baidujs_baidulandingword~default-1-108639557-blog-115797423.235^v35^pc_relevant_increate_t0_download_v2&spm=1001.2101.3001.4242.2&utm_relevant_index=4)

VHDL>Notepad++

[【数字电路】数字电子时钟设计\_数字时钟设计\_OSHWHub的博客-CSDN博客](https://blog.csdn.net/OSHWHub/article/details/115952661)

振荡电路（脉冲发生器）+分频器

1. 其他

看到笔记中有写到过boost模块，但是还不清楚功用。

模拟cmos的知识点还在学习，很多东西都再查找然后回溯到基础知识如mos管

D触发器和D锁存器的异同点，上升沿变化以及高低电平变化可以应用于不同场景