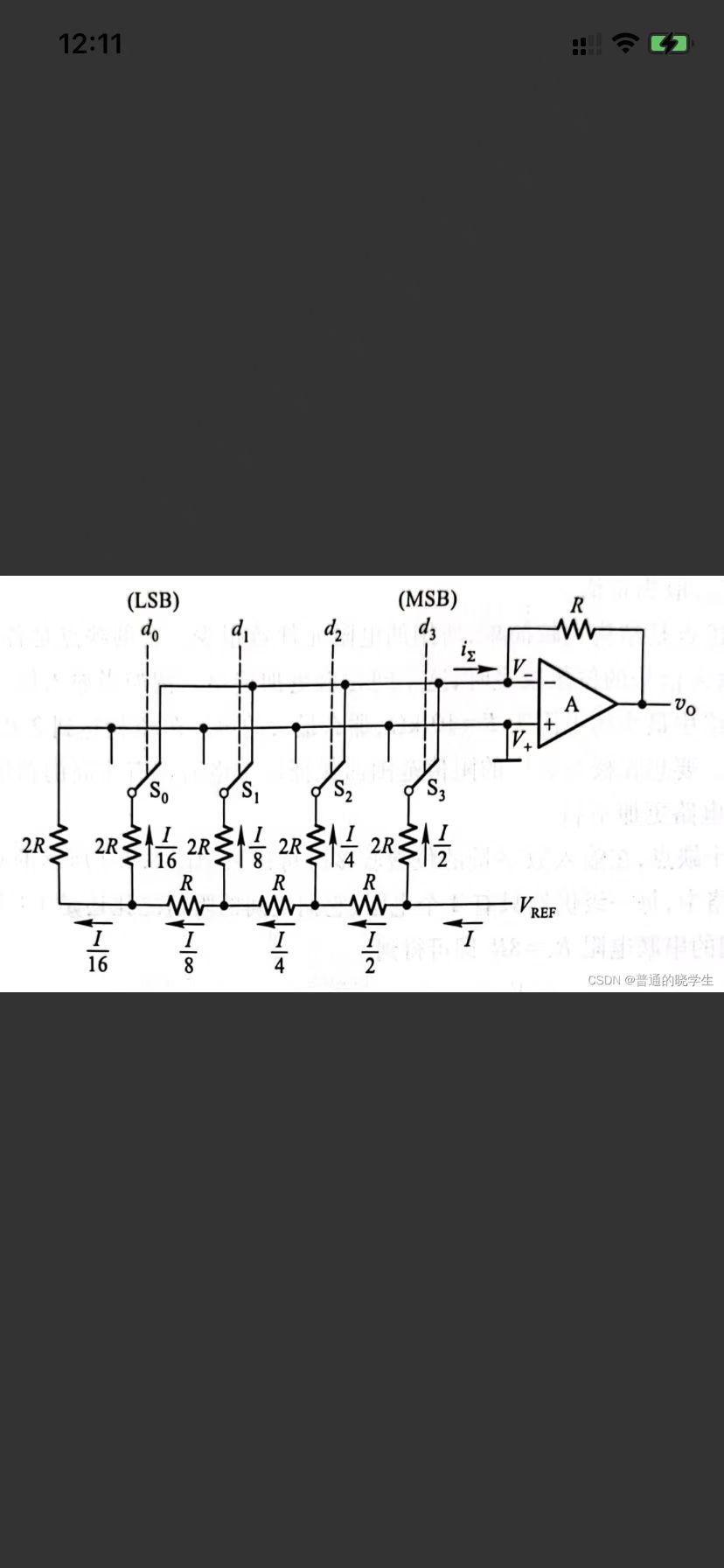
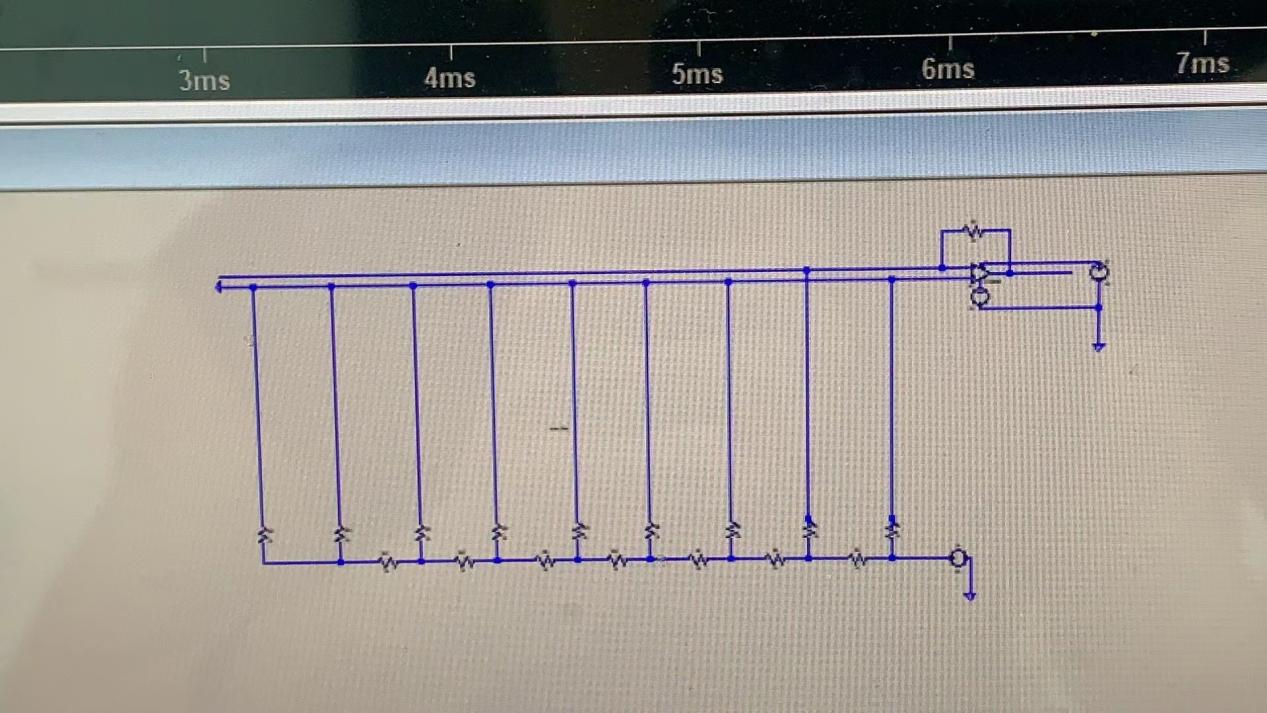
5.1前

1. DAC阵列

电阻型DAC原理图



以上为4bitDAC阵列原理图；同理可得8bitDAC阵列的原理图



经过仿真可输出1/256Vref

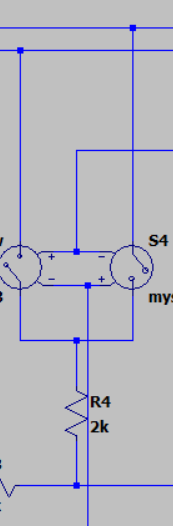
本周问题：

1. 原理图中可控制的单刀双掷开关的实现；
2. 以及sar逻辑部分对DAC阵列的控制方法

5.10报告

接上周问题；

Ltspice中可控制的单刀双掷开关的实现：

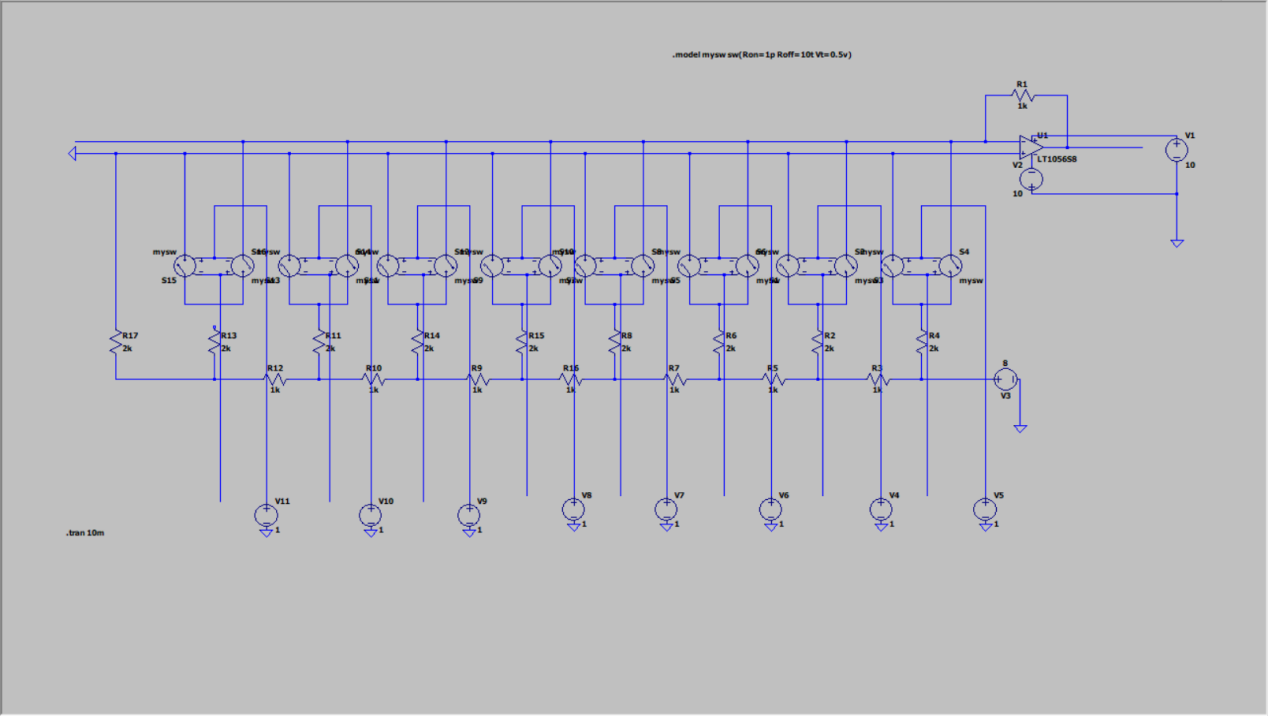


可采用两个正负极反接的流控开关实现可控制的单刀双掷的功能；

无论哪一边接入超过阈值电压时都能保证只有一条路接通；

实现了可控单刀双掷开关的功能；（SAR逻辑可用高低电平控制）

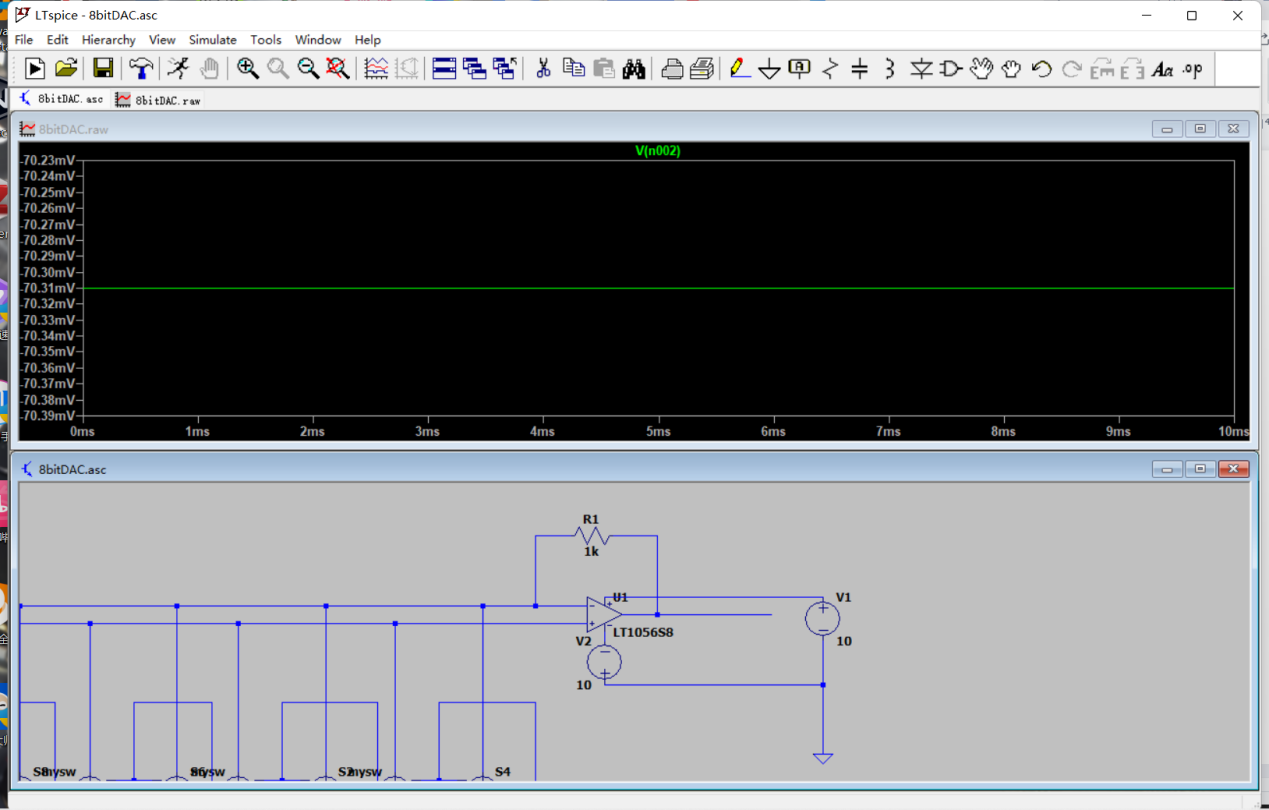
故整个DAC阵列的仿真原理图为：



可通过电平控制Vref的值

思考：因为上述正反接的流控开关存在断开时的漏电流，故必须做误差分析。若漏电流过大，那么上述方法就算能控制Vref的输出。也是没有意义的

现做出误差分析:显然，当权电流越小时误差肯定越大



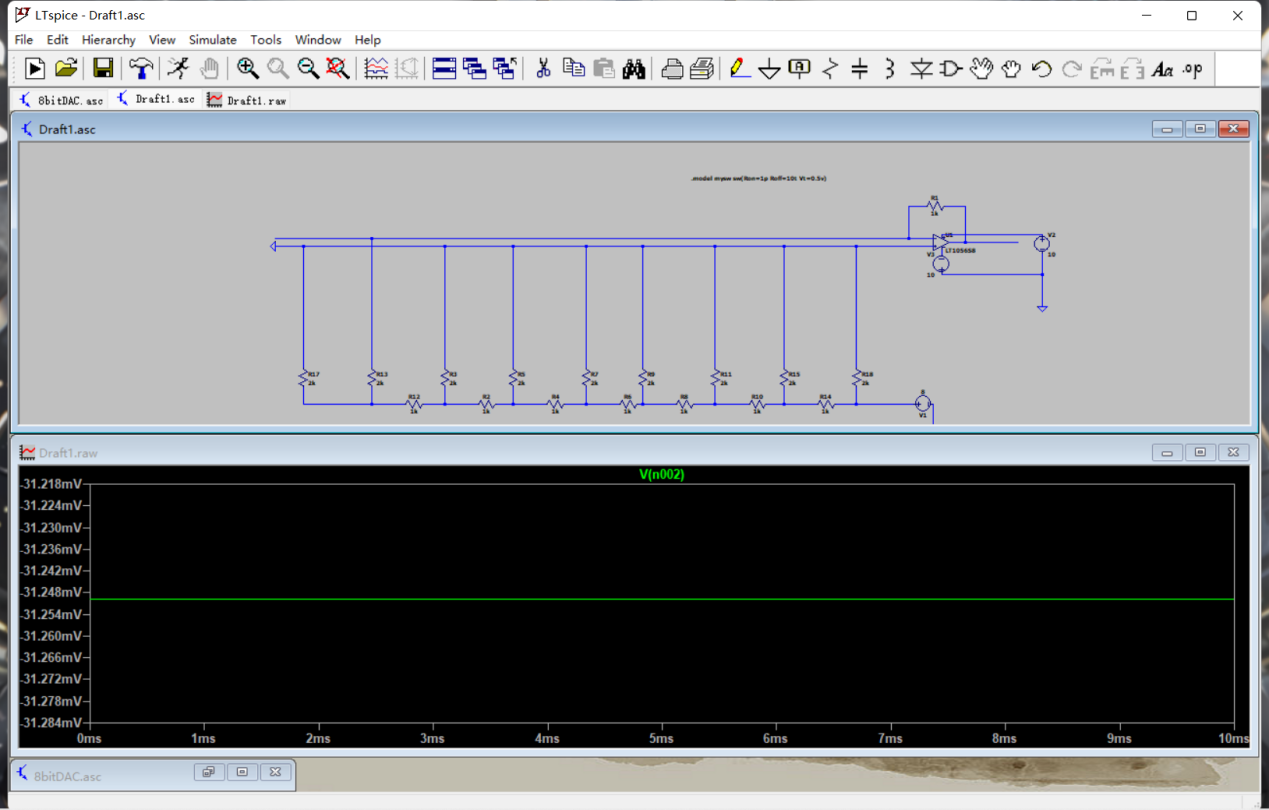
由仿真图可看出当权电流为1/128I时Vref=0.07032v

而理论值为8\*1/128=0.0625v

误差为12.5%

基本可以实现较为准确的电压输出。

待解决问题；1.上述DAC阵列的输出时，因为漏电流的加入导致1/256Vref输出时出现失真现象，不知道为啥....；所以加上开关以后实际上只能达到7bit的精度水平；而且其实7bit时达到12.5%其实是不算低的误差



在没开关漏电流加入时，电阻型DAC不仅可完成1/256Vref的输出，而且误差极低。

Vref实际输出值为0.03124v

理论输出8\*1/256=0.03125v

误差仅有0.32%

输出1/128时误差更是只有0.0000016

可见开关漏电流对误差影响很大。

2.上述电阻型DAC虽然能实现基本功能，但是存在漏电流这个原理性误差，只能应用于较低精度的SAR DAC中，后续必须完全改变DAC阵列的输出原理或者尽量减少漏电流才可以完成更高精度的要求。

结论：对于高精度的sar dac 电阻型DAC阵列不适用.

母亲节快乐

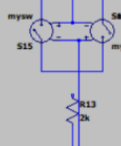
5.20

解决上周问题1：

权电流型DAC阵列8bit输出1/256Vref时不知名失真问题，

经过长时间的深思熟虑，以及各种参数的修正，和不同运放的测试，

发现是电路图连少一条线.........（狗头）



我\*\*\*\*\*\*\*\*\*\*\*\*

经过修正以后有必要在进行一次简单的误差计算



可以看到仿真出来的1/256Vref数值

理论数值为10\*1/256=0.0390625V

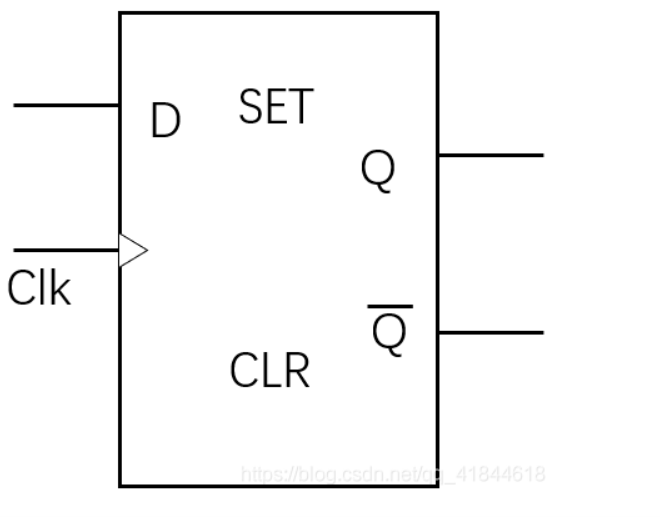
可以算出误差仅为0.000003712

综上，基本满足我们要做的SAR DAC精度要求，（虽然我也不知道多少，但是看着蛮准）



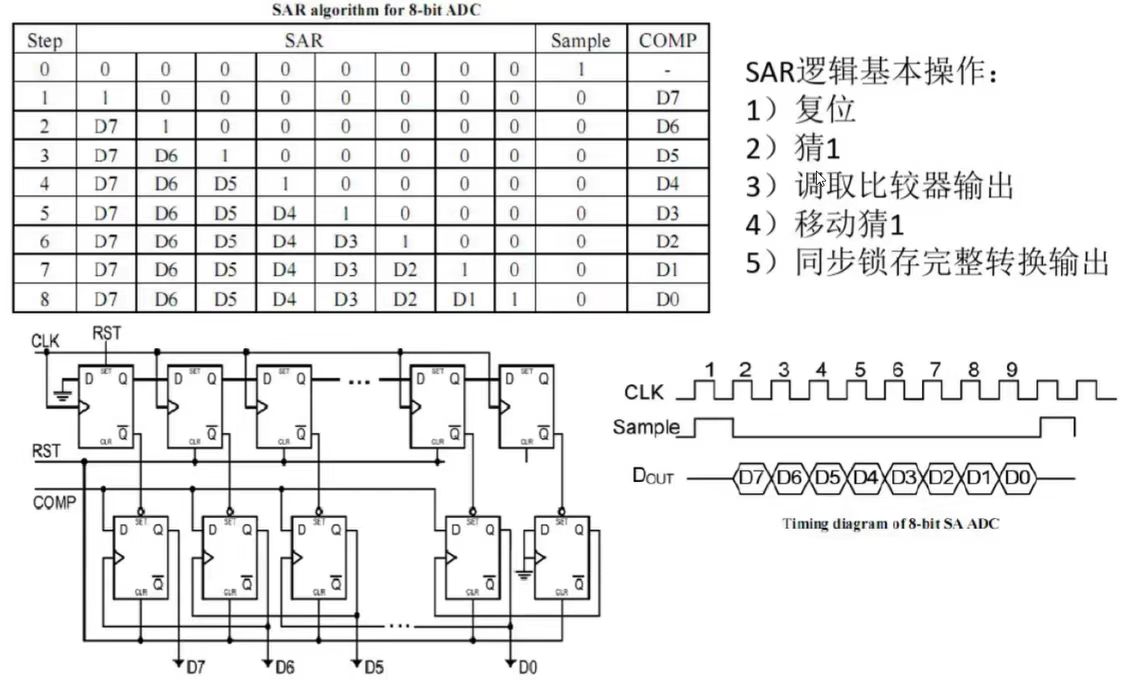
任务2：了解sar逻辑，完成sar逻辑与DAC阵列的对接

首先D触发器的每个输入端的功能：



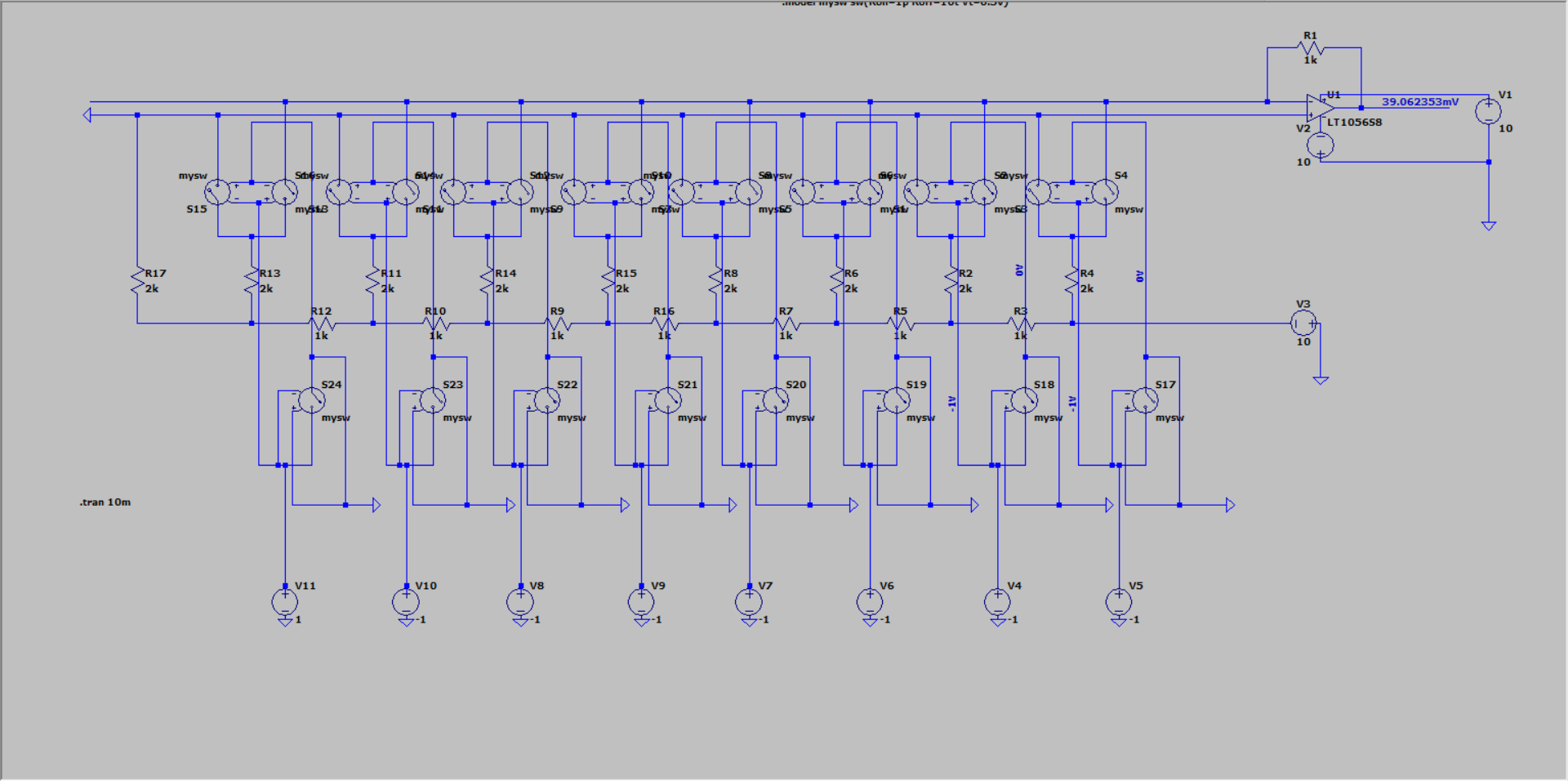
SET为置1端；CLR为置0端；低电平有效。当S=0且R=1时，不论输入端D为何种状态，都会使Q=1，Q=0，即触发器置1；当S=1且R=0时，触发器的状态为0，S和R通常又称为直接置1和置0端。我们设它们均已加入了高电平，不影响电路的工作。

当CLK端电平上升且SET和CLR为高电平，D触发器可记录D的输入值。



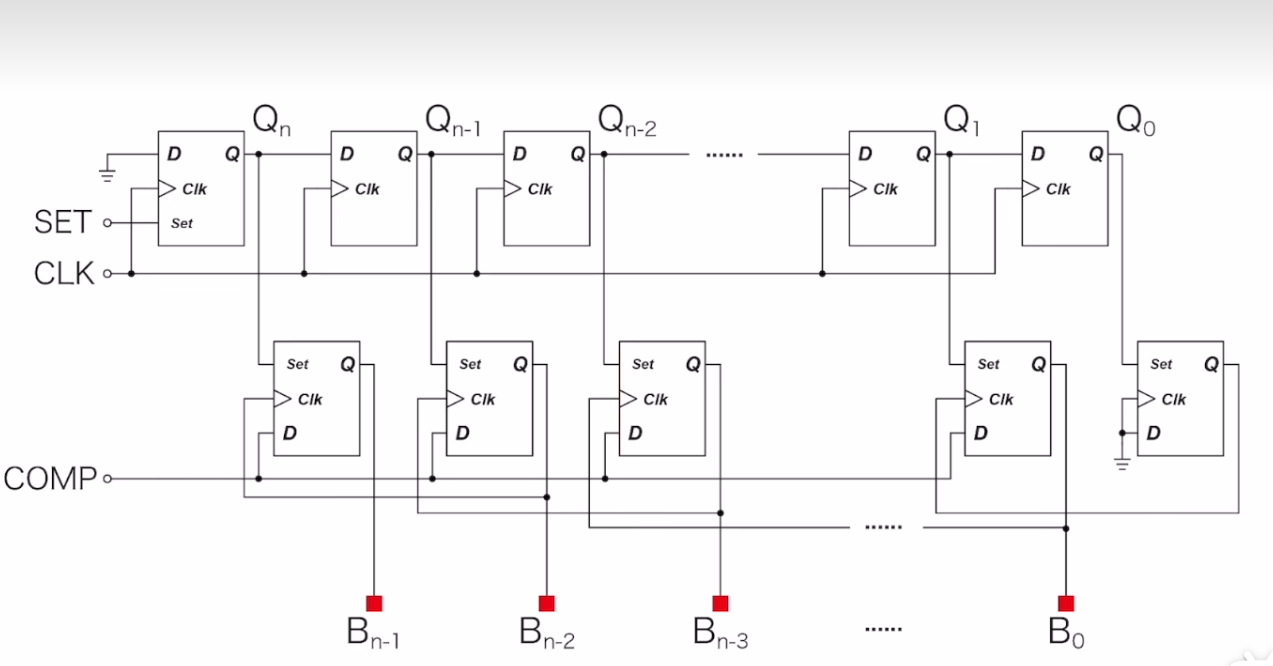
D7连1/2Vref端，D6连1/4Vref端，以此类推

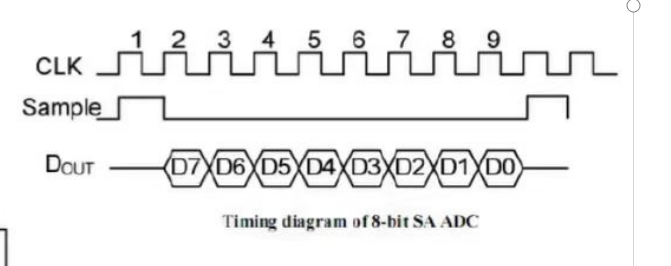
为了与SAR逻辑连接现在稍微修改一下DAC阵列



最下端的一排电压源后面从右到左替换为D7，D6，D5

5.26.2023





每9个时钟周期完成一次完整的比较

在9个时钟周期到来之前RST信号，RST为脉冲号信使除了第一排左边第一个D触发器全部置零

第一个时钟周期各个触发器储存的值分别为 1000000000

1000000000此时comp信号为D7

第二时钟周期时 010000000

D710000000 此时comp信号为D6，即可实现D7结果的储存，以及参考电压的改变，可能为01或11

第三时钟周期是 001000000

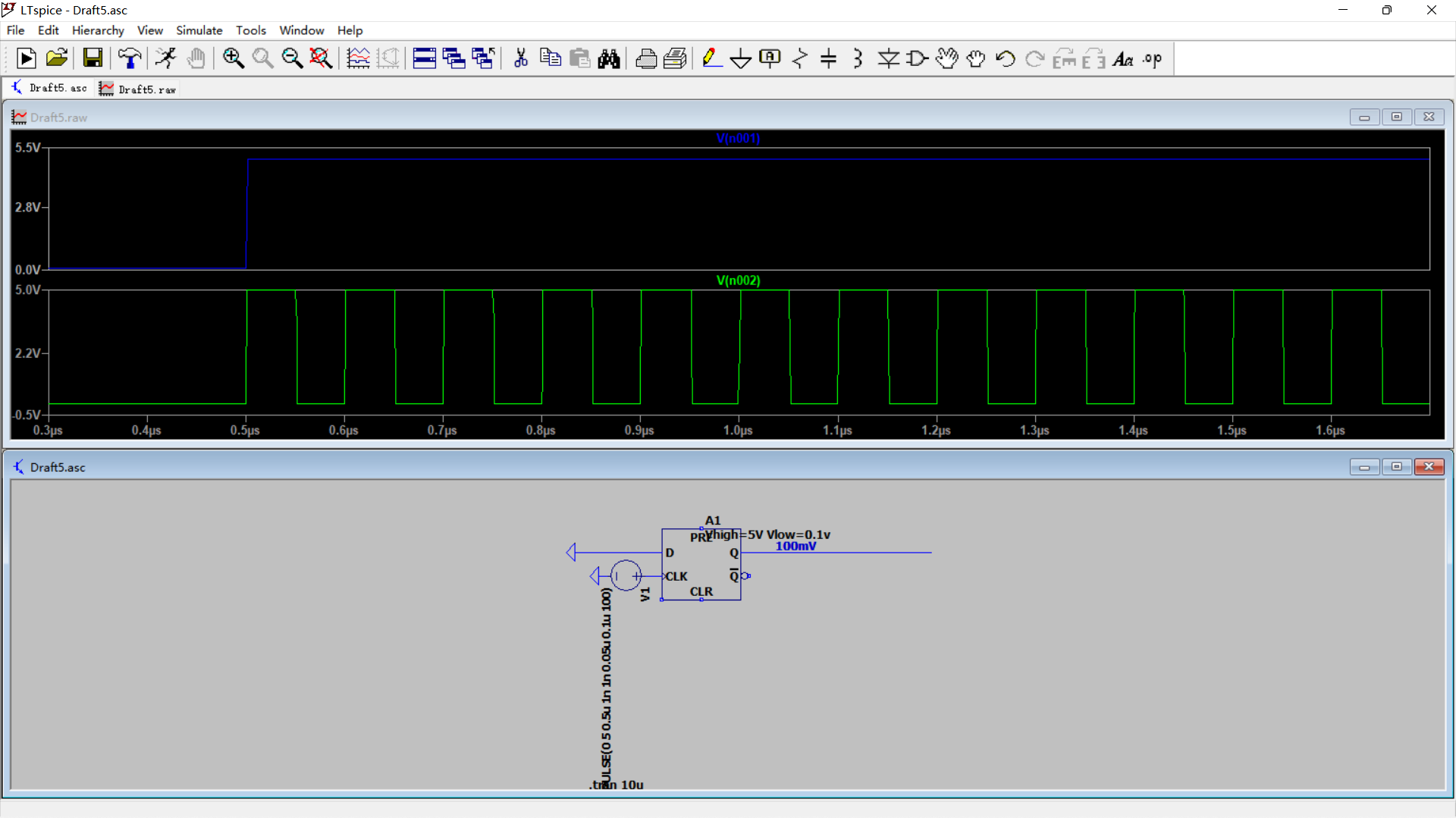
D7D61000000 可记录D6，此时comp信号为D5，参考电压变为111 011 101

依次类推九个时钟周期后即可完成8bit的一次比较

紧接着set第二个脉冲信号到来实现整个sar逻辑的复位，准备下次比较

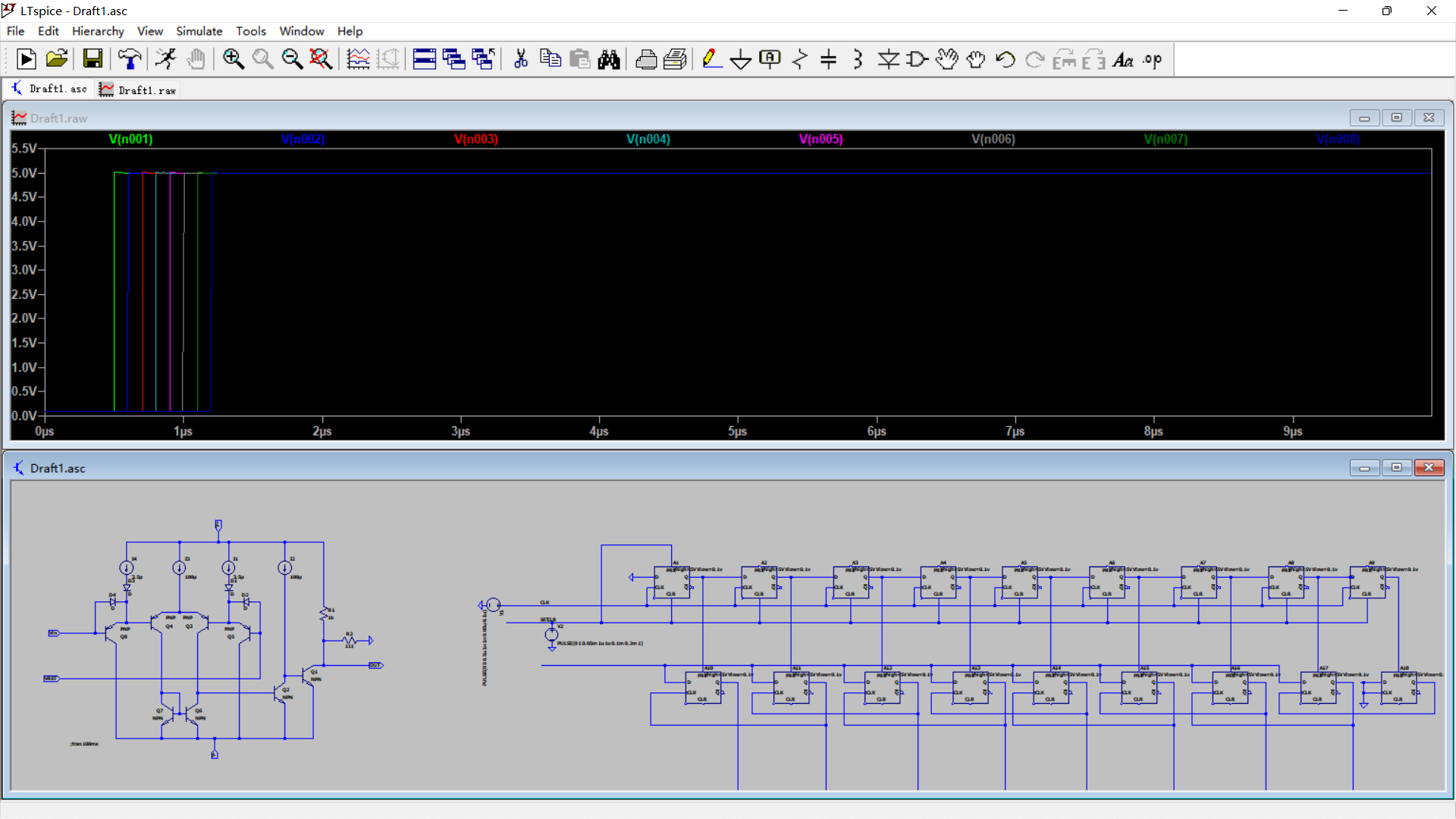
先存在问题：

1. 时钟信号参数的配置；
2. LTSpice中D触发器的使用；



理论上第二个时钟脉冲型号到来时，输出Q会拉到低电平，但是没有.....

目前进度：



完成移位触发器1的移动，但是无法复位