

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”



Кафедра ЕОМ
Лабораторної роботи №1
з дисципліни
«Моделювання комп'ютерних систем»
Варіант 7

Виконав:
Ст.гр КІ-201
Глинський В.А.
Перевірив:
Козак Н.Б.

Львів – 2024

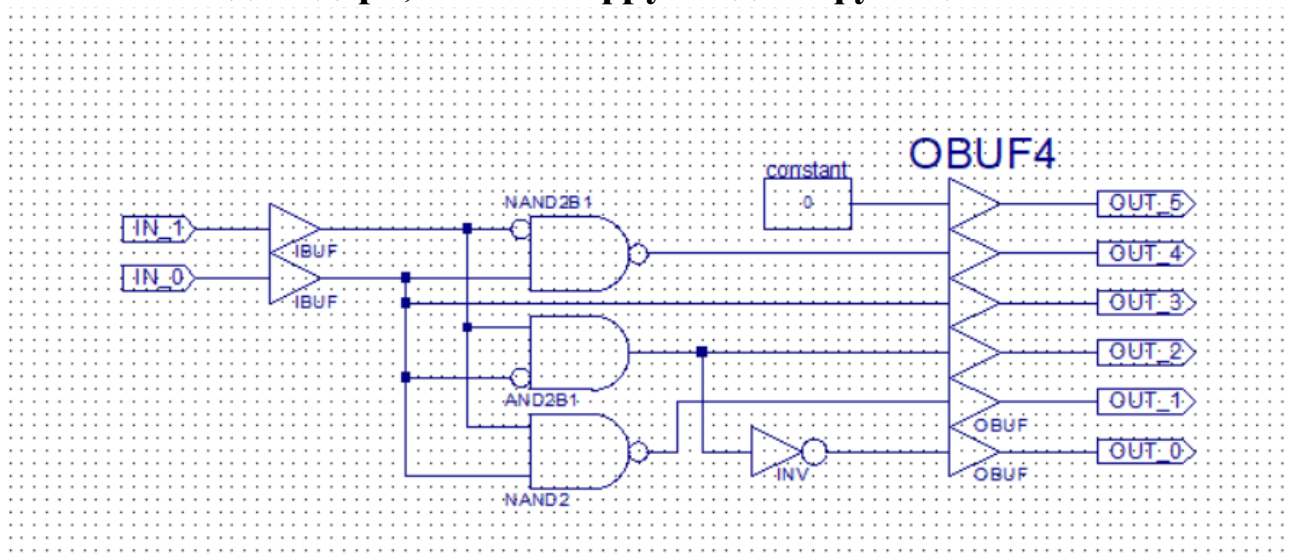
Тема роботи. Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом **Elbert V2 – Spartan 3A FPGA**.

Мета роботи. Побудова дешифратора (згідно варіанту) за допомогою **ISE WebPACK™ Schematic Capture** та моделювання його роботи за допомогою симулятора **ISim**.

Завдання:

	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
	0	0	1	1	0	0	1	0
	0	1	1	1	0	1	0	0
	1	0	0	1	1	0	1	0
	1	1	1	0	0	1	1	0

Схема декодера, який шифрує задані функції:



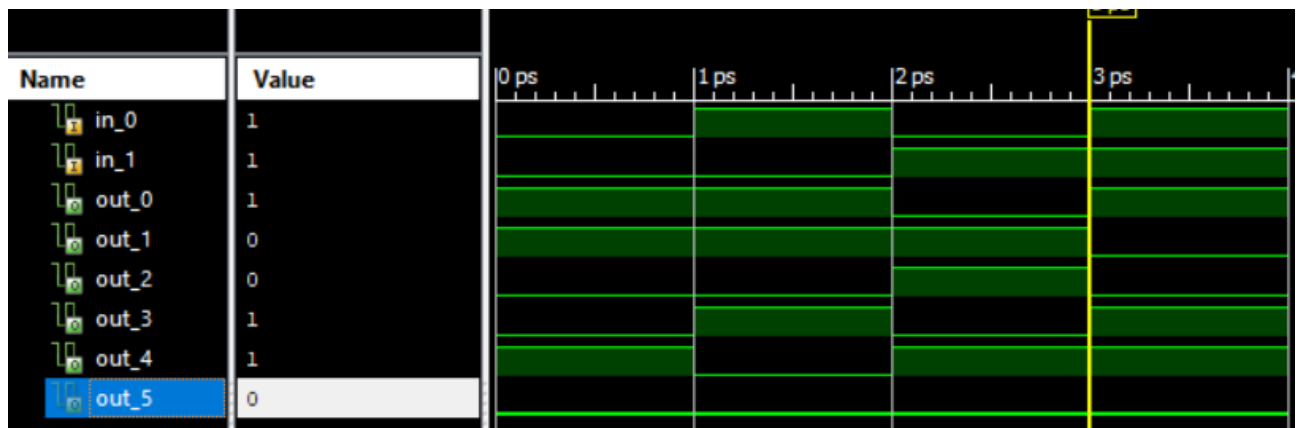
Код, що реалізує підключення виводів схеми до фізичних виводів цільової FPGA., що знаходиться у файлі **Dec3To5Constrain.ucf**:

```

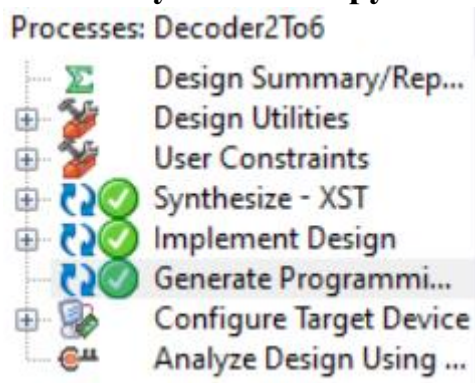
5 # * Rename the used signals according to the your project #
6 #+++++
7
8 #*****
9 #
10 #***** UCF for ElbertV2 Development Board *****
11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 # NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15 #*****
16 #
17 #***** LED *****
18
19 NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
20 NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_5" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 # NET "LED[6]" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 # NET "LED[7]" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27
28 #*****
29 #
30 #***** DP Switches *****
31
32 NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 # NET "DPSwitch[2]" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 # NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 # NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 # NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 # NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 # NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Результат перевірки роботи схеми за допомогою симулятора ISim(всі варіанти вхідних сигналів було перебрано з 0 ps до 8ps):



Результат генерування BIT файлу для цільової FPGA:



Висновок: Я згенерував схему дешифратора, який шифрує вхідні сигнали відповідно до мого завдання у середовищі **Xilinx** зробивши аналіз результату у симуляторі **Isim** і дійшов висновку, що схема побудована правильно. Одже навчився працювати з базовими інструментами **Xilinx** і моделювати примітивні комп'ютерні схеми.