

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №2

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Структурний опис цифрового автомата Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan3A FPGA»

Варіант 1

Виконав: ст. гр. КІ-201

Глинський В.А.

Прийняв:

Козак Н.Б.

Львів 2024

Мета роботи:

На базі стенда реалізувати цифровий автомат світлових ефектів згідно заданих вимог.

Етапи роботи:

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання.
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів.
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів.
4. Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.
5. Зінтегрувати всі компоненти логіки переходів логіку формування вихідних сигналів та пам'ять станів в єдину систему. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки.
6. Промодельовати роботу окремих частин автомата та автомата в цілому за допомогою симулятора ISim.
7. Інтегрувати створений автомат зі стендом додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA.
8. Згенерувати файл та перевірити роботу за допомогою стенда Elbert V2 – Spartan3A FPGA.
9. Підготувати і захистити звіт.

Варіант виконання роботи:

Пристрій повинен реалізувати комбінацій вихідних сигналів згідно таблиці:

Табл.1.1 Вихідні сигнали для кожного стану..

Стан#	LED_0	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7
0	1	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0
3	0	0	0	1	0	0	0	0
4	0	0	0	0	1	0	0	0
5	0	0	0	0	0	1	0	0
6	0	0	0	0	0	0	1	0
7	0	0	0	0	0	0	0	1

- Пристрій повинен використовувати тактовий сигнал 12MHz від мікроконтролера і знижувати частоту за допомогою внутрішнього подільника Мікроконтролер є частиною стенда Elbert V2 – Spartan3A FPGA. Тактовий сигнал заведено на вхід LOC = P129 FPGA.

- Інтерфейс пристрою повинен мати вхід синхронного скидання (RESET).
- Інтерфейс пристрою повинен мати вхід керування режимом роботи (MODE):
 - Якщо $MODE=0$ то стан пристрою інкрементується по зростаючому фронту тактового сигналу пам'яті станів (0->1->2->3->4->5->6->7->0...).
 - Якщо $MODE=1$ то стан пристрою декрементується по зростаючому фронту тактового сигналу пам'яті станів (0->7->6->5->4->3->2->1->0...).
- Інтерфейс пристрою повинен мати однорозрядний вхід (SPEED):
 - Якщо $SPEED=0$ то автомат працює зі швидкістю, визначеною за замовчуванням.
 - Якщо $SPEED=1$ то автомат працює зі швидкістю, В 2 РАЗИ ВИЩОЮ ніж в режимі ($SPEED=0$).
- Для керування сигналом MODE використати будь який з 8 DIP перемикачів.
- Для керування сигналами RESET/SPEED використати будь які з PUSH BUTTON кнопок.

Виконання роботи:

- 1) Логіку переходів реалізувати з використанням мови опису апаратних засобів.

Табл.2.2.1-2.2.3. Логіка переходів для всіх станів автомата.

1)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(0)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0
1	1	1	1	0

2)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0
1	1	1	0	0
1	1	1	1	1

3)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(2)
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1
1	1	1	0	1
1	1	1	1	1

Мінімізовані функції наступних станів автомата:

$NEXT_STATE(0) = \text{not}(CUR_STATE(0));$

$NEXT_STATE(1) = ((\text{not}(\text{MODE}) \text{ and } \text{not}(\text{CUR_STATE}(1)) \text{ and } \text{CUR_STATE}(0)) \text{ or } (\text{not}(\text{MODE}) \text{ and } \text{CUR_STATE}(1) \text{ and } \text{not}(\text{CUR_STATE}(0))) \text{ or } (\text{MODE} \text{ and } \text{not}(\text{CUR_STATE}(1)) \text{ and } \text{not}(\text{CUR_STATE}(0))) \text{ or } (\text{MODE} \text{ and } \text{CUR_STATE}(1) \text{ and } \text{CUR_STATE}(0)));$

$NEXT_STATE(2) \leq ((\text{not}(\text{MODE}) \text{ and } \text{CUR_STATE}(2) \text{ and } \text{not}(\text{CUR_STATE}(1))) \text{ or } (\text{CUR_STATE}(2) \text{ and } \text{CUR_STATE}(1) \text{ and } \text{not}(\text{CUR_STATE}(0))))$

not(CURR_STATE(0))) or (MODE and CURR_STATE(2) and CURR_STATE(0))
 or (not(MODE) and not(CURR_STATE(2)) and CURR_STATE(1) and
 CURR_STATE(0)) or (MODE and not(CURR_STATE(2)) and
 not(CURR_STATE(1)) and not(CURR_STATE(0))));

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity TRANSITION_LOGIC is
5      Port (CURR_STATE : in std_logic_vector(2 downto 0);
6            MODE : in std_logic;
7            NEXT_STATE : out std_logic_vector(2 downto 0)
8            );
9  end TRANSITION_LOGIC;
10
11 architecture TRANSITION_LOGIC_ARCH of TRANSITION_LOGIC is
12
13 begin
14
15     NEXT_STATE(0) <= (not(CURR_STATE(0))) after 1 ns;
16     NEXT_STATE(1) <= (((not(MODE) and not(CURR_STATE(1)) and CURR_STATE(0)) or
17                       (not(MODE) and CURR_STATE(1) and not(CURR_STATE(0))) or
18                       (MODE and not(CURR_STATE(1)) and not(CURR_STATE(0))) or
19                       (MODE and CURR_STATE(1) and CURR_STATE(0)))) after 1 ns;
20     NEXT_STATE(2) <= (((not(MODE) and CURR_STATE(2) and not(CURR_STATE(1))) or
21                       (CURR_STATE(2) and CURR_STATE(1) and not(CURR_STATE(0))) or
22                       (MODE and CURR_STATE(2) and CURR_STATE(0)) or
23                       (not(MODE) and not(CURR_STATE(2)) and CURR_STATE(1) and CURR_STATE(0)) or
24                       (MODE and not(CURR_STATE(2)) and not(CURR_STATE(1)) and not(CURR_STATE(0))))) after 1 ns;
25
26 end TRANSITION_LOGIC_ARCH;
27
28 |

```

Рис.2.1. VHDL опис логіки переходів.

2) Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL.

Логічні вирази для вихідних сигналів:

OUT_BUS(0) = (not(IN_BUS(2)) and not(IN_BUS(1)) and not(IN_BUS(0)));

OUT_BUS(1) = (not(IN_BUS(2)) and not(IN_BUS(1)) and IN_BUS(0));

OUT_BUS(2) = (not(IN_BUS(2)) and IN_BUS(1) and not(IN_BUS(0)));

OUT_BUS(3) = (not(IN_BUS(2)) and IN_BUS(1) and IN_BUS(0));

OUT_BUS(4) = (IN_BUS(2) and not(IN_BUS(1)) and not(IN_BUS(0)));

OUT_BUS(5) = (IN_BUS(2) and not(IN_BUS(1)) and IN_BUS(0));

OUT_BUS(6) = (IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0)));

OUT_BUS(7) = (IN_BUS(2) and IN_BUS(1) and IN_BUS(0));

```

19
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 entity OUTPUT_LOGIC is
24     Port ( IN_BUS : in std_logic_vector(2 downto 0);
25           OUT_BUS : out std_logic_vector(7 downto 0)
26           );
27 end OUTPUT_LOGIC;
28
29 architecture OUTPUT_LOGIC_ARCH of OUTPUT_LOGIC is
30
31 begin
32
33     OUT_BUS(0) <= ((not(IN_BUS(2)) and not(IN_BUS(1)) and not(IN_BUS(0)))) after 1 ns;
34     OUT_BUS(1) <= ((not(IN_BUS(2)) and not(IN_BUS(1)) and IN_BUS(0))) after 1 ns;
35     OUT_BUS(2) <= ((not(IN_BUS(2)) and IN_BUS(1) and not(IN_BUS(0))) after 1 ns;
36     OUT_BUS(3) <= ((not(IN_BUS(2)) and IN_BUS(1) and IN_BUS(0))) after 1 ns;
37     OUT_BUS(4) <= ((IN_BUS(2) and not(IN_BUS(1)) and not(IN_BUS(0))) after 1 ns;
38     OUT_BUS(5) <= ((IN_BUS(2) and not(IN_BUS(1)) and IN_BUS(0))) after 1 ns;
39     OUT_BUS(6) <= ((IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0))) after 1 ns;
40     OUT_BUS(7) <= ((IN_BUS(2) and IN_BUS(1) and IN_BUS(0))) after 1 ns;
41
42 end OUTPUT_LOGIC_ARCH;

```

Рис.2.4. VHDL опис вихідних сигналів.

3) Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.

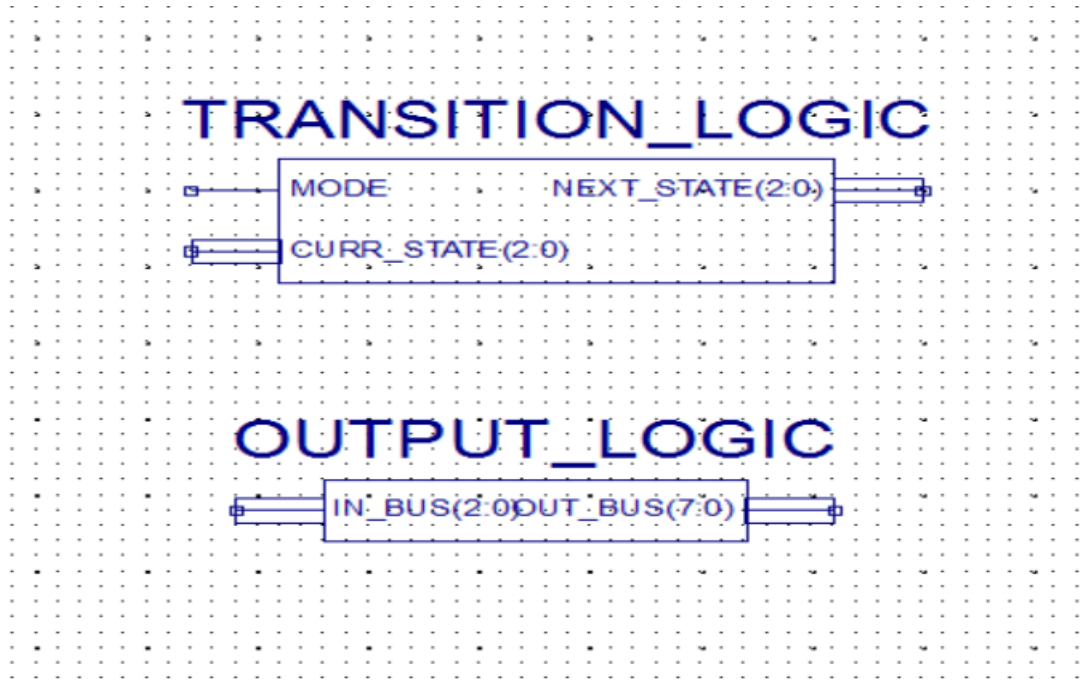


Рис.2.5. Згенеровані схематичні символи.

4) Зінтегрувати всі компоненти логіки переходів логіку формування вихідних сигналів та пам'ять станів в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки.

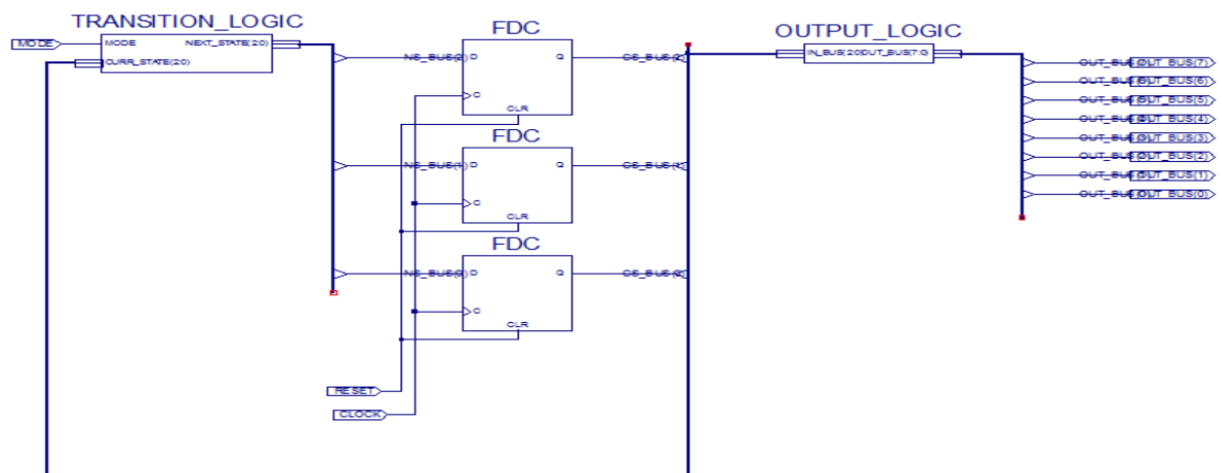




Рис.2.6. Інтеграція всіх створених компонентів разом з пам'яттю стану автомата.

[illegible]

Name	Value	
▼  in_bus[2:0]	111	
 [2]	1	
 [1]	1	
 [0]	1	
▼  out_bus[7:0]	10000000	
 [7]	1	
/output_logic/out_bus[7]		
 [5]	0	
 [4]	0	
 [3]	0	
 [2]	0	
 [1]	0	
 [0]	0	

Name	Value	0.000000 us	2 us	4 us	6 us	8.000000 us	
CLOCK	0						
MODE	1						
RESET	0						
OUT_BUS[7:0]	00000001	 0000... 00000010 0000100 00001000 00010000 00100000 01000000 10000000 0000...					
OUT_BUS[7]	0						
OUT_BUS[6]	0						
OUT_BUS[5]	0						
OUT_BUS[4]	0						
OUT_BUS[3]	0						
OUT_BUS[2]	0						
OUT_BUS[1]	0						
OUT_BUS[0]	1						
CS_BUS[2:0]	000	 000 001 010 011 100 101 110 111 000					
NS_BUS[2:0]	111	 001 010 011 100 101 110 111 000 001					

Рис.2.9. Результати симуляції автомата ($MODE = 0$, $RESET = 0$).

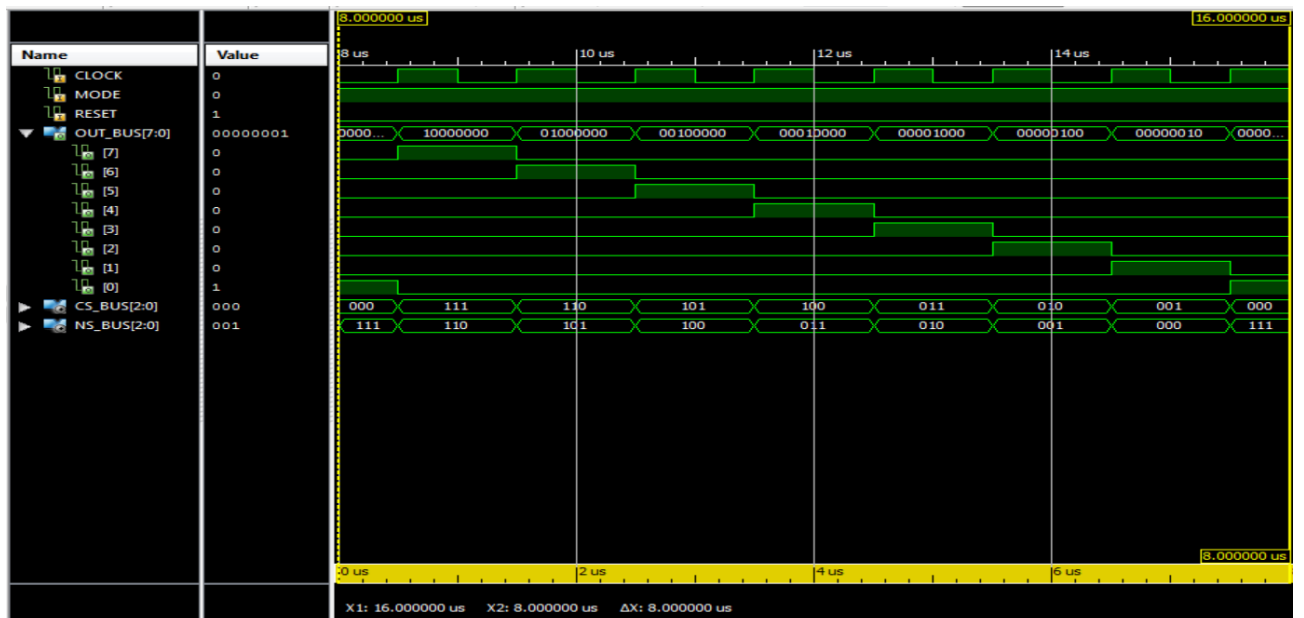


Рис.2.10. Результати симуляції автомата ($MODE = 1$, $RESET = 0$).

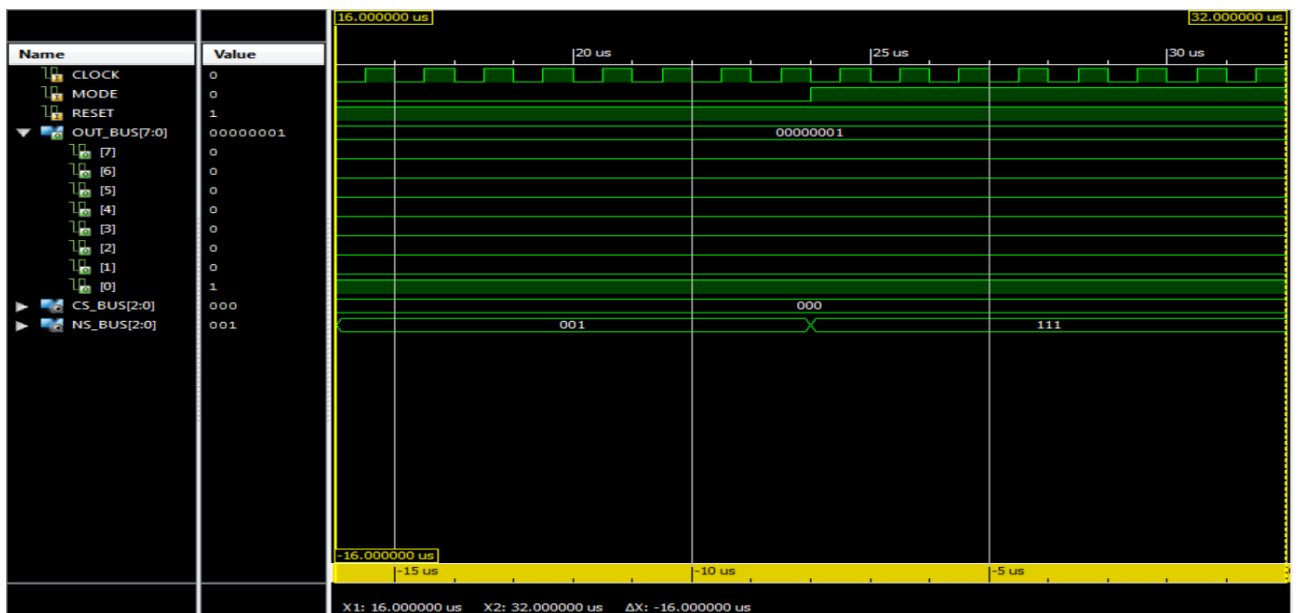


Рис.2.11. Результати симуляції автомата ($MODE = 0$, $RESET = 1$).

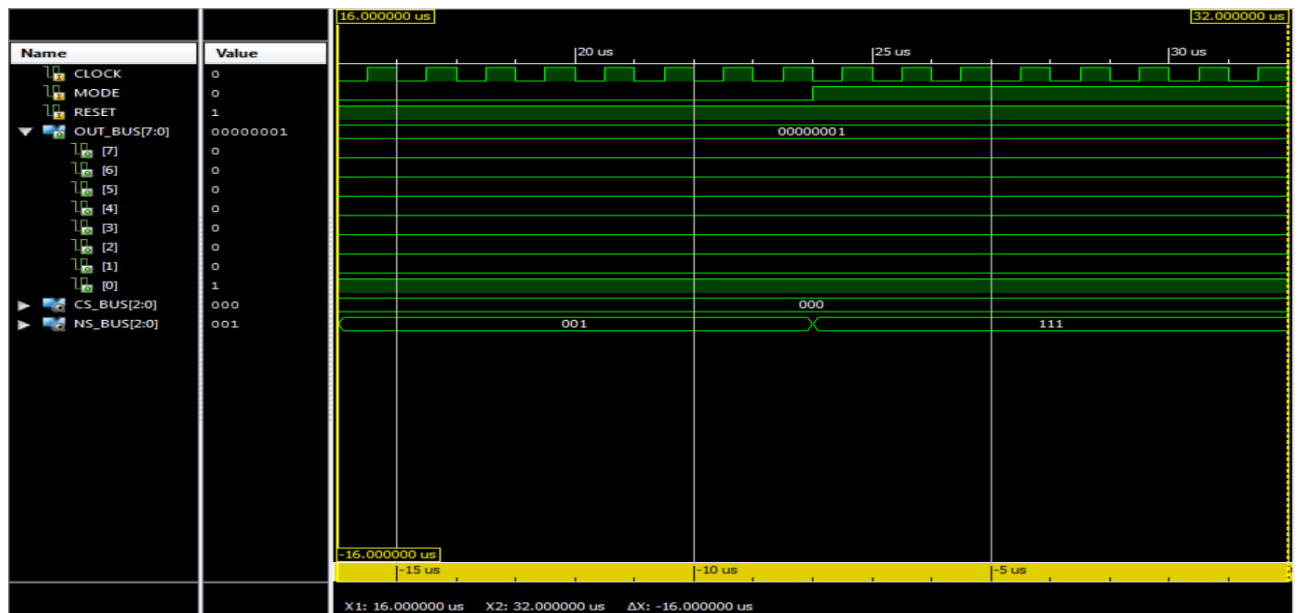


Рис.2.12. Результати симуляції автомата ($MODE = 1$, $RESET = 1$).

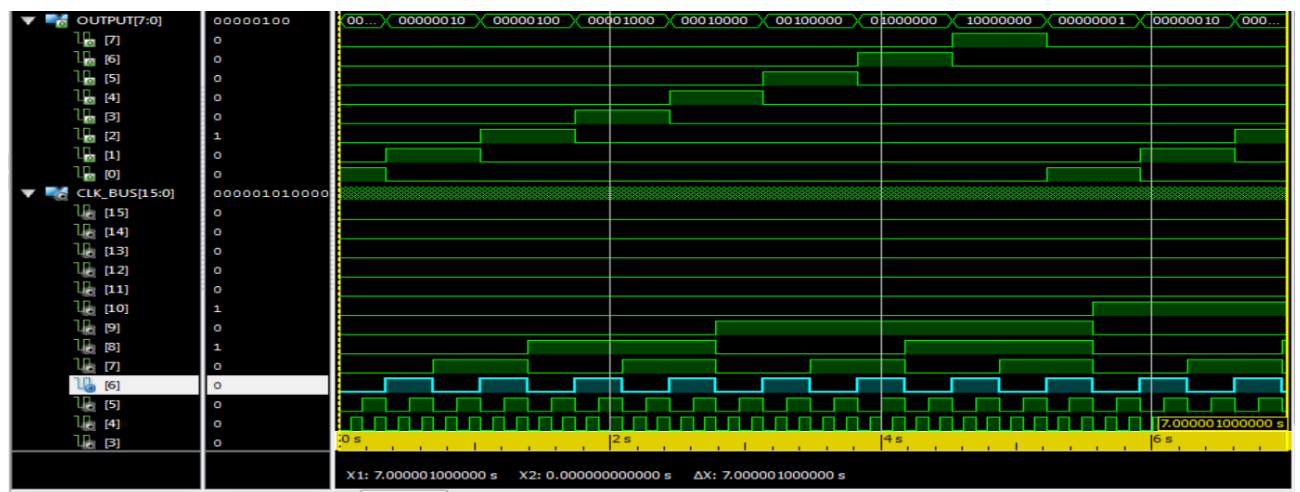


Рис.2.13. Результати симуляції фінальної схеми ($MODE = 0$, $SPEED = 0$, $RESET = 0$).

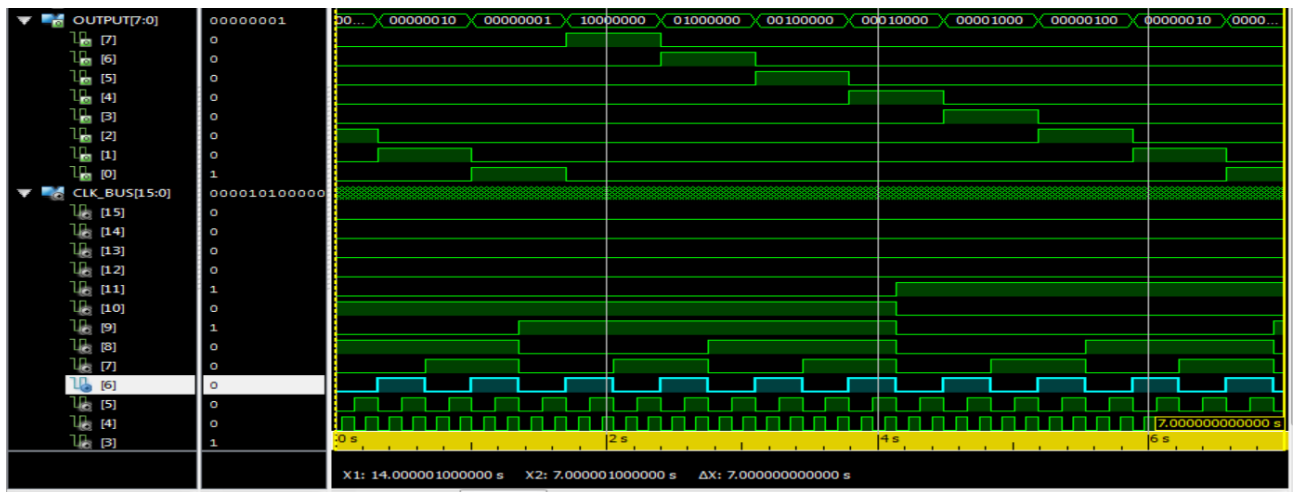


Рис.2.14. Результати симуляції фінальної схеми ($MODE = 1$, $SPEED = 0$, $RESET = 0$).

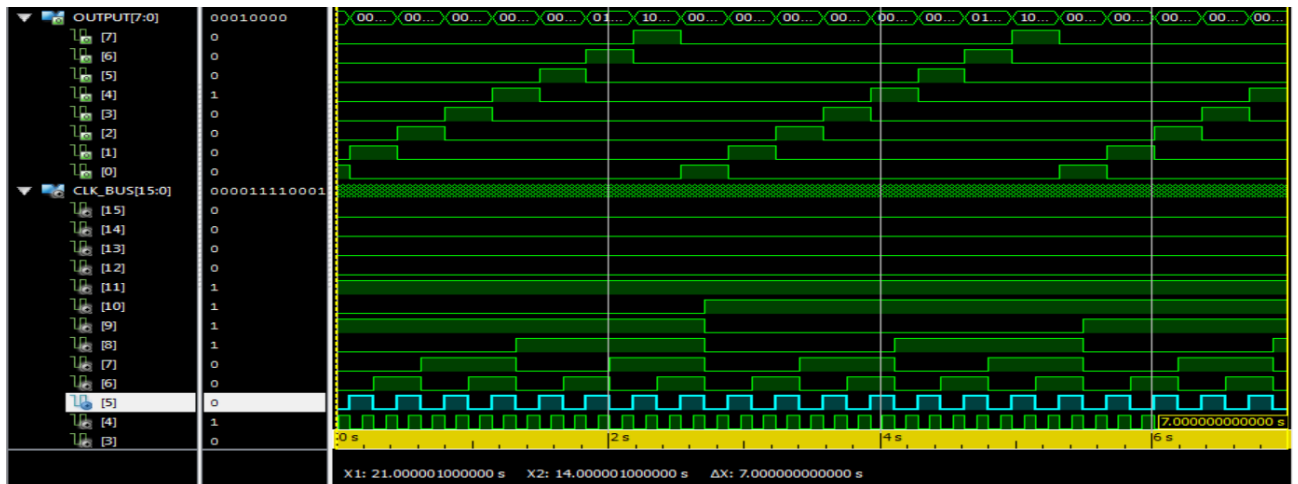


Рис.2.15. Результати симуляції фінальної схеми ($MODE = 0$, $SPEED = 1$, $RESET = 0$).

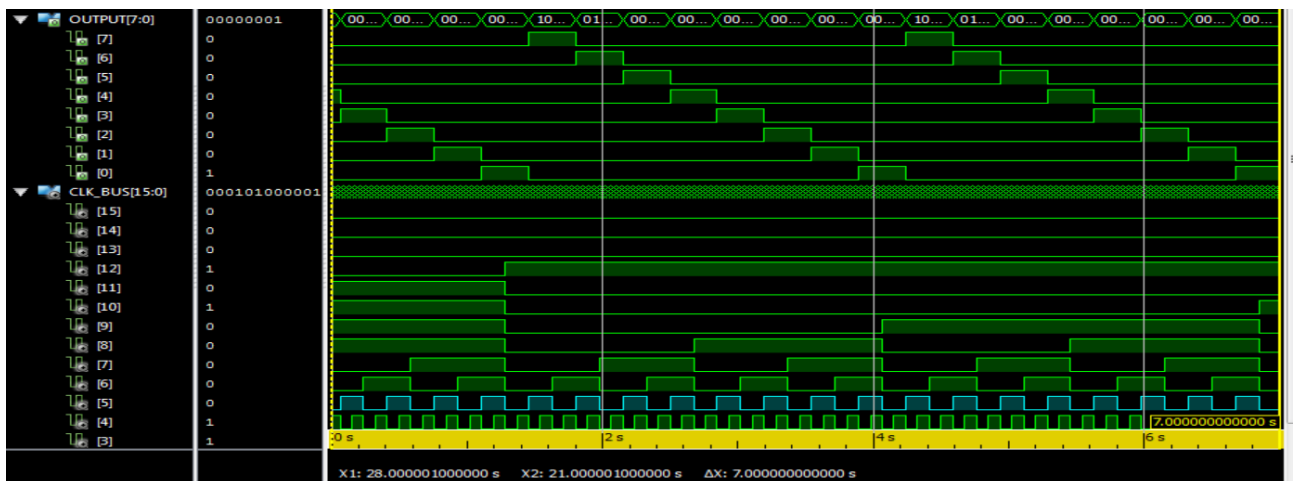


Рис.2.16. Результати симуляції фінальної схеми ($MODE = 1$, $SPEED = 1$, $RESET = 0$).

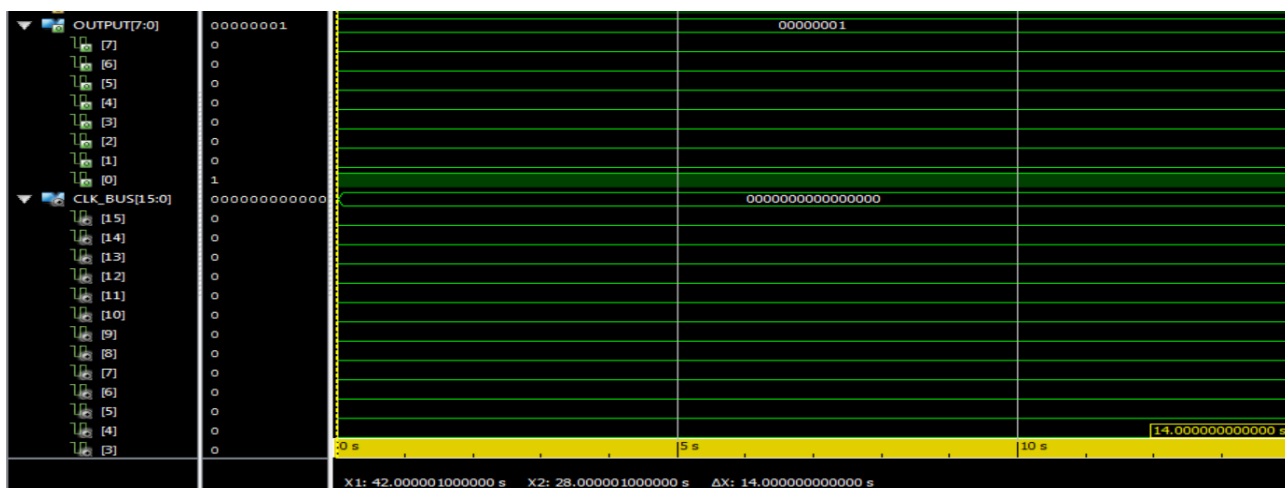


Рис.2.17. Результати симуляції фінальної схеми ($MODE = 0$, $SPEED = 0$, $RESET = 1$).

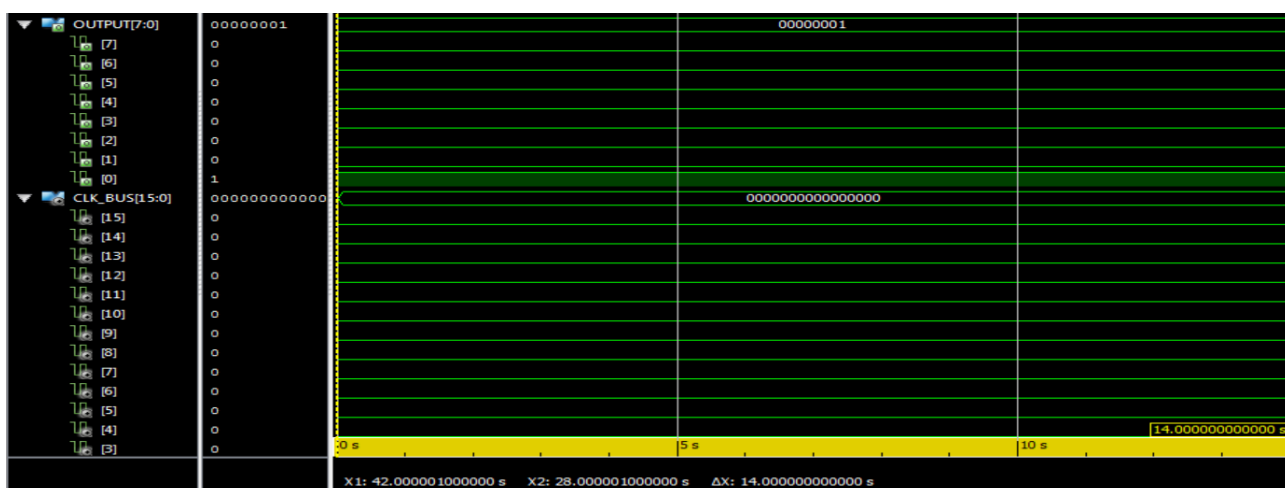


Рис.2.18. Результати симуляції фінальної схеми ($MODE = 1$, $SPEED = 0$, $RESET = 1$).

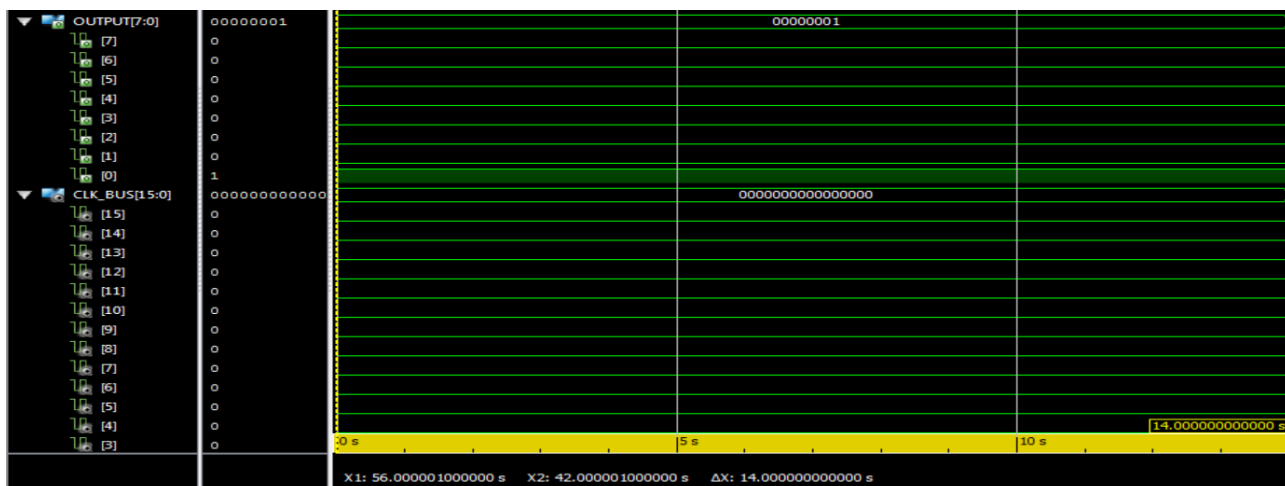


Рис.2.19. Результати симуляції фінальної схеми ($MODE = 0$, $SPEED = 1$, $RESET = 1$).

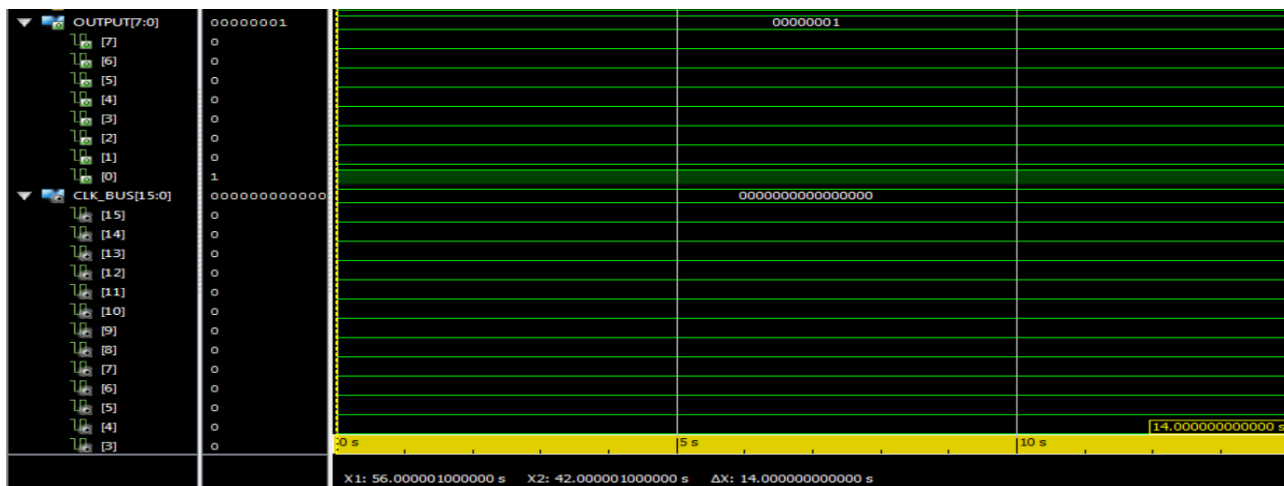


Рис.2.20. Результати симуляції фінальної схеми ($MODE = 1$, $SPEED = 1$, $RESET = 1$).

TEST BENCH:

```

75      wait until RESET = '0';
76
77      assert OUTPUT = "00000001";
78      wait for 696255us;
79      assert OUTPUT = "10000000";
80      wait for 1392509us;
81      assert OUTPUT = "01000000";
82      wait for 1392509us;
83      assert OUTPUT = "00100000";
84      wait for 1392509us;
85      assert OUTPUT = "00010000";
86      wait for 1392509us;
87      assert OUTPUT = "00001000";
88      wait for 1392509us;
89      assert OUTPUT = "00000100";
90      wait for 1392509us;
91      assert OUTPUT = "00000010";
92      wait for 1392509us;
93
94      MODE <= '0';
95      SPEED <= '1';
96      RESET <= '1', '0' after 167ns;
97      wait until RESET = '0';
98
99      assert OUTPUT = "00000001";
100     wait for 348128us;
101     assert OUTPUT = "00000010";
102     wait for 696255us;
103     assert OUTPUT = "00000100";
104     wait for 696255us;
105     assert OUTPUT = "00001000";
106     wait for 696255us;
107     assert OUTPUT = "00010000";
108     wait for 696255us;
109     assert OUTPUT = "00100000";
110     wait for 696255us;
111     assert OUTPUT = "01000000";
112     wait for 696255us;
113     assert OUTPUT = "10000000";
114     wait for 696255us;
115
116     SPEED <= '0';
117     RESET <= '1', '0' after 167ns;
118     wait until RESET = '0';
119
120     END PROCESS;

```

Рис.2.21. Файл TEST BENCH.

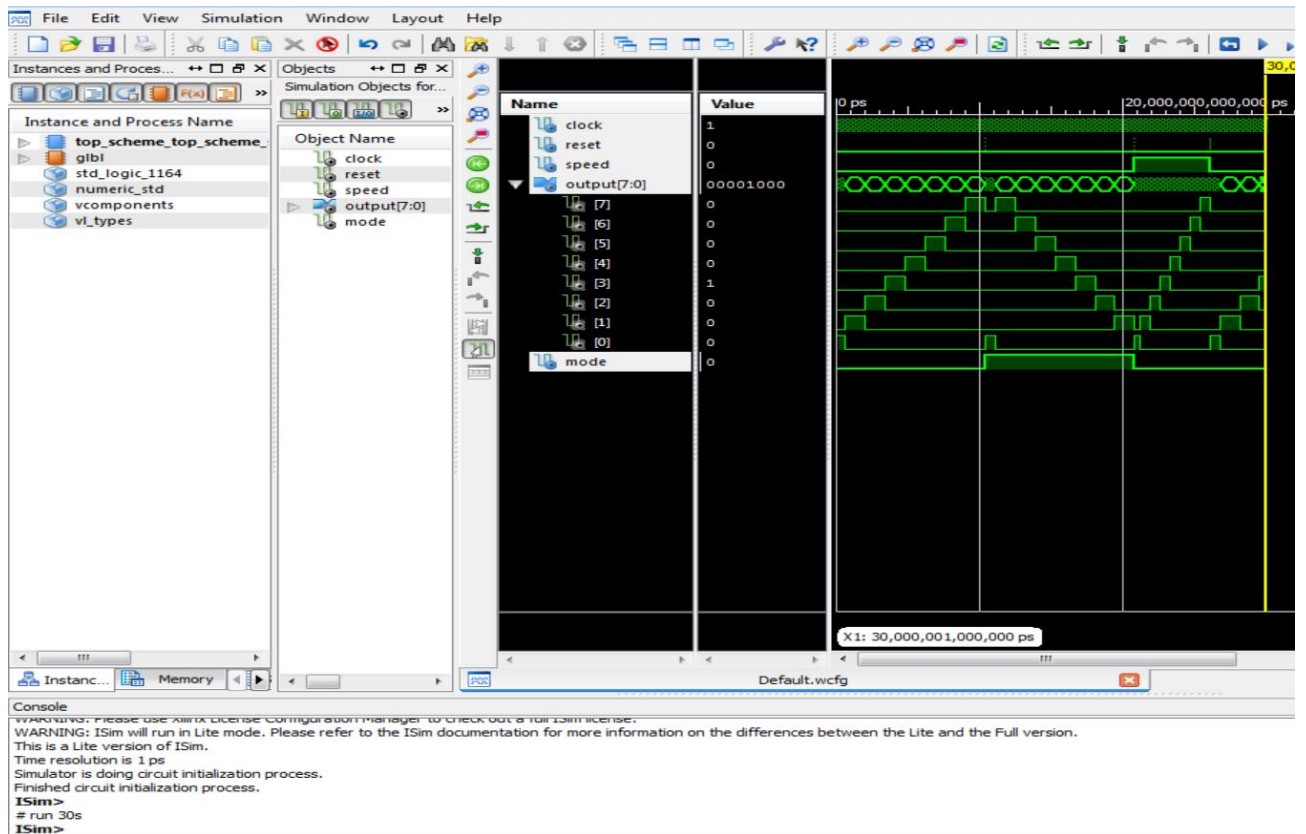


Рис.2.22. Результати виконання.

6) Інтегрувати створений автомат зі стендом Elbert V2 – Spartan3A FPGA. Додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA.

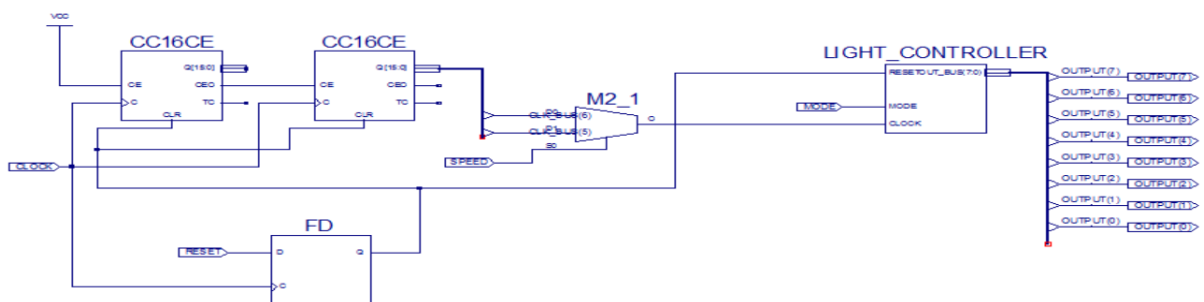


Рис.2.23. Автомат світлових сигналів та подільник тактового сигналу.

```

1  #-----
2  # UCF for ElbertV2 Development Board
3  #-----
4  CONFIG VCCAUX = "3.3" ;
5
6  # Clock 12 MHz
7  NET "CLOCK" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
8
9  #-----
10 # LED
11 #-----
12
13 NET "OUTPUT (0)" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
14 NET "OUTPUT (1)" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
15 NET "OUTPUT (2)" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
16 NET "OUTPUT (3)" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
17 NET "OUTPUT (4)" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
18 NET "OUTPUT (5)" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
19 NET "OUTPUT (6)" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
20 NET "OUTPUT (7)" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21
22 #-----
23 # DP Switches
24 #-----
25
26 NET "MODE" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 NET "RESET" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28 NET "SPEED" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
29
30 |

```

Рис.2.24. Призначення фізичних входів та виходів.

Висновок:

В ході виконання цієї лабораторної роботи я реалізував на базі стенда Elbert V2 – Spartan3A FPGA цифровий автомат світлових ефектів згідно заданих вимог.