
浙江大学

本科实验报告

课程名称：电子电路系统综合实验

姓 名：王若鹏

学 院：信息与工程学院

专 业：电子科学与技术

学 号：3170105582

指导教师：李锡华 施红军 叶险峰

选课时间：暑假短学期

2019 年 7 月 15 日

浙江大学实验报告

课程名称：电子电路系统综合实验 指导老师：李锡华 叶险峰 施红军 成绩：___

实验名称：多路竞赛抢答器的设计与制作 实验类型：设计实验

同组学生姓名：于跃 王衡勋

一、实验设计任务

设计多路竞赛抢答器，实现以下功能：

- 1、可同时提供 8 名选手参赛，按钮和显示的参赛组号为 1~8；
- 2、主持人通过控制开关来控制系统的复位清零和启动；
- 3、抢答器具有数据锁存和组号显示功能，能够判断违规抢答，即在主持人启动开始按钮前提前抢答；
- 4、设计定时抢答功能，主持人按下开始按钮后，定时器进行倒计时并显示剩余时间。参赛者在设定时间内进行抢答，一旦有选手抢答，定时器立即停止计数。若时间到时仍无人抢答，发出 1s 的提示音后停在 0s，本次抢答无效，封锁输入电路，禁止超时抢答。抢答时间可在 1~99s 内由主持人预设；
- 5、设计计分电路，每组在开始时预置 10 分，抢答后由主持人控制，答对加 1 分，答错减 1 分。

二、实验方案与设计

2.1 总体设计

2.1.1 设计思路

为鉴别第一抢答者，其抢答信号需要锁存，同时封锁随后的抢答信号。实现这一功能需要使用锁存器，在得到第一信号后反馈至输入端，将电路的输入封锁，从而阻止随后的抢答信号输入。

当电路获得第一抢答信号后，绿色 LED 指示灯亮起，标志该组抢答成功，用数码管显示抢答者的组号。同时启动音频电路，发出“嘀嘟”提示音。

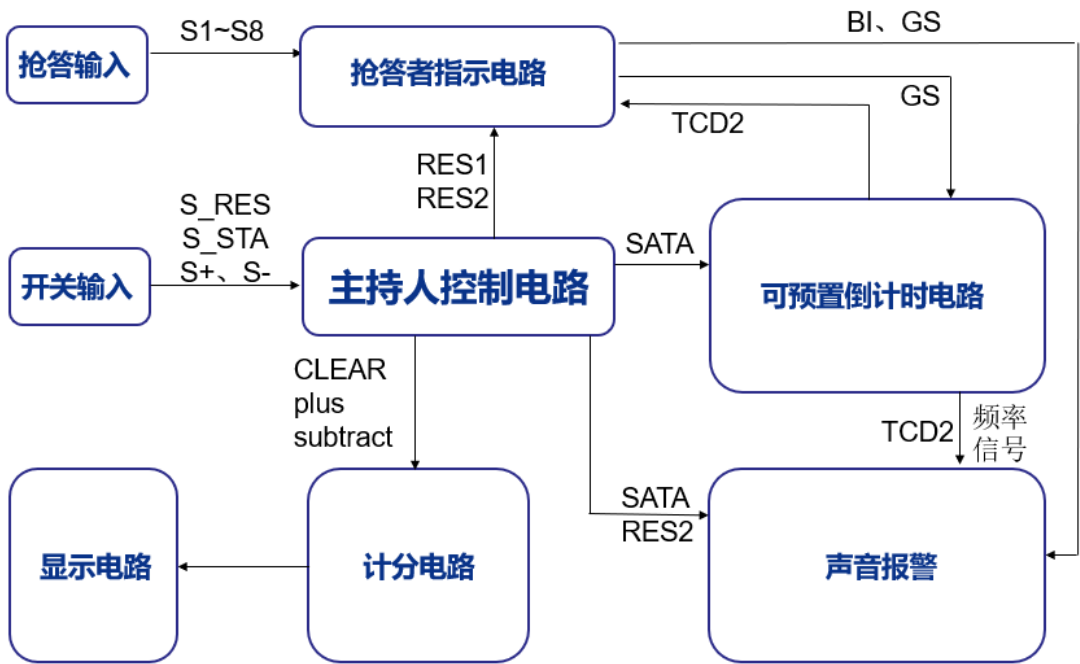
用时钟专用芯片产生一个标准秒信号，2 位可预置数的十进制减法计数器作倒计时定时器。当得到有效的第一抢答信号后或者计数到 0 时停止计数，封锁抢答器，同时发出持续 1s

的告警提示音。

计分电路采用 2 位十进制计数器和数码管实现。主持人通过按加减按钮来改变该组的得分。为节约板面，进行功能示意，仅对第一组的得分进行记录与存储。

2.1.2 系统设计

系统各电路模块及信号的传输绘制如下图：



(图 1：系统框图)

各模块间的传送信号整理如下表：

信号名称	产生电路	目标电路	功能
Si	抢答输入	抢答指示	各组的抢答按钮
BI	抢答指示	声音报警	灭灯信号
GS	抢答指示	倒计时/报警	编码器级联信号
TCD2	倒计时	抢答指示	计时停止信号
SATA	主持人	倒计时/报警	开始抢答信号
RES1/2	主持人	抢答指示	复位信号
S_RES	开关输入	主持人	复位按钮
S_STA	开关输入	主持人	开始抢答按钮
S++/S--	开关输入	主持人	加减分按钮
CLEAR	主持人	计分	清零信号

plus	主持人	计分	加分上升沿信号
subtract	主持人	计分	减分上升沿信号

2.2 各功能模块的设计

2.2.1 抢答输入模块

抢答输入模块如图 2 上半部分所示，主要由按钮开关 S1~S8、数据锁存器 74LS373、编码器 74LS148、六输入非门 74LS04、四位快速进位加法器 74LS83、锁存译码器 CD4511 及共阴数码管组成。

主持人按下复位按钮，产生一个负脉冲，使与非门 G1 输出高电平，加到锁存器 74LS373 的锁存控制端 LE，使锁存器输出不稳定，并与输入端一致。此时 S1~S8 没有被按下，锁存器的输入端均为高电平，并反馈到输出端，使编码器 74LS148 的级联输出端 GS 为高电平，经与非门 G2 反相后得到低电平，使 G1 保持高电平输出，完成复位过程。

主持人按下抢答开始按钮，抢答开始，当第 i 组按下输入按钮 Si 时，对应的 Di 端为低电平，Qi 端也为低电平，编码器 GS 信号跳变为低电平，使 G1 输出低电平，锁存器锁存控制端 LE 为低电平，执行锁存功能。此时若再有组抢答，锁存器的输出也不会发生变化，确保不会出现二次按键时的输入，起到封锁输入的目的。

需要注意的是，编码器的编码输出为反码，需经过反相器后得到 3 位二进制码(0~7)，然后再经过加法器加 1 得到组号(1~8)。修正后的数据送入 BCD-7 段译码器 CD4511 进行七段译码，由七段共阴数码管显示抢答者的组号。

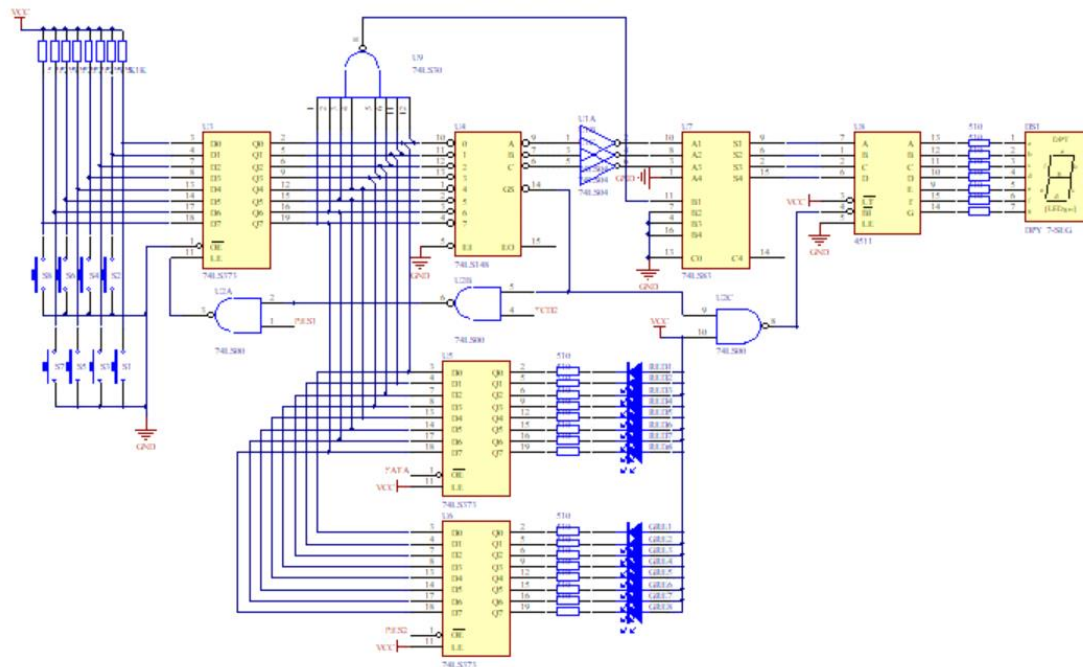
为控制抢答成功前数码管的状态，编码器级联信号 GS 反相后接译码器的灭灯信号 BI 的输入端，从而使数码管在抢答成功前不会显示。同时此信号还可作为抢答成功提示音的启动信号和倒计时停止计时的信号等。

2.2.2 违规判断模块

违规判断模块如图 2 下半部分所示，主要由两个数据锁存器 74LS373、16 个 510Ω 的电阻、16 个 LED 组成。

为进行违规判断，需要设计抢答封锁控制电路，如图 2 中三个与非门所示。抢答封锁控制受倒计时结束输出 TCD2、抢答编码器级联输出 GS 和主持人控制。当倒计时计数结束时 TCD2 为低电平，编码器无输入，GS 为高电平；当有选手抢答时，GS 输出低电平，TCD2 位高电平；当主持人手动复位时，解除封锁并返回到初始状态。

为了给选手更直观地显示抢答成功与否，在抢答器终端处设置指示灯，直观地指示出抢答成功者。指示灯设红绿两个，绿灯表示抢答成功，红灯表示提前抢答，属于违规行为。抢答信号从锁存器的输出端获得，再结合主持人开始信号判断出时抢答成功还是提前抢答。



(图 2: 抢答输入与违规判断模块)

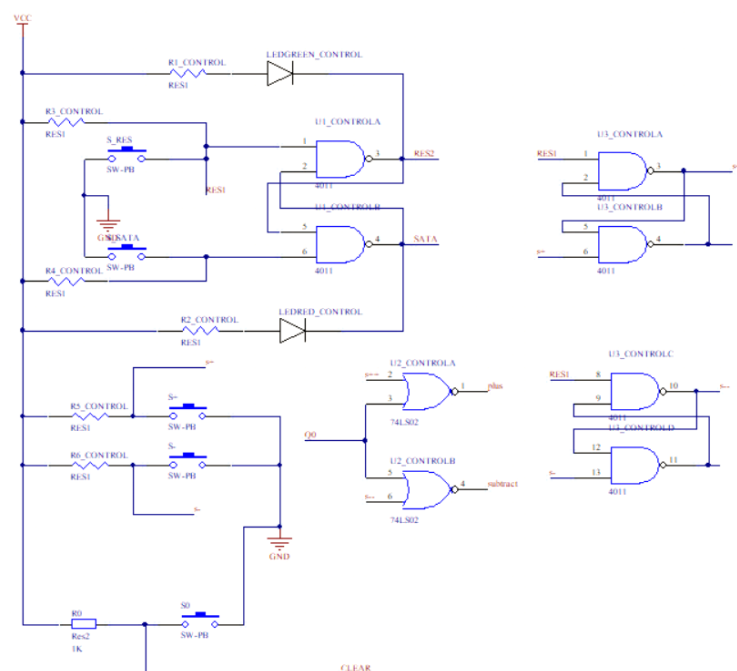
2.2.3 主持人控制模块

主持人控制模块如图 3 所示, 由 5 个控制按钮, 6 个与非门、2 个或非门、一红一绿两个 LED 组成。该模块中有五个按键开关输入, 分别控制开始、重置、加分、减分和分数重置的功能。由于按键开关在按下时会有抖动现象, 若不去除这些抖动, 加减分时很难控制分数变化的多少, 从而影响电路工作。因此采用 D 触发器去除按键抖动。

通过 RS 触发器的设计，“开始”和“复位”按钮产生 RES1 脉冲信号、RES2 和 SATA 信号。“开始”按钮按下后，RES2 置 0，SATA 置 1，系统进入开始抢答状态；按下“复位”按钮后，RES2 置为 1，SATA 置为 0，同时 RES1 产生一个负脉冲，此时抢答者电路复位，等待下一次抢答开始。

加分和减分按键也采取 D 触发器除抖。按下加分或减分按钮时，plus 或 subtract 产生一个负脉冲，计数器执行加一或减一。

分数重置按钮则产生一个重置脉冲信号 **CLEAR**，作为输入进入计分电路，使计数器重置为预置分数。



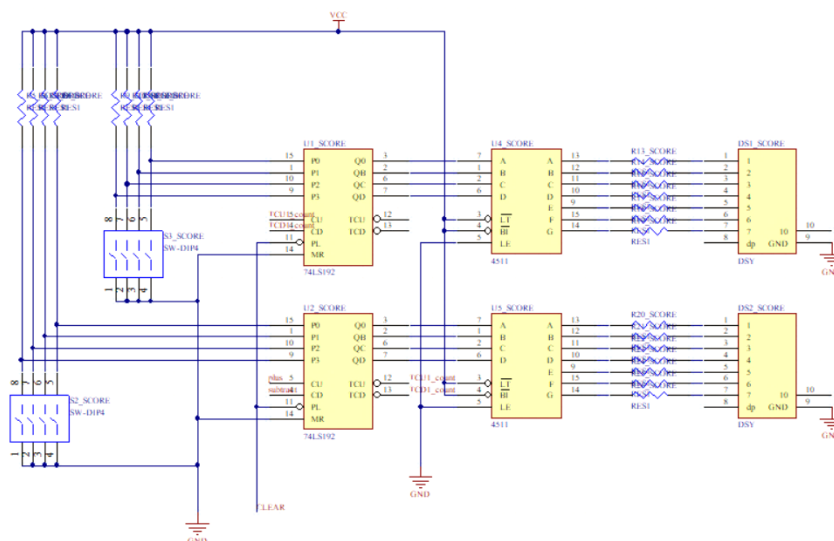
(图 3：主持人控制模块)

2.2.4 计分模块

计分模块如图 4 所示，主要由 2 个四位拨码开关、2 个十进制可逆计数器 74LS192、2 个锁存译码器 CD4511、2 个共阴数码管组成。每组在开始时预置 10 分，抢答后有主持人控制，答对加 1 分，答错减 1 分。

该模块的输入来源为主持人控制电路，主要输入信号有分数重置脉冲信号 **CLEAR**，加分减分信号 **plus**、**subtract**。采用拨码开关、可预置可逆计数器、译码器和数码管实现电路功能。拨码开关可输入二进制预置分数，分为十位和个位，在本次实验设计中，一般取初始分数为 10 分。当输入信号 **CLEAR** 出现一个负脉冲时计数器预置为拨码开关设置分数。

以加分为例，查阅资料可得，计数器 74LS192 为上升沿触发，因此输入信号 **plus** 有一个上升沿时计数器执行加 1 操作。十位的加减则与个位进位与借位信号相接。七段译码器 CD4511 的 LT 与 BI 脚均置为高电平，使显示器正常显示；LE 脚置为低电平，不需要锁存，时刻传输数据。七段数码管采用共阴数码管。拨码开关支路电阻均为 $5.1k\Omega$ ，数码管支路电阻均为 $1k\Omega$ 。



(图 4: 计分模块)

2.2.5 倒计时模块

倒计时模块如图 5 所示，主要由三个部分组成：

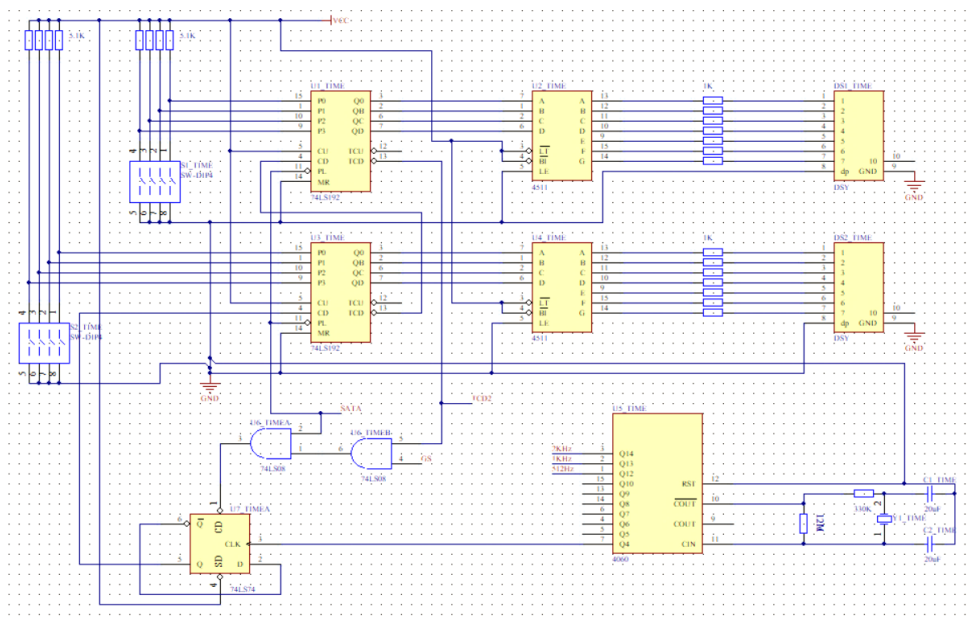
(1) 计时部分。由 74LS192 集成电路和拨码开关组成，用来对电路进行减计时，并且可预置倒计时初始时间（1~99s）。拨码开关的与 74LS192 的置数引脚连接，可用拨码开关的开闭来对计时芯片的初始值进行设置，主持人按下 RES 按钮，代表这次抢答结束，则作为置数信号的 SATA 信号变为 0，计时模块将置数为预置的时间，实现倒计时模块的置数功能。

(2) 显示部分。由 CD4511（代替 74LS247）、1k 电阻（代替图上 510Ω 电阻）和共阴七段数码显示管组成，显示计时模块目前的计时。74LS192 输出的四个引脚与 CD4511 四个输入引脚相连，CD4511 实现七段译码，数码管实时显示当前 74LS192 的时间。

(3) 秒脉冲产生部分。产生频率为 2Hz 的周期信号，用来生成计时模块需要的 1Hz 信号以及告警电路需要的 2KHz、1KHz 和 512Hz 信号。4060 芯片以及右边的电路，实现脉冲信号的产生，产生的信号最高频率为 2KHz，最低频率为 2Hz，而计时部分需要输入 1Hz 的信号，所以需要对 2Hz 信号进行二分频，使其变为 1Hz 的信号。另外，还需要设计一个组合电路，实现当计时停止信号到来时，1Hz 的信号不再输出，使计数器的时钟信号没有上升沿，则计时部分的电路将停止计时，显示部分的数码管将显示当前时间且不再变化。所以，考虑用一个带置位复位正触发 D 触发器（74LS74）来实现功能。

如图 5 左下角所示，74LS74 的 CLK 端接入 2Hz 信号，而 Q'端接到输入 D 端，即每个时钟周期实现一次翻转，则可将 2Hz 信号变为 1Hz 信号。SD 端接高电平。另外，将 SATA、

TCD2 和 GS 信号通过与门后接到 CD 端（即清零端），当 GS、TCD2 和 SATA 均为 1 时，要求电路正常计时，该部分电路将产生 1Hz 信号作为时钟信号。当 GS 变为 0 时，说明有人抢答，则 CD 端输入为 0，输入 Q 变为 0，计时部分电路停止工作且保持；当 TCD2 变为 0 时，说明倒计时结束，CD 端输入为 0，计时部分电路停止，则 TCD2 保持低电平，实现倒计时的停止以及保持。



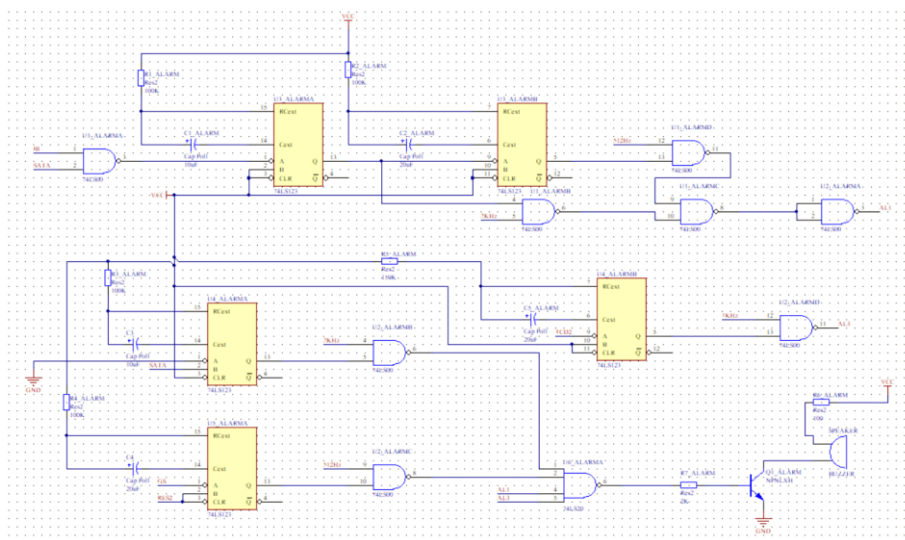
(图 5: 倒计时模块)

2.2.6 告警模块

告警电路如图 6 所示, 由 5 个单稳态多谐振荡器 74LS123、9 个与非门、1 个三极管、1 个蜂鸣器、若干电阻和电容组成。其作用是当不同的操作发生时, 给出相应的提示音, 共有四种不同的提示音:

- (1) 抢答开始提示音：短促的“嘀”；
- (2) 抢答成功提示音：“嘀嘟”；
- (3) 时间到提示音：长“嘟”音；
- (4) 提前抢答提示音：短暂的“嘟”音。

用倒计时模块输出的 2KHz、1KHz 和 512Hz 信号作音频信号,用单稳态触发器 74LS123 控制音响时长,设计好的电路图如下。每个 74LS123 前的电阻和电容的乘积为音响的时长,通过改变电容和电阻的值可改变输出音响的时长。



(图 6: 告警模块)

三、主要仪器设备

3.1 仪器设备

示波器、万用表、杜邦线、焊锡、镊子、钳子

3.2 元器件清单

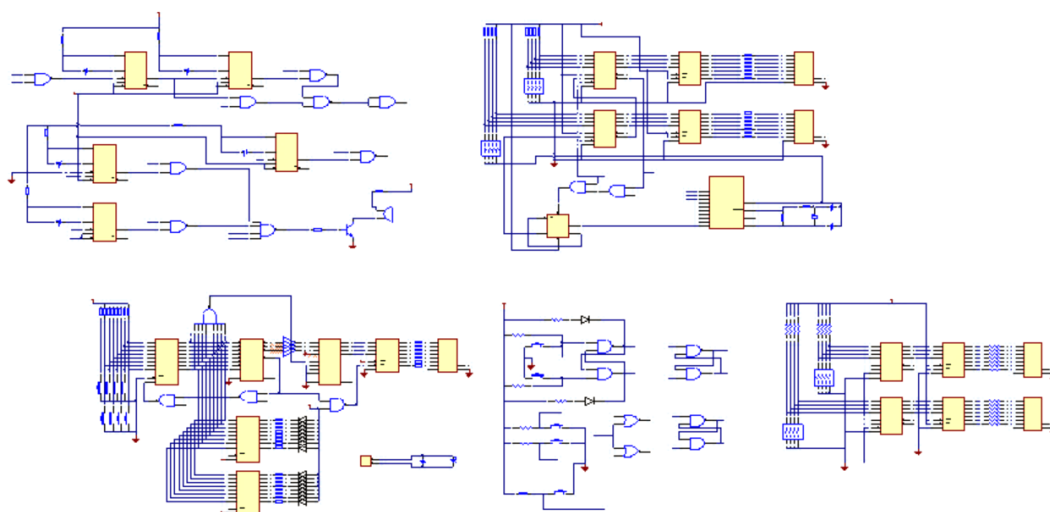
器件	数目	器件	数目	器件	数目
四拨码开关	5	CD4068	1	74LS182	2
共阴数码管	6	CD4060	1	74LS148	1
三极管 9013	1	CD4011	1	74LS32	1
晶振 32768	1	74LS83	1	74LS123	5
按键开关	13	74LS74	2	74LS08	1
LED 红色	9	74LS373	3	74LS04	1
LED 绿色	9	74LS20	1	74LS00	4
CD4511	6	74LS192	3		

四、实验步骤与过程

4.1 原理图设计

根据设计要求,将整体电路原理图设计如图 7 所示,由于电路过于庞大,细节比较模糊,

在此只体现整体框架。各模块的细节与分析见图 2-6。

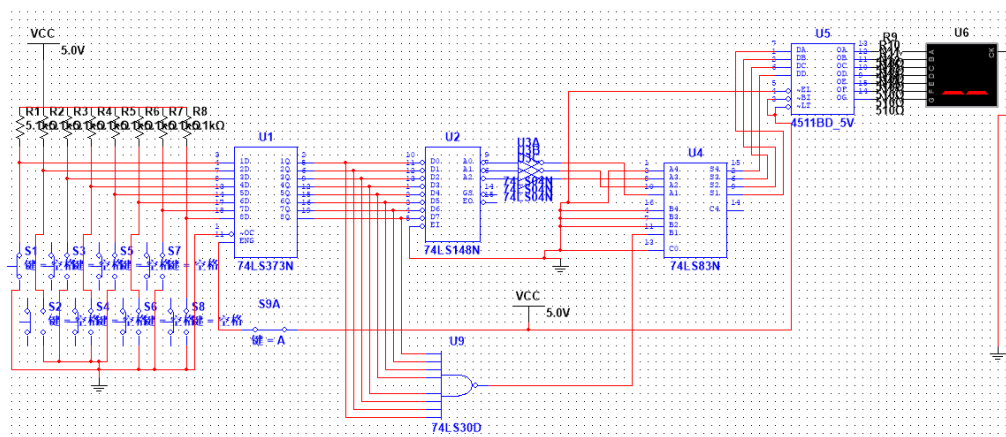


(图 7: 完整实验原理图)

4.2 Multisim 仿真

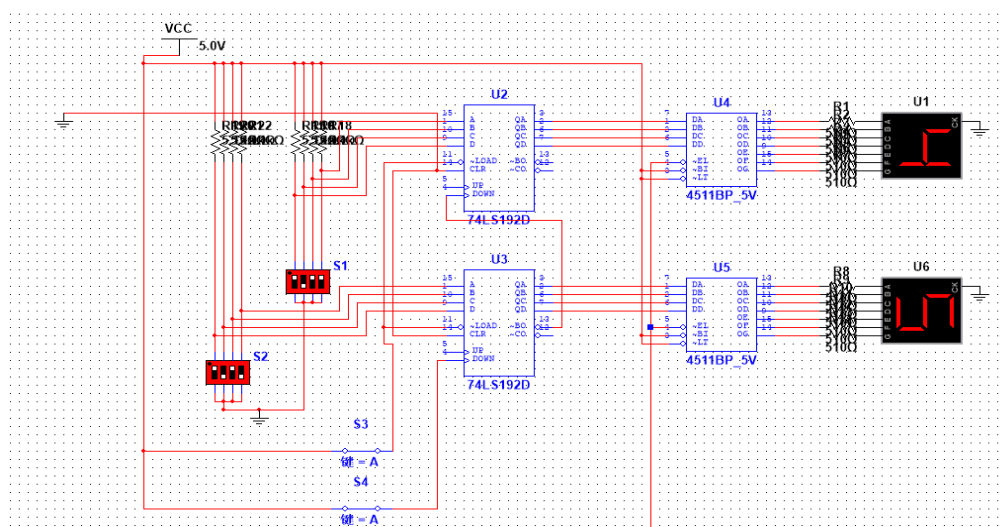
为保证设计的正确性，我们选择了几个模块在 Multisim 软件上进行仿真。

对组号显示模块，仿真图如图 8 所示，各元器件的接法与原理图相同。仿真刚开始，数码管无显示。先按下键 S9，表示抢答开始，再按下 S1 键后，数码管显示 1，并成功锁存。由此可见，组号显示模块设计正确、功能正常。



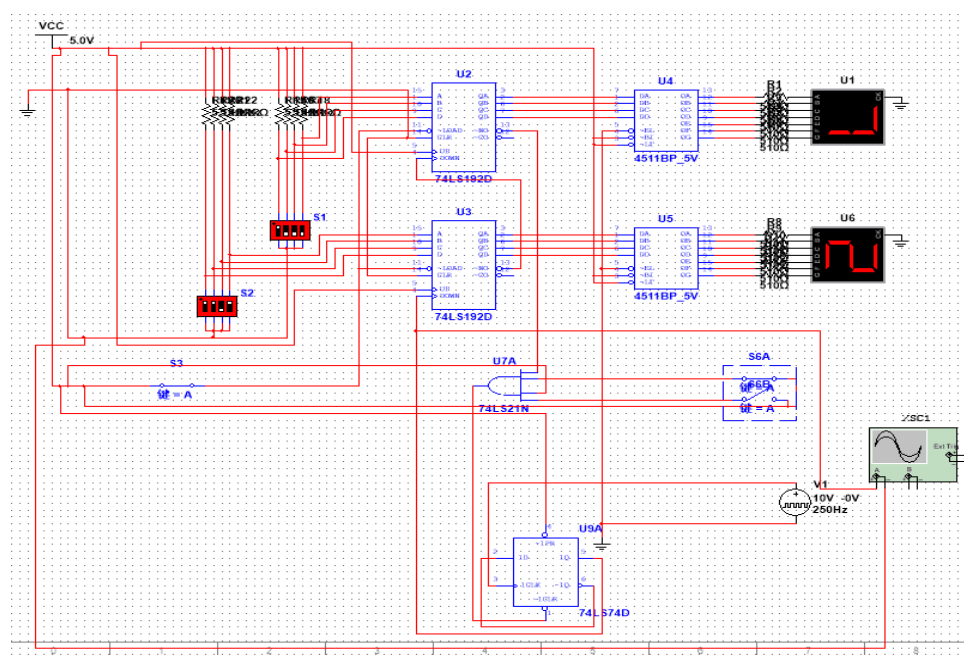
(图 8: 组号显示仿真)

对计分电路模块，仿真图如图 9 所示，各元器件的接法与原理图相同。仿真开始，再 S1 和 S2 分别置数 4、5，表示预置分数为 45。按下开关 S3、S4，表示计分开始，数码管上显示分数 45。加减分信号由主持人控制模块产生，在此没有体现。因此，计分电路模块设计正确、功能正常。



(图 9: 计分电路仿真)

对倒计时模块，仿真图如图 10 所示，各元器件的接法与原理图相同。右下角信号发生器产生时钟信号，S1、S2 为预置倒计时开关，按下 S3，数码管显示 72，功能正常。

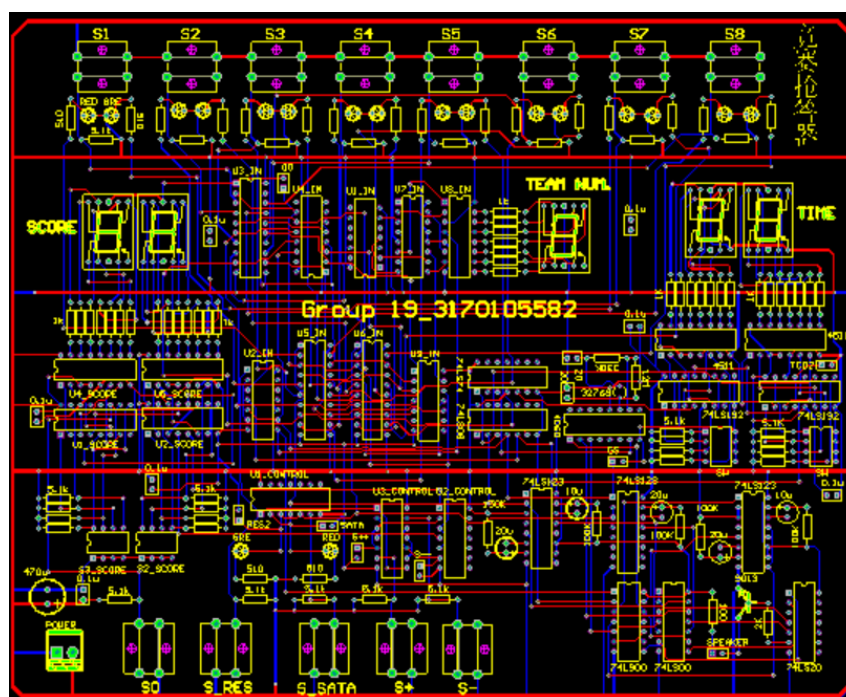


(图 10: 倒计时仿真)

4.3 PCB 板图绘制

将所有元器件加载后，先按电路模块进行排布，信号传递有紧密联结的器件放在一起。同时，也要尽量避免导线的盘根错杂，追求简单明了。最上方放置一排抢答开关及其指示灯，最下方一排为主持人控制模块，中间则是其他模块。排布结束后，在 top layer 层多横向布线，在 bottom layer 层多纵向布线，最后在 top overlay 层写上按钮名称、数码管信息、组别

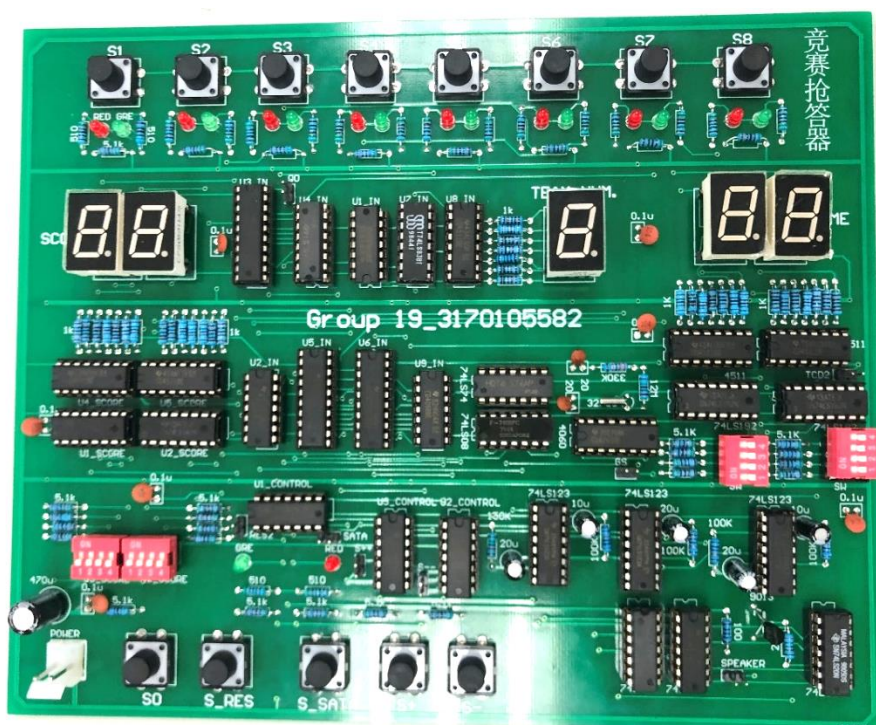
信息等，将 PCB 版图绘制如下：



(图 11: PCB 绘制图)

4.4 电路搭建

拿到板子与元器件后，将实验电路搭建如下图，随后进行调试。



(图 12: 电路搭建成果图)

五、实验调试与数据记录

对各测试点进行测试，若与理论分析不同则进行错误修正，详细内容参见“七、实验中的问题及解决方法”。经理论分析，正常工作状态下的电平与脉冲信号记录如下表：（H 表示高电平，L 表示低电平）

测试点 操作	TCD2	SATA	RES2	GS	S++	S--	Q0
重置	H	L	H	H	H	H	H
抢答开始	H	H	L	H	H	H	H
无人抢答	L	H	L	H	H	H	H
有人抢答	H	H	L	L	H	H	H
第一组抢答	H	H	L	L	H	H	L
第一组加分	\	\	\	\	负脉冲	H	\
第一组减分	\	\	\	\	H	负脉冲	\

六、实验结果与分析

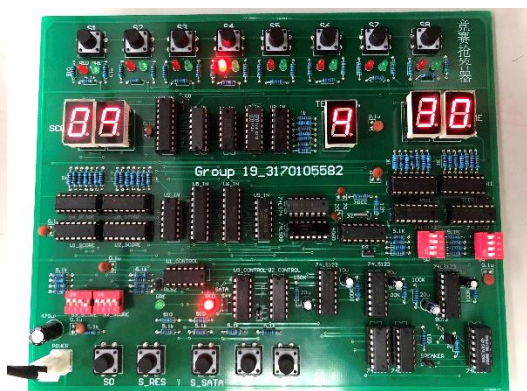
调试完全后，进行功能演示。接通电源后，拨码开关设置初始分数 10 分和倒计时 15s。主持人按下 S0 键、S_RES 键，分别预置初始分数和倒计时。此时若按下抢答键，相应组会亮起红灯，蜂鸣器响起，表明违规抢答。电路进入锁存状态，无法再进行抢答，直到主持人再次按下 S_RES 键。

在无人违规抢答的情况下，主持人按下 S_SATA 键，抢答开始，蜂鸣器响起，倒计时由 15s 开始逐秒递减。若无人抢答，倒计时结束，0s 时蜂鸣器响起，之后无法再进行抢答。若有人抢答，对应的组会亮起绿灯，蜂鸣器响起，表明抢答成功。主持人可通过 S+ 或 S- 键在预置分数 10 分的基础上进行加减分数，每按一次只在松开按键的瞬间会引起分数变化。为简化电路、对功能进行示意，我们只对第一组的分数进行记录、锁存、显示。以上各种情况蜂鸣器的鸣响频率均不一样。

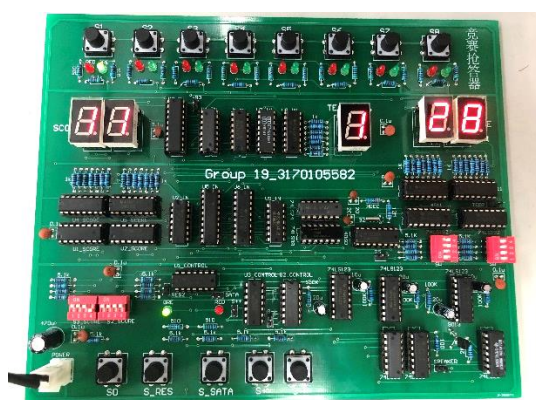
所有的基本功能和扩展功能都已实现，并成功通过老师验收，以下为功能示意图：



(图 13: 抢答成功)



(图 14: 抢答失败)



(图 15: 加分功能)



(图 16: 减分功能)

图 13: 开始抢答后, 在倒计时进入 28s 时第一组抢答, 组号显示为 1, 第一组绿灯亮起。

图 14: 主持人未按开始抢答, 第四组违规抢答, 组号显示为 4, 第四组红灯亮起。

图 15: 第一组成功抢答, 回答正确, 加一分, 分数由 10 变为 11。

图 16: 第一组成功抢答, 回答错误, 减一分, 分数由 10 变为 09。

七、实验中的问题及解决方法

7.1 按键抖动问题

在主持人控制电路中, 新加入的加分与减分按键需要为后续电路输出脉冲信号, 本来的设计是不加处理直接接出, 但是由于开关抖动, 可能导致按下一次执行多次加或减操作。考虑使用 R-S 触发器进行除抖。经查阅芯片手册, 了解到后续计分电路中的引脚为上升沿触发, 这说明使用 R-S 触发器是可行的, 只要在按下相应开关时输出信号有一个上升沿, 计数器就可以实现加减分。

但是在实际电路调试的过程中发现并不能实现。具体原因为计数器 74LS192 的 CU、CD

引脚需要置为高电平，需要负脉冲的输入信号，而 R-S 触发器只能提供电平信号，仅有一个上升沿是不够的。在查阅相关资料后，我们决定使用 D 触发器，接入倒计时模块的 64Hz 信号作为时钟信号，成功解决了按键抖动和加减问题。

7.2 TTL 和 CMOS 的兼容问题

TTL 和 CMOS 分别是两种常见的集成电路，本次实验设计中分别用到了若干 TTL 与 CMOS 系列的集成电路，通过对照数据手册实现了两者的兼容，在设计过程中，通过查阅资料，我们对它们两者的联系和区别有了更多的了解。由于某些 TTL 集成电路在市面上很难买到，所以尽量使用 CMOS 集成电路。在设计电路原理图时，将七段译码器 74LS247 更换为 CD4511，其引脚电平就有一些差异。74LS247 的 BI、LT、RBI 均为高电平，而 CD4511 的 LT、BI 为高电平，LE 为低电平。

7.3 电路缺连问题

在调试过程中，我们发现抢答输入部分的显示抢答组号的数码管不亮。经过排查，发现是加法器前端的非门没有成功接入 VCC，导致没有成功工作。发现了在绘制相应的原理图时 VCC 与反向器 74LS04 未连接，在 PCB 的绘制的过程中芯片引脚之间因此也未连接。于是我们在电路板背面接线，将反相器接入 VCC，恢复了电路模块的正常功能。

八、总结与体会

8.1 总结：数字系统的设计与调试方法

这是我们第一次进行数字系统的设计、焊接、调试，整个流程走下来，获益匪浅。以下是我对数字系统的设计与调试方法的总结。

对于数字系统的设计，最重要的就是分模块处理。整个系统非常庞大，如果从整体层面去设计细节性的东西，往往会乱了手脚、容易出错。因此，对系统的模块划分就十分必要。一个庞大的系统，按照功能划分为各个小的模块，对每个模块进行细节方面的分析和设计。同时，模块间的信号传递需要仔细分析，以实现各模块间的协调联动。把系统这一大的工作分解成为各个模块这种小的工作，能大大减轻设计负担，使设计能够有条不紊地进行。

对于数字系统的调试，需要提前设置好测试点。测试点的选取应对应测试模块，能反映信号的实时值。还要在 PCB 板上预留好测试引脚，方便测试。这样在测试的过程中，只需

要把万用表或示波器接入测试引脚即可，不需要拆卸元器件。倘若在测试时发现信号与理论分析不符，首先检查有没有焊接和连线上的失误，若没有则再考虑逻辑设计方面的问题。发现问题症结后，可以通过在 PCB 板背面连线的方式或者更换器件来解决。

8.2 感想与体会

电子电路实验，我经历了初级阶段（大二冬学期）、中级阶段（大二春夏学期），本次小学期可谓是高级阶段了。经过这么久的实验训练，我的设计水平有了很大提升，终于有资格称自己是学电子工程的了。

大一大二两年时间，做过很多课程设计与大作业，其中电子电路设计是我最喜欢的实验。最大的原因就是它促使我将理论学习过的东西与实践相结合，做出一件完整的实物出来，大大增加我的成就感。按照培养方案上的要求，首先，作为理论储备，我们在大二秋冬学期学习了电路原理和模拟电路的相关知识。随后，第一次电路实验，是大二冬学期的“电子电路设计实验 I”，那次课总共有 6 次实验，和电路原理与模拟电路相关，多为探究元器件特性、电路特性等等，为后期进行电子电路设计打下了坚实的基础。大二春夏学期的“电子电路设计实验 II”则侧重于电路设计，老师提供了许多选题。这是我第一次设计一个完整的电路系统，我选择了“多功能数字时钟”，通过 Arduino 平台，实现了功能的基本要求和扩展。同时，我也学会了在 AD9 软件上绘制电路原理图和 PCB 版图，我的设计技能有了很大提高。

如今大二的暑假小学期，我选择了“电子电路系统综合实验”，也是选上的人数最多的一门。虽然比不上“智能移动系统设计实验”热门，但对能力的锻炼还是非常大的。老师们先是提供了很多选题，如“光通信系统”“数字频率计”“自动节能灯”等等，我都非常感兴趣。然而毕竟只能选择一个，经过与队友协商，我们选择了“多路竞赛抢答器”作为设计题目。与之前不同的是，本次要完成的是一个电子系统而不是一块电路，这一个电子系统又分成大大小小的功能模块，每个功能模块都对应一部分电路，工程量比较大，需要凭借良好的工程素养来设计、完成，对我们是一个不小的考验。

第一步，通读项目讲义，明确设计要求。Pdf 上多是大篇文字讲述，需要我们仔细阅读，总结出设计要求，并在大脑中形成方案的设计雏形。在通读并讨论完“多路竞赛抢答器”的项目讲义后，我们把整个系统分为六大模块：抢答输入模块、违规判断模块、主持人控制模块、计分模块、倒计时模块、告警模块。每个模块间都有信号的传递，通过各模块间的联动，实现系统的功能。整个系统确实庞大，但把它分解为一个个模块，完成起来就更加有条理，也轻松了许多。

第二步，小组分工，按模块设计电路，进行模块仿真。由于有六大模块，我们一组有三个同学，因此我们每个人负责两个模块的设计。在设计电路的时候，我们大量运用了已学的模电和数电的知识，并结合 pdf 上提供的参考图，成功设计出一个个模块。在这个过程中，我们学会了如何使用数据表来对电路进行修改。由于市面上有些 74 系列的 TTL 集成电路买不到，老师建议我们把对应的 TTL 换成 CMOS 集成电路。两种集成电路的输入输出特性有区别，这时候就需要仔细阅读数据表，才不至于在修改电路时出错。仿真也是必经的步骤，每个模块设计出来后，我们都会在 Multisim 上进行仿真，找出了一些 bug 并成功修改掉了。倘若没有仿真，我们就不会知道自己的设计是否正确。

第三步，项目答辩，确定设计方案，设计 PCB 版图。设计电路、模块仿真这些前期工作都完成后，就要迎来项目答辩。我们理清了思路，做了一张 ppt 来向老师阐述我们的设计方案。答辩过程中老师提出了很多优化的建议，我们后面也对相应的位置进行了修改。然后就是要设计 PCB 了。这是我们所绘制过的最为庞大的 PCB 版图，大大小小的元器件由上百个，之间还有数不清的连线。根据布线原则，我们把电源线和地线围绕在整块板子的周围。将各元器件按模块排版，尽可能地减少连线的交错。经过一整天的奋战，我们合力完成了布线工作。看着完成的 PCB，元器件密而不乱，有种别致的工业美感，为此我们成就感十足。

第四步，焊接元器件，对系统进行功能测试。拿到元器件后，我们花了一下午时间焊完了板子。由于之前电子工程训练、电子电路设计实验 II 已经对我们的焊接技能有了很大的锻炼，这段过程行云流水。然而在开始调试之后，我们的挑战才真正开始。插上电源的那一刻，很多模块都有问题。比如我负责的抢答输入模块，抢答组号的数码管总是不亮。后来经过排查，发现是加法器的一条地线没有接上，原因是在绘制原理图时 GND 就没有成功连接上引脚，这个粗心的错误对我来讲是个极大的教训。在板子背面用杜邦线连接上后，功能就恢复正常了。最后我们花了一整天时间成功解决了所有问题。

第五步，通过成品验收，完成实验报告。我们在 14 号就通过了项目验收，算是完成得比较早的一批。之后几天我们就在写实验报告，对整个项目进行总结和整理。

这是一个充实的小学期，既提升了我的电路设计能力，又锻炼了我的团队协作能力。从培养方案上看，这应该是本科阶段我最后一次的电路设计课了。从大二冬学期的懵懂无知，大二春夏学期第一次设计电路，再到暑假第一次三人合作完成一个完整的工程项目，我的能力逐步提升。非常感谢李锡华老师、施红军老师、叶险峰老师，三位老师在我遇到问题时总能耐心解答，对我有非常大的帮助。也非常感谢与我共组的各个队友，我们的良好合作也是实验成功的重要前提。

路漫漫其修远兮，吾将上下而求索。电子电路设计是一门学问，也是一门艺术……