

PROCESORUL MIPS 32

PIPELINE

TAR IVETT - DORA

UNIVERSITATEA TEHNICĂ CLUJ NAPOCA | Facultatea de Automatică și Calculatoare

Observații

Funcționalitatea acestui program și a MIPS-ului pipeline a fost făcută printr-o simulare și pe placă. Acesta funcționează pe ambele.

Pentru semnalele de control a fost folosită o stocare centralizată în câte un registru. Pentru restul s-a creat câte un semnal separat, de dimensiunile necesare. Aceasta este semnificația regiștrilor semnalelor de control :

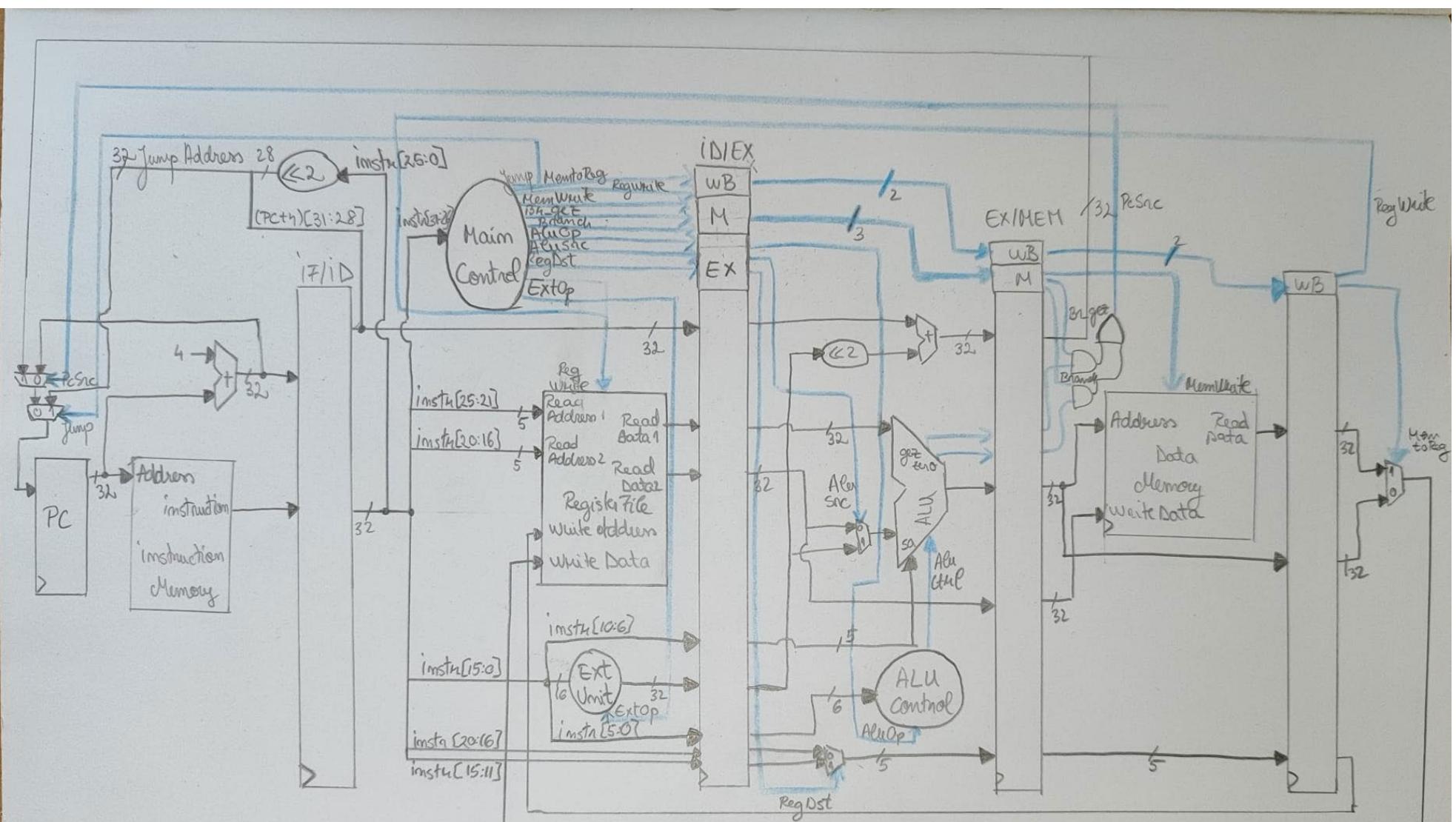
- EX_ID_EX(4) – ALUOp(2) & ALUSrc & RegDst
- MEM_ID_EX(3) – MemWrite & GEZ & Branch
- WB_ID_EX(2) - MemtoReg & RegWrite

Pentru hazardurile apărute, cele structurale s-au rezolvat cu scrierea în registre pe frontul descendant.

Configurare registre MIPS32 Pipeline

IF/ID	ID/EX	EX/MEM	MEM/WB
Instr_IF_ID (32)	PC_4_ID_EX (32)	BranchAddress_EX_MEM(32)	MemData_MEMORY_WB(32)
PC_4_IF_ID (32)	RD1_ID_EX(32)	Res_EX_MEM(32)	Res_MEMORY_WB(32)
	RD2_ID_EX(32)	RD2_EX_MEM(32)	WriteAddress_MEMORY_WB(5)
	Func_ID_EX(6)	WriteAddress_EX_MEM(5)	WB_MEMORY_WB(2)
	Imm_ID_EX(32)	Zero_EX_MEM(1)	
	sa_ID_EX(5)	GEZ_EX_MEM(1)	
	RT_ID_EX(5)	MEM_EX_MEM(3)	
	RD_ID_EX(5)	WB_EX_MEM(2)	
	EX_ID_EX(4)		
	MEM_ID_EX(3)		
	WB_ID_EX(2)		

TAR IVETT - DORA
PROCESORUL MIPS 32



TAR IVETT - DORA - ~~F~~