

I Explain the naming conventions for intrinsic functions.

`_<vector_size>_<operation>_<suffix>`

- `<vector_size>`: Welcher Vektor kommt zurück? Wie groß ist er?
- `<operation>`: Ist die Operation, die von der intrinsic ausgeführt wird
- `<suffix>`: Welche Datentypen werden von der Operation erwartet?

I What do the metrics latency and throughput tell you about the performance of an intrinsic function?

Latency – the number of cycles that an intrinsic takes until its result is available → Wie lange dauert die Operation?

Throughput – how many cycles does it take to start the next intrinsic of the same kind → Wie lange bis ich die nächste Operation dieser Art starten kann?

I How do modern processors realize instruction-level parallelism?

Pro Taktzyklus können mehrere instructions gestartet werden. Mehrere instructions können auf einem core gleichzeitig ausgeführt werden.

Dies passiert auf mehreren functional units → Der Scheduler verteilt Mikrooperationen auf verschiedene Ports, die definieren welche Operationen ausgeführt werden können. Es gibt z.B. viele Slots für INT ALU, jedoch nur einen für FP DIV. Diese Mikrooperationen werden dann gleichzeitig (auf dem selben Kern) ausgeführt.

I How may loop unrolling affect the execution time of compiled code?

Die execution time könnte verbessert werden, da beim loop unrolling instruction-level parallelism ausgenutzt werden könnte. Wenn die schleife „ausgerollt“ ist, hat der scheduler mehrere Befehle der gleichen Art zu verteilen.

I What does a high IPC value (instructions per cycle) mean in terms of the performance of an algorithm?

Je höher der IPC Wert ist, desto besser nutzt der Algorithmus die Ports aus und wir bekommen besseren instruction-level parallelism.