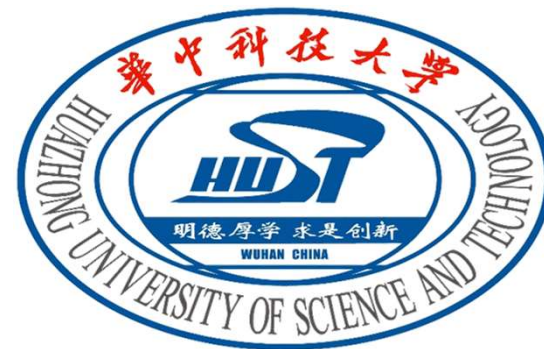


微机原理与接口技术

存储器接口设计 容量扩展、空间映射

华中科技大学 左冬红



术语

逻辑存储空间

计算机系统微处理器能访问的存储空间

物理存储空间

由存储芯片构成的存储空间

存储器接口设计需解决的问题

存储容量扩展

由小容量存储芯片构建一定容量的存储器

存储空间映射

将物理存储空间映射到合适的逻辑存储空间

多类型数据访问

不同宽度数据线的存储芯片构建统一的支持多种不同类型数据访问的存储器

操作时序匹配

匹配总线与存储芯片的操作时序

存储容量扩展

字数扩展

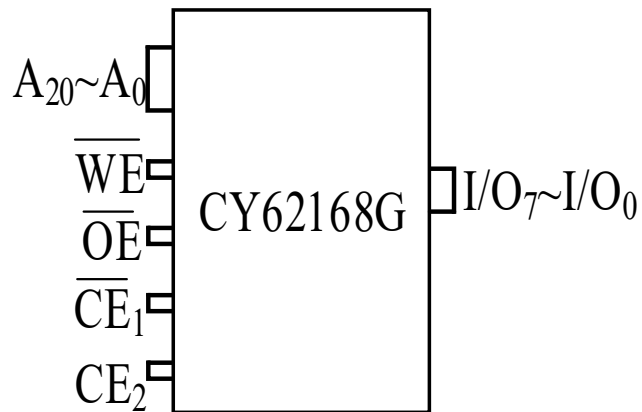
可寻址存储空间数增多，地址线增多

字长扩展

存储单元位数增多，数据线增多

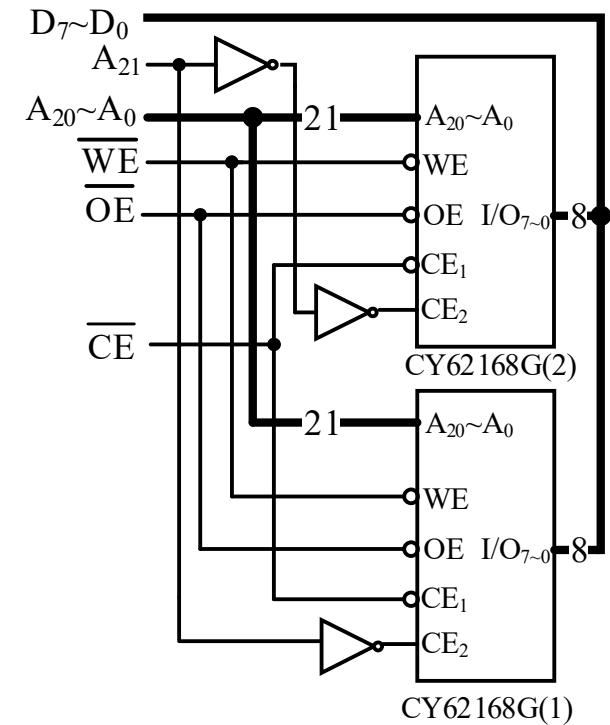
字数扩展示例

基于异步SRAM存储芯片CY62168G(2M×8b) 设计一容量为4M×8b的存储器



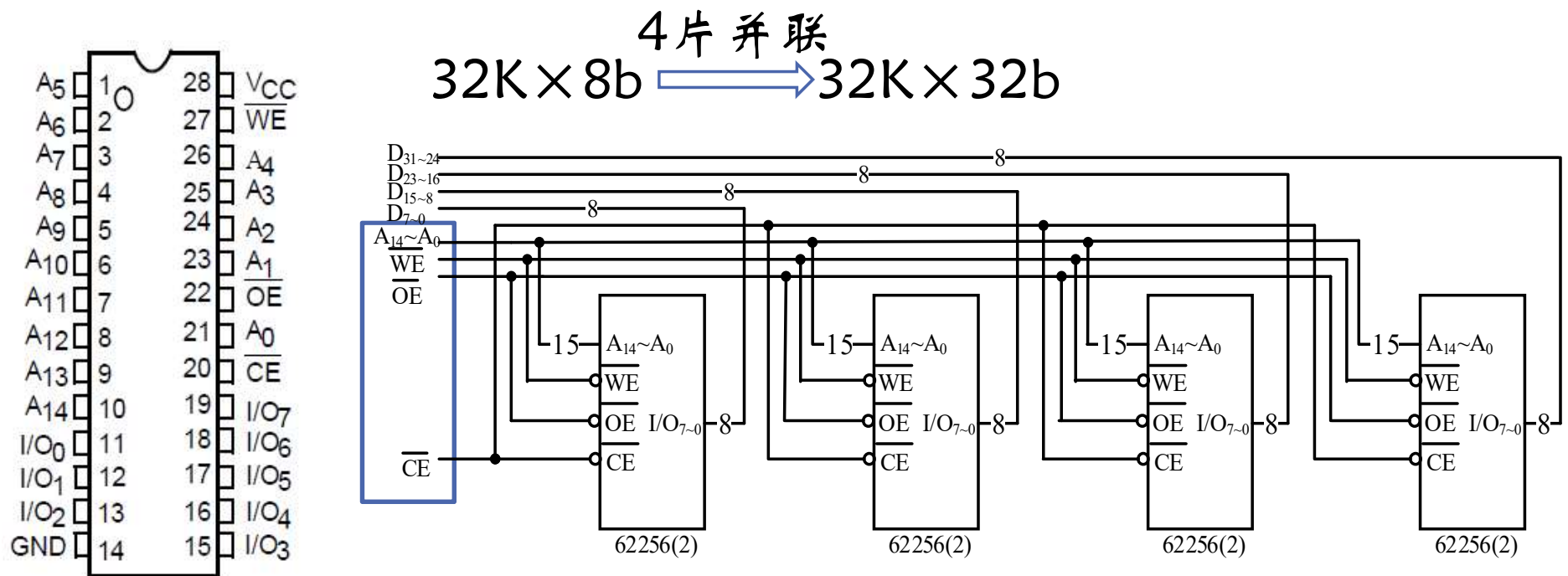
需存储芯片数为: $\frac{4\text{M} \times 8\text{b}}{2\text{M} \times 8\text{b}} = 2$

增加一位地址，选择两个芯片的片选



字长扩展示例

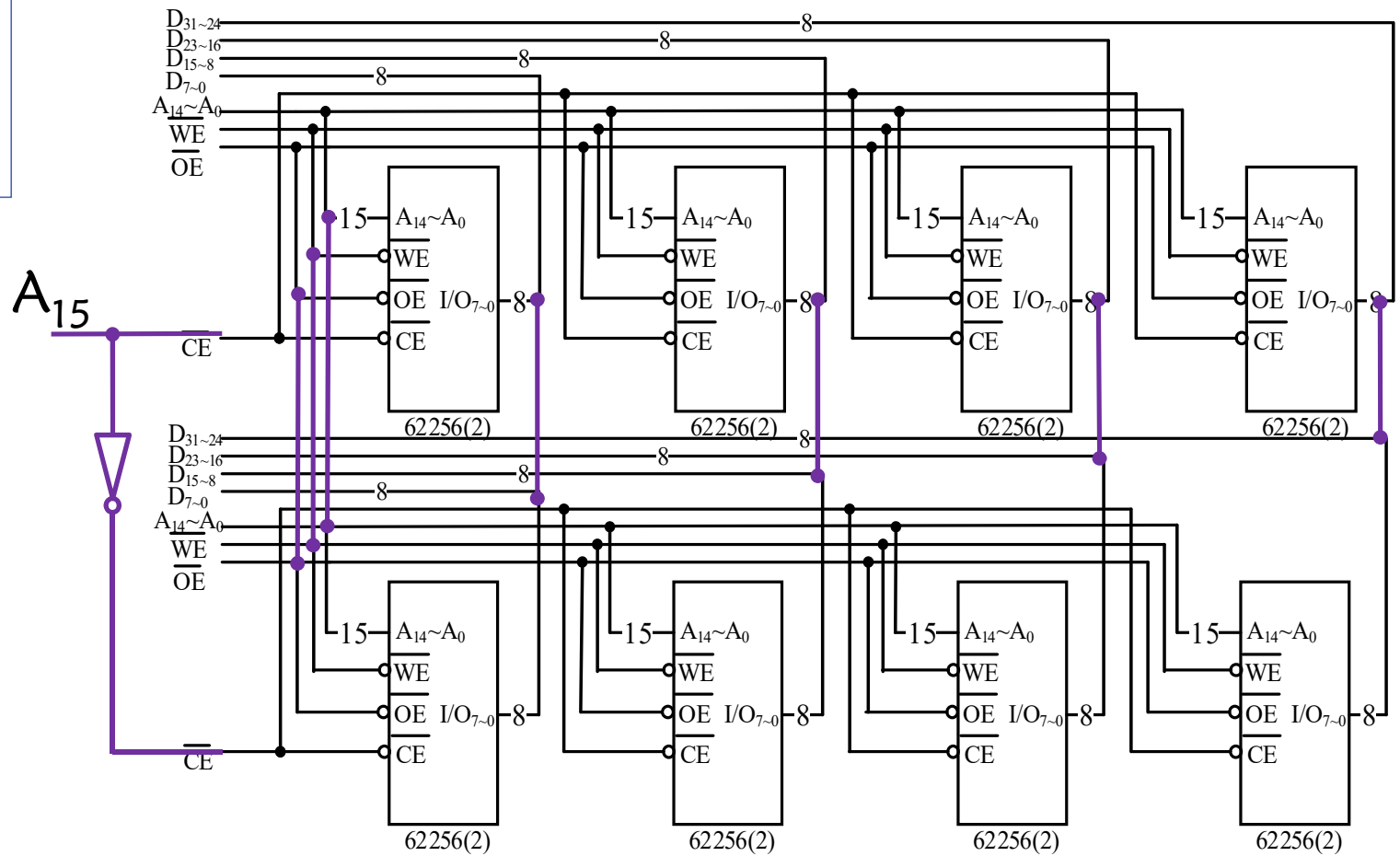
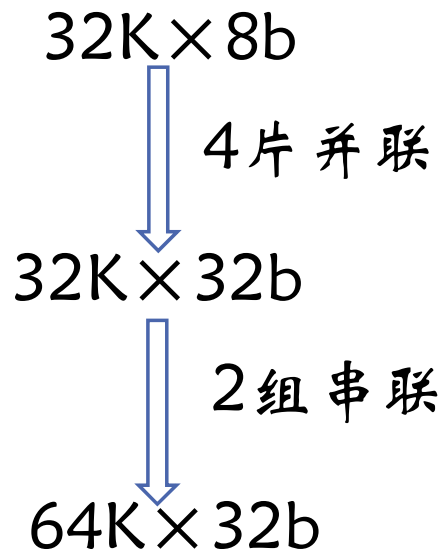
异步SRAM存储芯片62256设计一个32K×32b的存储器



每片芯片各自连接不同数据线

字数、字长扩展

异步SRAM存储芯片
62256设计一个
64K×32b的存储器

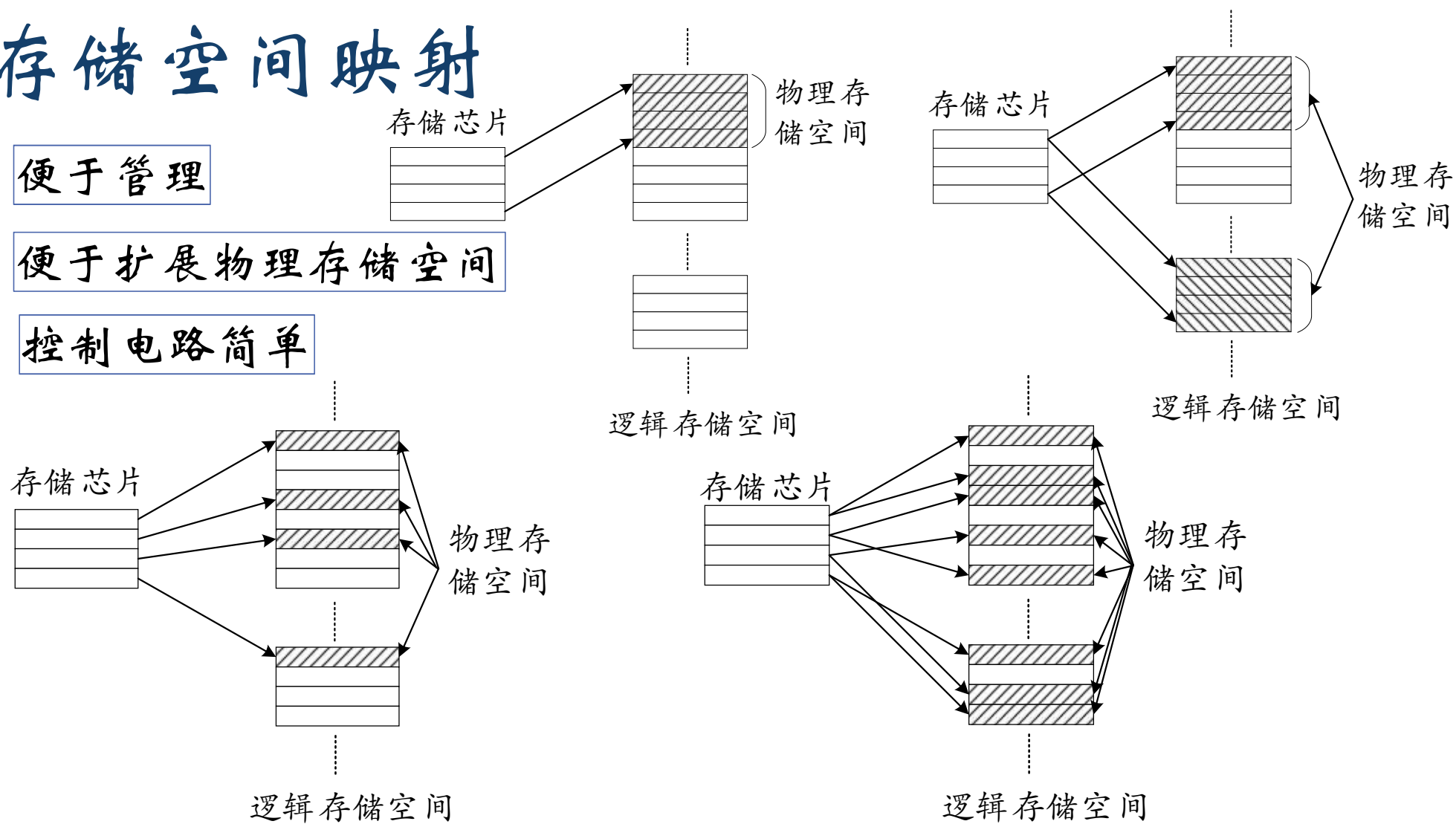


存储空间映射

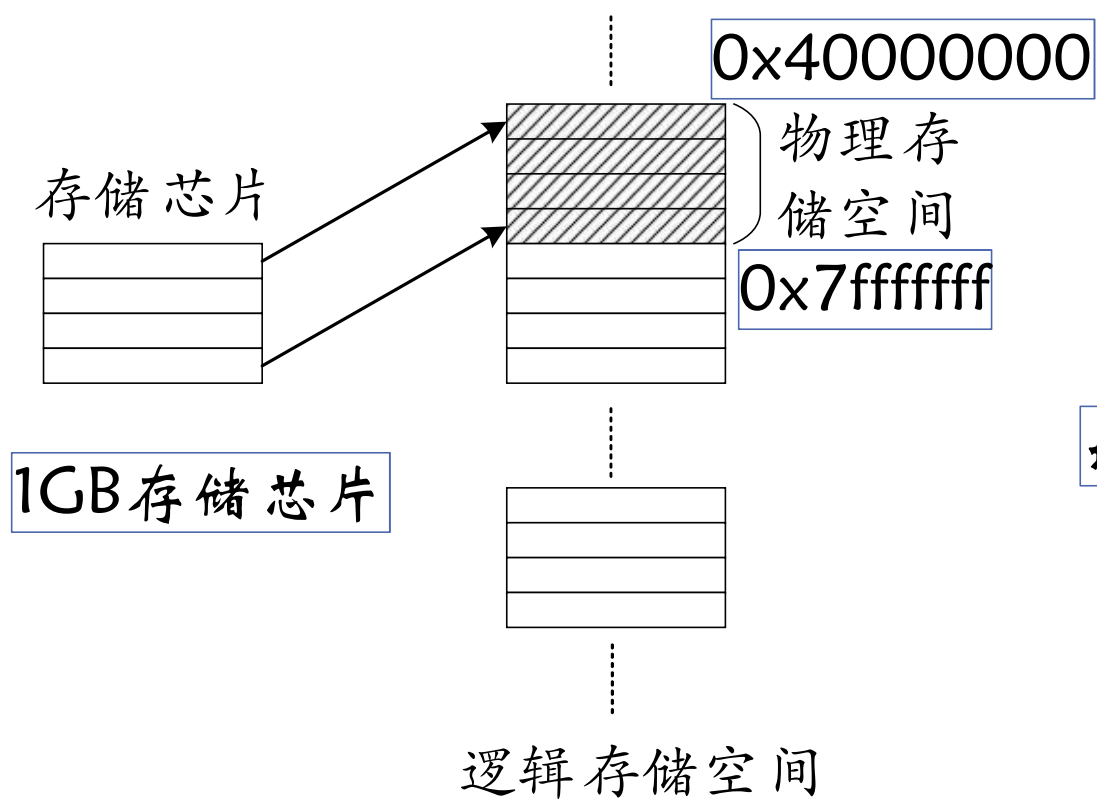
便于管理

便于扩展物理存储空间

控制电路简单



存储空间映射



存储空间映射

地址线

寻址片内存储单元

存储芯片

片选线

选中整个芯片

地址低位连续变化

总线地址低位与存储芯片地址线各位对应连接

地址高位不变

总线地址高位译码之后连接存储芯片片选线

术语

全译码法

存储系统地址总线除去连接存储芯片地址线之外的所有剩余高位地址译码之后连接到存储芯片片选端

一对一整体映射

部分译码法

部分高位地址线译码之后连接到存储芯片片选端

线选法

仅一位高位地址线连接到存储芯片片选端

一对多整体映射

地址译码电路

逻辑门

与非门、或非门、非门、或门、与门

专用译码器

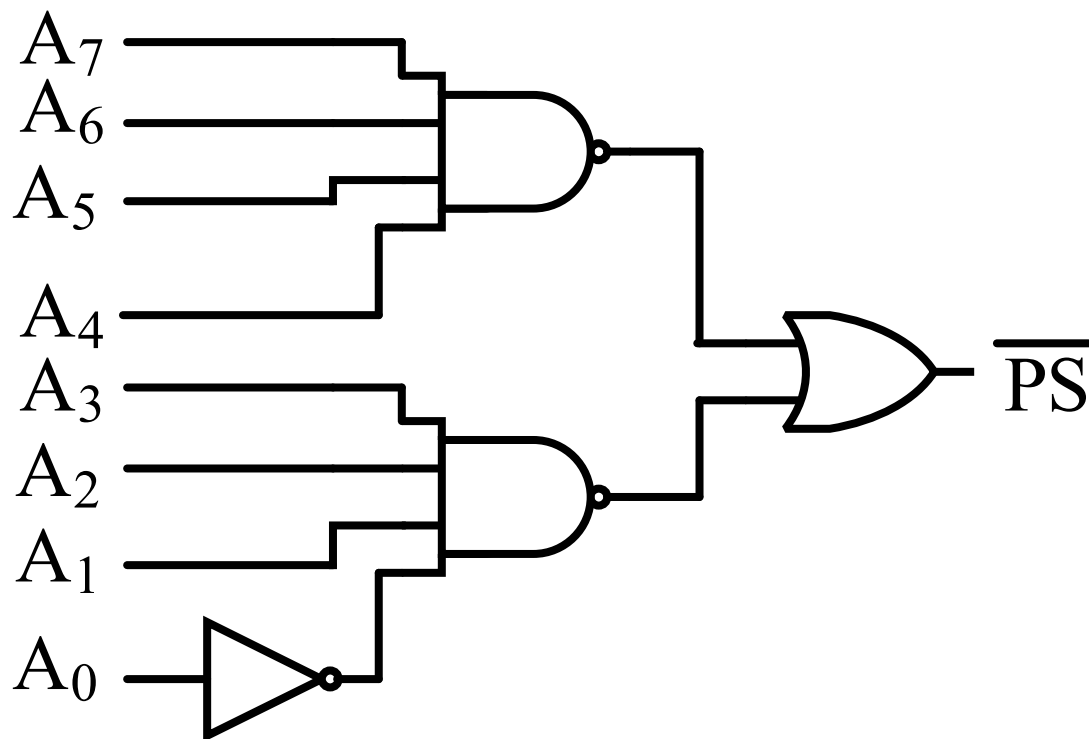
138,139等译码器

硬件描述语言-可编程逻辑器件

CPLD,PLD,FPGA

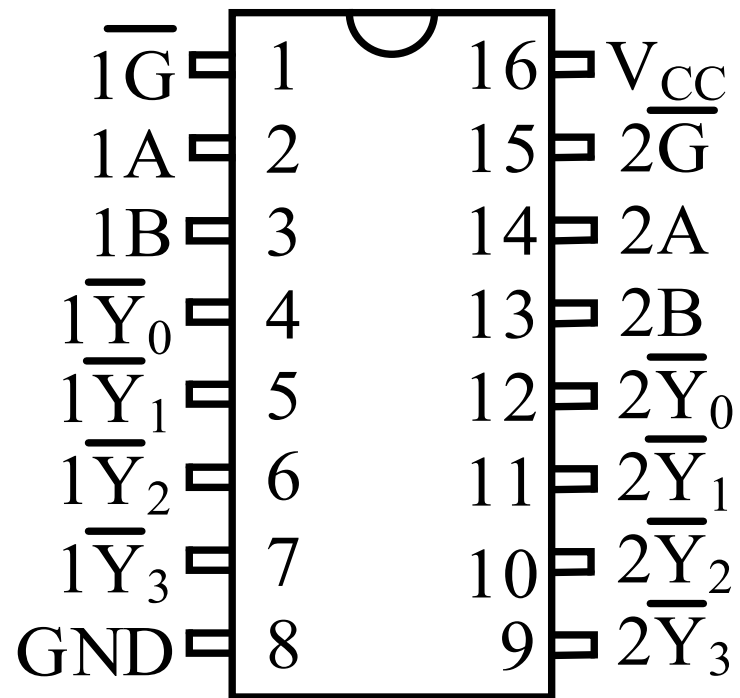
逻辑门译码电路

8位
地址总线



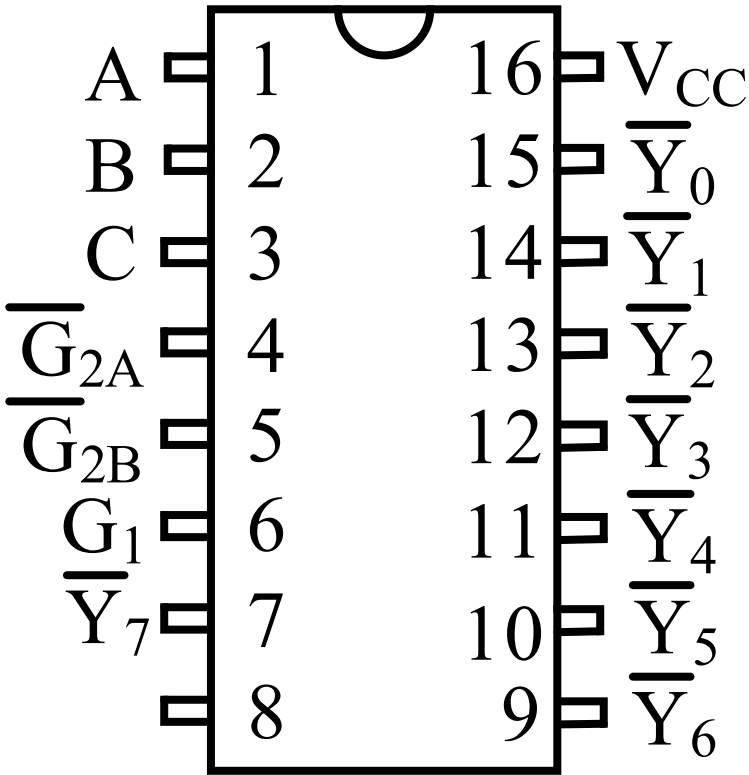
地址: 0xfe

专用译码器-139



输入			输出			
使能端	选择端					
\overline{G}	A	B	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	1	0	1	0	1	1
0	0	1	1	1	0	1
0	1	1	1	1	1	0

专用译码器-138



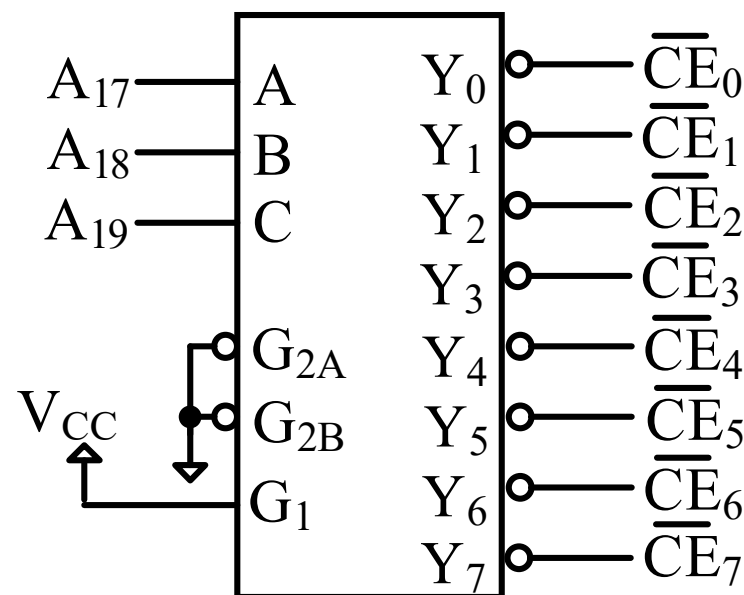
输入						输出							
使能端			选择端										
G_1	\overline{G}_{2B}	\overline{G}_{2A}	C	B	A	\overline{Y}_7	\overline{Y}_6	\overline{Y}_5	\overline{Y}_4	\overline{Y}_3	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0
1	0	0	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1

译码器译码电路示例

某计算机系统地址总线宽度为20位，可访问的存储空间大小为1MB，若采用8个128KB的存储芯片为该计算机系统构建一个1MB的存储器，各个存储芯片具有独立的片选使能信号 \overline{CE}_{7-0} ，试设计译码电路产生这8个存储芯片的片选使能信号 \overline{CE}_{7-0} ？

128KB的芯片本身具有17根地址总线：
 $A_{16} \sim A_0$

地址总线宽度为20位，
剩余3根高位地址线
 $A_{19} \sim A_{17}$

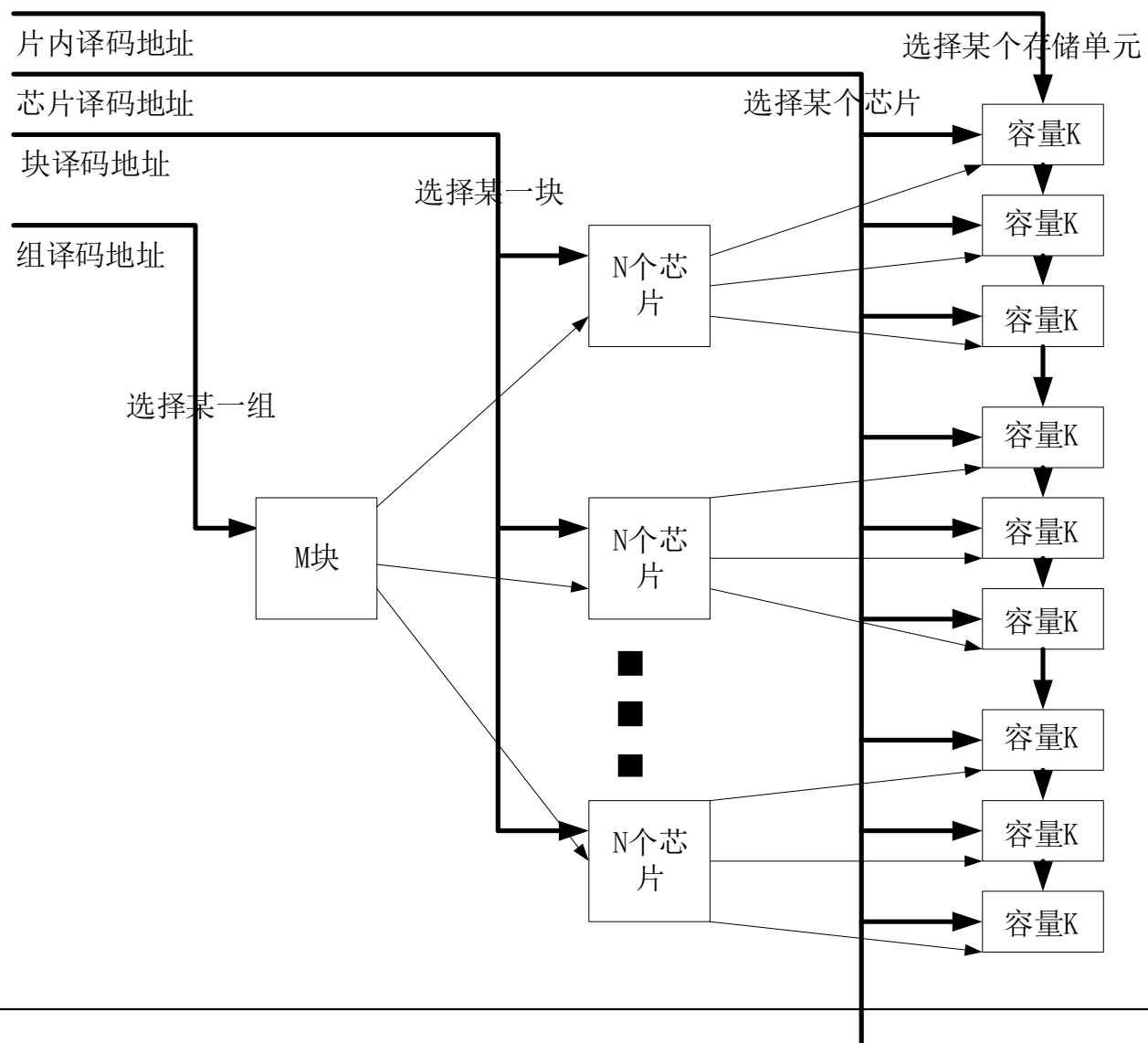


硬件描述语言

```
module DECODER(  
    input [19:17] A, //输入地址信号  
    output [7:0] CE //输出片选信号  
);  
reg [7:0] CE_In; //设置输出寄存器  
assign CE[7:0]=CE_In[7:0]; //输出引脚与寄存器相连  
always @(A)  
begin  
    case (A[15:13])  
        3'b000: CE_In[7:0] <= 8'b11111110;  
        3'b001: CE_In[7:0] <= 8'b111111101;  
        3'b010: CE_In[7:0] <= 8'b111111011;  
        3'b011: CE_In[7:0] <= 8'b11110111;  
        3'b100: CE_In[7:0] <= 8'b11101111;  
        3'b101: CE_In[7:0] <= 8'b11011111;  
        3'b110: CE_In[7:0] <= 8'b10111111;  
        3'b111: CE_In[7:0] <= 8'b01111111;  
    endcase  
end  
endmodule
```

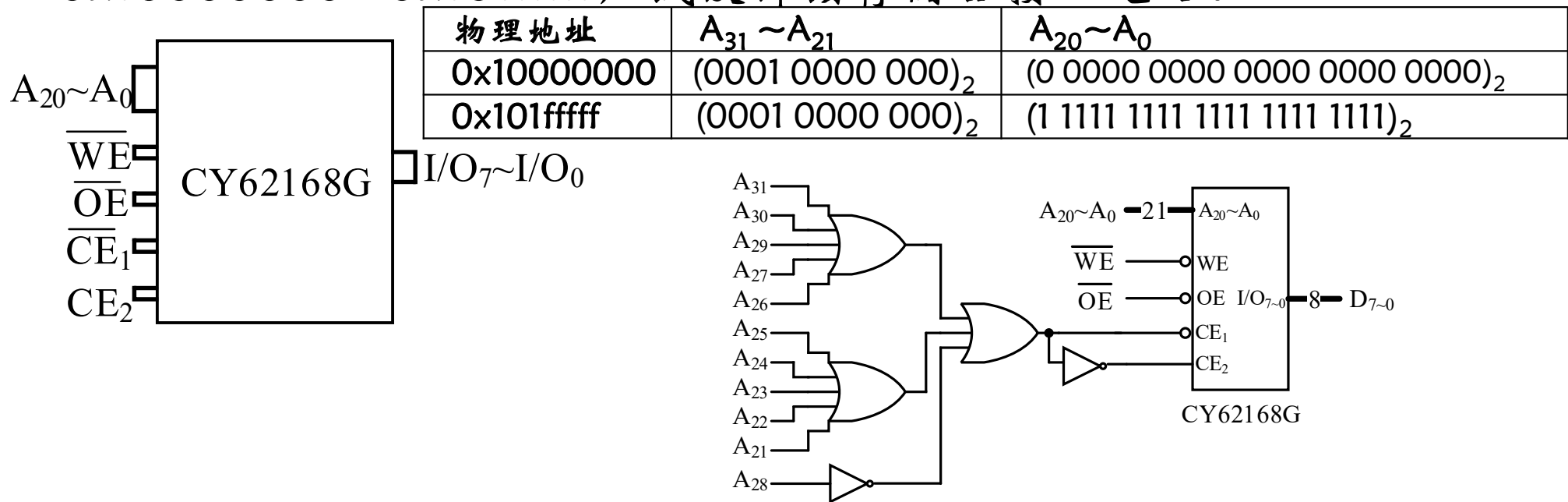
多级译码

不同存储芯片，
分类管理



示例1

容量为 $2\text{M} \times 8\text{b}$ 的异步SRAM存储芯片CY62168G引脚如下图所示。若将该芯片唯一映射到逻辑存储空间范围为 $0\text{x}00000000 \sim 0\text{xfffffff}$ 的计算机系统物理存储空间 $0\text{x}10000000 \sim 0\text{x}101fffff$ ，试设计该存储器接口电路。



示例2

基于异步SRAM存储芯片CY62168G设计一容量为 $6M \times 8b$ 的存储器，且该存储器唯一映射到逻辑存储空间范围为 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间 $0x10000000 \sim 0x105fffff$ ，试设计该存储器接口电路。

共需存储芯片数

$$\frac{6M \times 8b}{2M \times 8b} = 3$$

$0x10000000 \sim 0x105fffff$

分为

$0x10000000 \sim 0x101fffff$ 、
 $0x10200000 \sim 0x103fffff$ 、
 $0x10400000 \sim 0x105fffff$

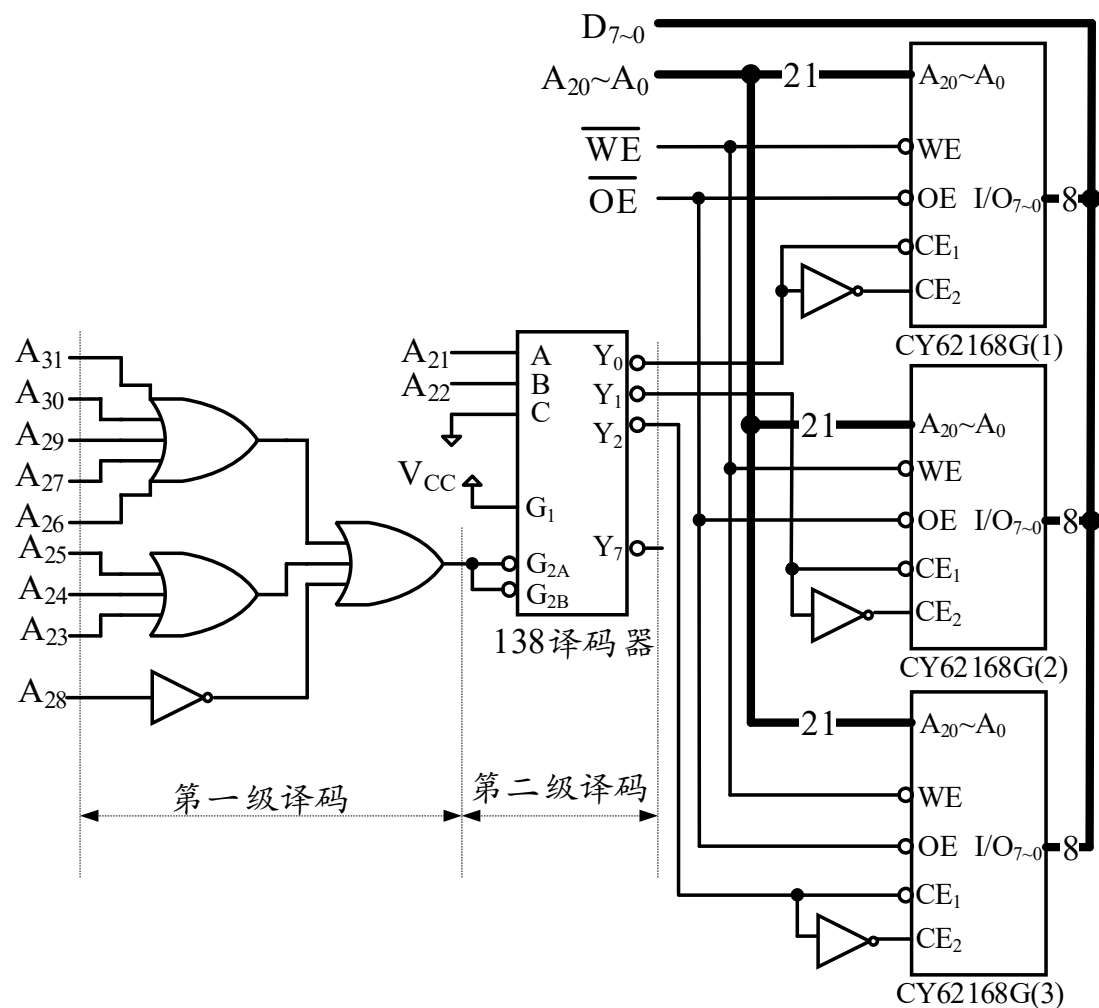
物理地址范围	$A_{31} \sim A_{21}$	$A_{20} \sim A_0$
$0x10000000 \sim 0x101fffff$	$(0001\ 0000\ 000)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$
$0x10200000 \sim 0x103fffff$	$(0001\ 0000\ 001)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$
$0x10400000 \sim 0x105fffff$	$(0001\ 0000\ 010)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$

示例2

基于异步SRAM存储芯片CY62168G设计一容量为 $6M \times 8b$ 的存储器，且该存储器唯一映射到逻辑存储空间范围
 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间
 $0x10000000 \sim 0x105fffff$ ，
 试设计该存储器接口电路。

共需存储芯片数

$$\frac{6M \times 8b}{2M \times 8b} = 3$$

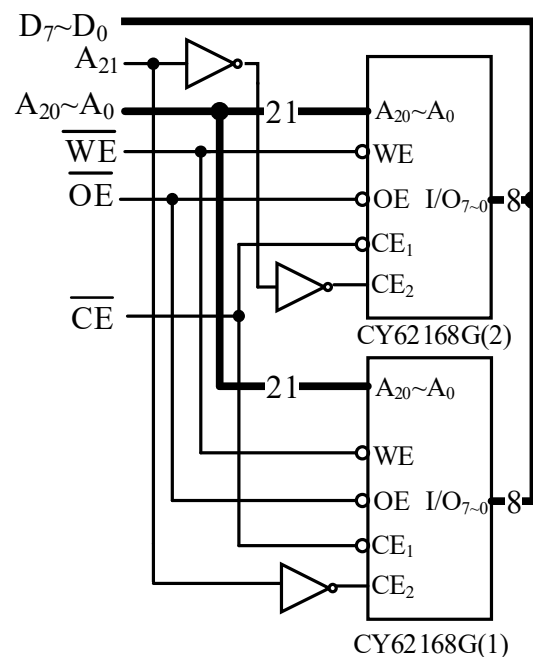


示例3

异步SRAM存储芯片CY62168G设计一容量为4M×8b的存储器，且该存储器映射到逻辑存储空间范围为0x00000000~0xffffffff的计算机系统物理存储空间0x10000000~0x107fffff，试设计该存储器接口电路。

共需存储芯片数

$$\frac{4M \times 8b}{2M \times 8b} = 2$$



示例3

异步SRAM存储芯片CY62168G设计一容量为 $4\text{M} \times 8\text{b}$ 的存储器，且该存储器映射到逻辑存储空间范围为 $0\text{x}00000000 \sim 0\text{xfffffff}$ 的计算机系统物理存储空间 $0\text{x}10000000 \sim 0\text{x}107ffff$ ，试设计该存储器接口电路。

物理存储空间范围为
 $0\text{x}10000000 \sim 0\text{x}107ffff$ ，
存储容量为 $8\text{M} \times 8\text{b}$

2段：

$0\text{x}10000000 \sim 0\text{x}103ffff$ 、
 $0\text{x}10400000 \sim 0\text{x}107ffff$

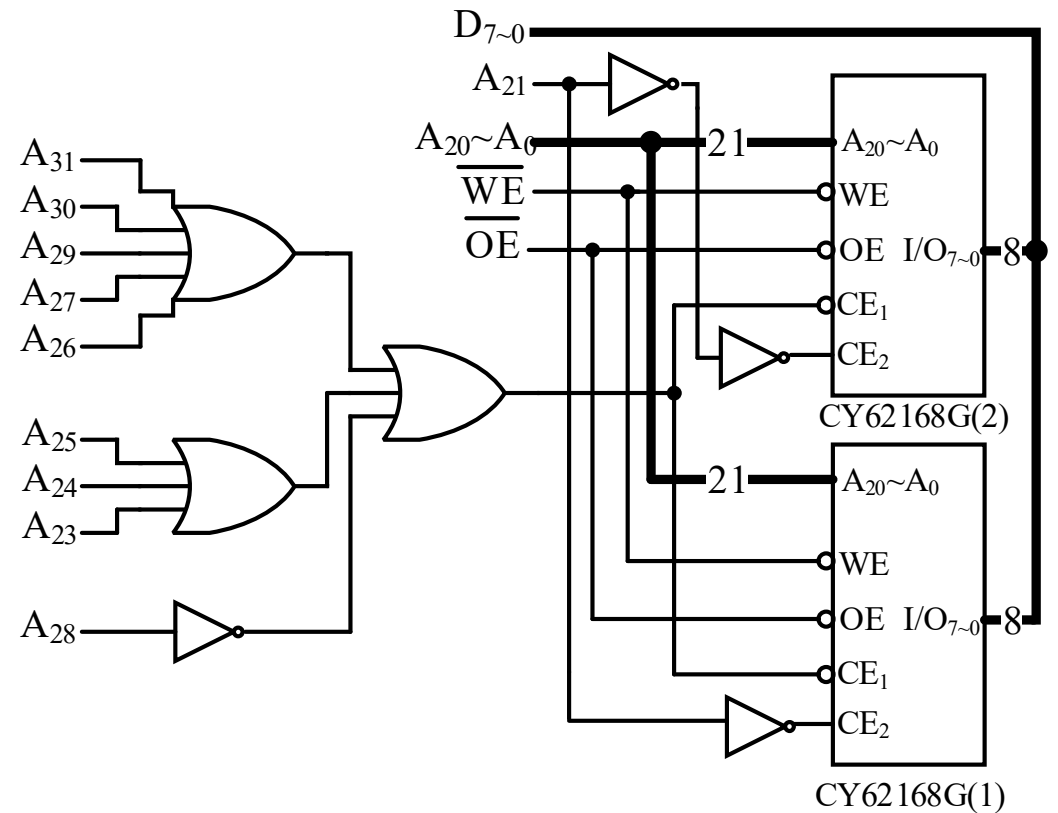
物理地址范围	$A_{31} \sim A_{23}$	A_{22}	$A_{21} \sim A_0$
$0\text{x}10000000 \sim 0\text{x}103ffff$	$(0001\ 0000\ 0)_2$	0	$(\text{XX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX})_2$
$0\text{x}10400000 \sim 0\text{x}107ffff$	$(0001\ 0000\ 0)_2$	1	$(\text{XX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX})_2$

A_{22} 既可以为1也可以是0，成为无关值

示例3

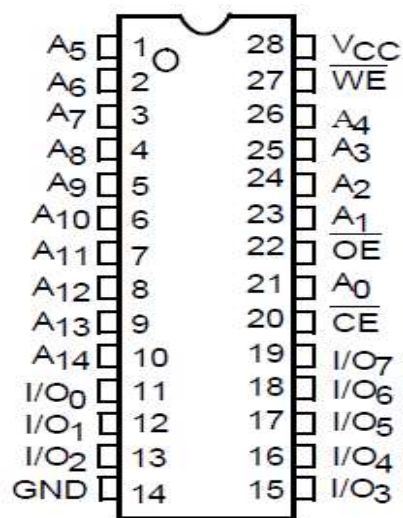
异步SRAM存储芯片CY62168G
设计一容量为 $4M \times 8b$ 的存储器，
且该存储器映射到逻辑存储空间
范围为 $0x00000000 \sim 0xffffffff$ 的
计算机系统物理存储空间
 $0x10000000 \sim 0x107fffff$ ，试设
计该存储器接口电路。

A22既可以为1也可
以是0，成为无关值



示例4

异步SRAM 62256的引脚结构如下图所示，它的容量为32K×8b。若要求采用62256构建一个64K×8b的存储器，且该存储器映射到逻辑存储空间范围为0x00000000～0xffffffff的计算机系统物理存储空间0x80000000～0x8000ffff或0x90000000～0x9000ffff，试设计该存储器接口电路。



需存储芯片数为： $\frac{64K \times 8b}{32K \times 8b} = 2$

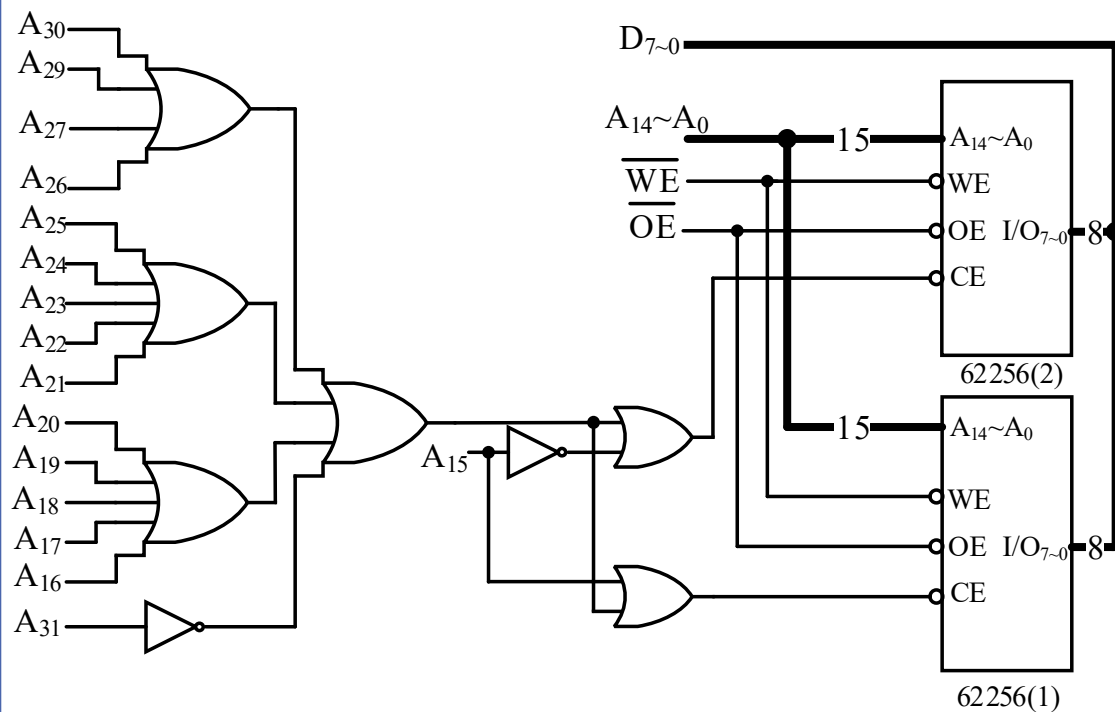
存储器映射到物理存储空间
0x80000000～0x8000ffff或
0x90000000～0x9000ffff，

A28可为0或1，为无关值

示例4

异步SRAM 62256的引脚结构如下图所示，它的容量为 $32K \times 8b$ 。若要求采用62256构建一个 $64K \times 8b$ 的存储器，且该存储器映射到逻辑存储空间范围为 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间 $0x80000000 \sim 0x8000ffff$ 或 $0x90000000 \sim 0x9000ffff$ ，试设计该存储器接口电路。

A28可为0或1，为无关值



小结

- 存储容量扩展
 - 字数扩展
 - 字长扩展
 - 字数、字长扩展
- 存储芯片存储空间映射
 - 整体映射（剩余高位地址译码）
 - 全译码
 - 部分译码
 - 译码电路
 - 门
 - 译码器
 - 硬件描述语言

下一讲：内存组织结构