

---

# 电子线路设计、测试与实验 实验报告（六）

**实验名称：**EDA 组合逻辑设计

**学院：**电子信息与通信学院

**专业班级：**提高 2201 班

**姓名：**王翎羽

**学号：**U202213806

---

## 目录

第六次实验：EDA 组合逻辑设计 .....	3
一、 实验名称 .....	3
二、 实验目的 .....	3
一、 实验任务 .....	3
1. 功能要求 .....	3
2. 测量及验收内容 .....	3
二、 实验过程 .....	3
1. 实验步骤 .....	3
2. 代码编写思路 .....	3
三、 实验代码及结果 .....	4
1. 实验代码 .....	4
1. 2 选 1 数据选择器 .....	4
2. 1 位比较器 .....	4
3. 8-3 优先编码器 .....	4
4. 3-8 译码器 .....	5
5. 取反加一 .....	6
2. 实验仿真结果 .....	6
1. 1 位比较器 .....	6
2. 8-3 优先编码器 .....	6
3. 3-8 译码器 .....	7
4. 取反加一 .....	7
3. 开发板运行结果 .....	8
四、 实验小结 .....	8

---

# 第六次实验：EDA 组合逻辑设计

## 一、实验名称

EDA 组合逻辑设计

## 二、实验目的

- 了解 Verilog 语言以及应用；
- 使用 Verilog 设计简单的组合逻辑；
- 掌握 Vivado 软件的使用，设计 verilog 代码并仿真；
- 掌握 DDR4 开发板的基本用法及构造。

## 一、实验任务

### 1. 功能要求

用 verilog 语言实现 4 位求反加 1 功能数字电路，一位比较器数字电路，编码器和译码器数字电路的代码、仿真和开发板运行。

### 2. 测量及验收内容

- 每个实验任务烧录到板子上，观察逻辑的正确与否；
- 8-3 译码器的仿真结果实验原理及参考电路。

## 二、实验过程

### 1. 实验步骤

- 新建工程；
- 创建新的 verilog 源文件；
- 设计电路代码；
- 检查代码是否正确；
- 得到并查看底层电路；
- 设计仿真测试代码；
- 检查代码是否正确；
- 开始仿真查看结果；
- 烧录开发板，观察逻辑正确与否。

### 2. 代码编写思路

- **二选一数据选择器**：使用 0 和 1 来选择输入信号，从而进行二选一数据选择。
- **1 位比较器**：直接使用 verilog 中的大于符号，若结果为 1，结果为大于；若结果为 0，结果为小于。
- **8-3 优先编码器**：8-3 线优先编码器的任务是将八个输入信号编码，通过对输入信号的分析，输出第几个信号是低电平。8-3 线优先编码器有 8 个输入端（IO'）

17' )，高电平为输入有效电平；有 3 个输出端 (Y0' Y2' )，高电平为输出有效电平。

- **3-8 译码器：**译码是相对于编码的逆过程，能将具有特定含义的二进制代码通过特定的逻辑电路设计转换成控制信号。3-8 编码器，也就是将 3 位输入信号所对应的输出端变为低电平，其余七个输出端皆为高电平

## 三、实验代码及结果

### 1. 实验代码

#### 1. 2 选 1 数据选择器

```
23 module mux2to1(  
24     input D0,  
25     input D1,  
26     input S,  
27     output reg Y  
28 );  
29  
30  
31 always @(D0 or D1 or S)  
32 begin  
33     if(S == 1'b1)  
34         Y = D1;  
35     else  
36         Y = D0;  
37 end  
38 endmodule
```

#### 2. 1 位比较器

```
23 module comparison  
24 (  
25     input wire A,  
26     input wire B,  
27     output wire Y2,  
28     output wire Y0,  
29     output wire Y1  
30 );  
31     assign Y2 = (!A) & B; //A<B  
32     assign Y1 = A & (!B); //A>B  
33     assign Y0 = !(A^B);  
34  
35 endmodule
```

#### 3. 8-3 优先编码器

---

```
23 module encoder_3_8(in, out, GS);
24   input [7:0] in;
25   output [2:0] out;
26   output GS;
27   reg [2:0] out;
28   reg GS;
29
30 always@(in)
31 begin
32   if(in[7]) begin
33     out <= 3'b111; GS <= 1'b1; end
34   else if(in[6]) begin
35     out <= 3'b110; GS <= 1'b1; end
36   else if(in[5]) begin
37     out <= 3'b101; GS <= 1'b1; end
38   else if(in[4]) begin
39     out <= 3'b100; GS <= 1'b1; end
40   else if(in[3]) begin
41     out <= 3'b011; GS <= 1'b1; end
42   else if(in[2]) begin
43     out <= 3'b010; GS <= 1'b1; end
44   else if(in[1]) begin
45     out <= 3'b001; GS <= 1'b1; end
46   else if(in[0]) begin
47     out <= 3'b000; GS <= 1'b1; end
48   else begin
49     out <= 3'b000; GS <= 1'b0; end
50   end
51 endmodule
```

#### 4. 3-8 译码器

```

23 module decoder_3_8(a, b, c, E, out);
24     input a, b, c, E;
25     output [7:0] out;
26     reg [7:0] out;
27     always @(a, b, c, E) begin
28         if(E)
29             case({a, b, c})
30                 3'b000:out=8'b0000_0001;
31                 3'b001:out=8'b0000_0010;
32                 3'b010:out=8'b0000_0100;
33                 3'b011:out=8'b0000_1000;
34                 3'b100:out=8'b0001_0000;
35                 3'b101:out=8'b0010_0000;
36                 3'b110:out=8'b0100_0000;
37                 3'b111:out=8'b1000_0000;
38             endcase
39         else out=8'b0000_0000;
40     end
41 endmodule

```

## 5. 取反加一

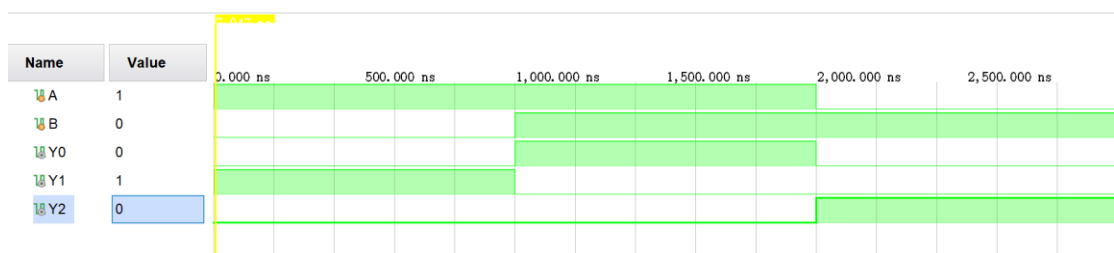
```

23 module qfjy(
24     input [3:0]a,
25     output [3:0]b
26 );
27     assign b=~a+1;
28 endmodule
29
30

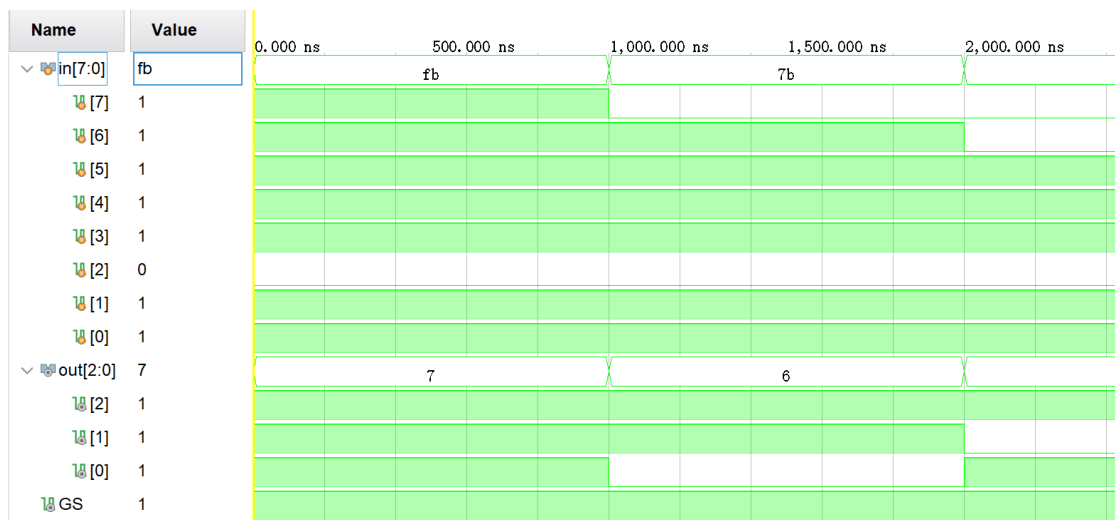
```

## 2. 实验仿真结果

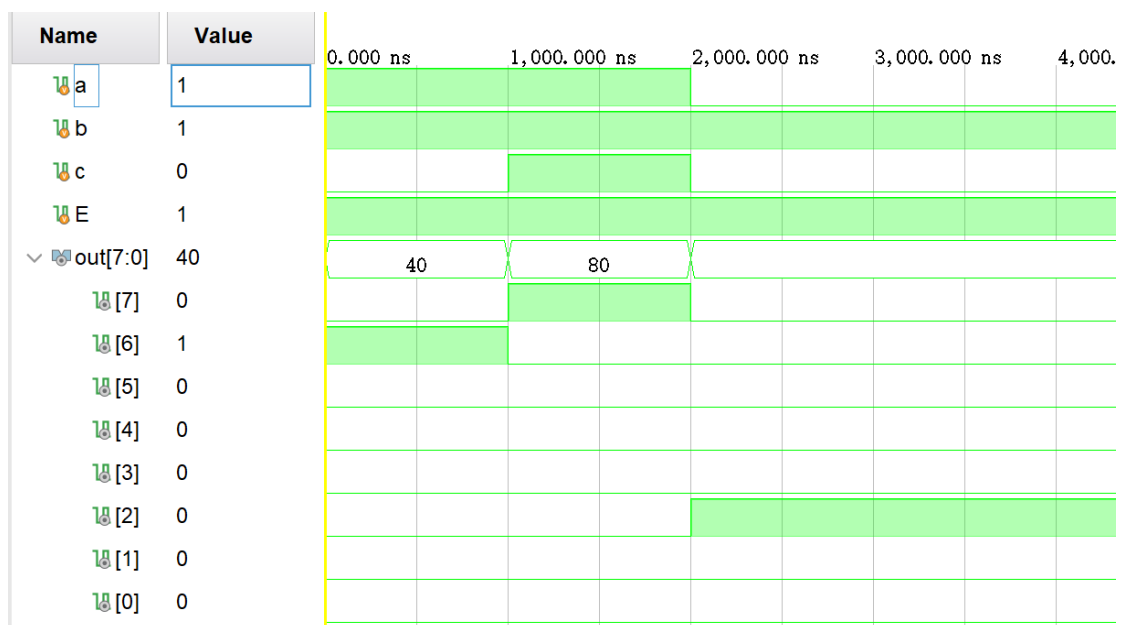
### 1. 1 位比较器



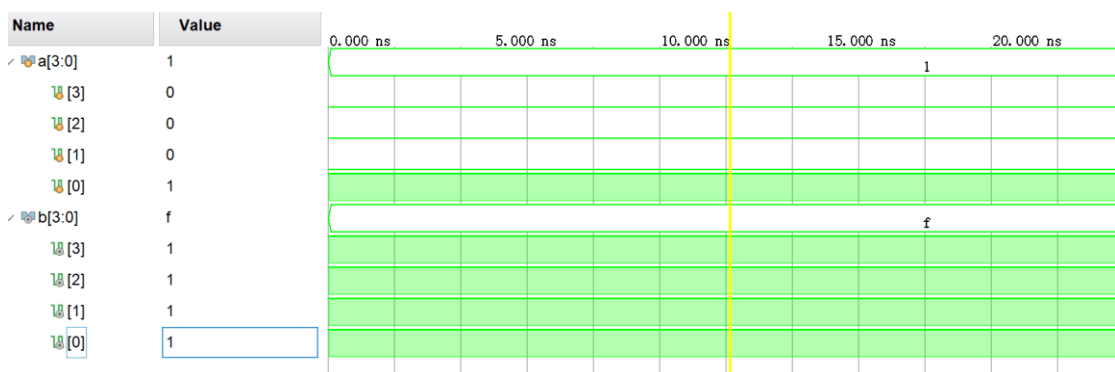
### 2. 8-3 优先编码器



### 3. 3-8 译码器



### 4. 取反加一



---

### 3. 开发板运行结果

已通过现场验收。

## 四、实验小结

本实验首次真正采用 Verilog 语言进行电路设计。经过多次尝试和修正，我对 Verilog 的运用逐渐熟练。我初步了解了结构化描述、数据流描述和行为级描述之间的差异及其各自的特点。我还学会了如何编写仿真文件，并成功仿真出所需结果。此外，本次实验也是我首次接触 DDR4，我对其板子的接口和时钟周期等特点有了初步掌握。虽然本次实验上手较为耗时，但随着时间的推移，我会对这个流程更加熟练，并为后续实验奠定基础。