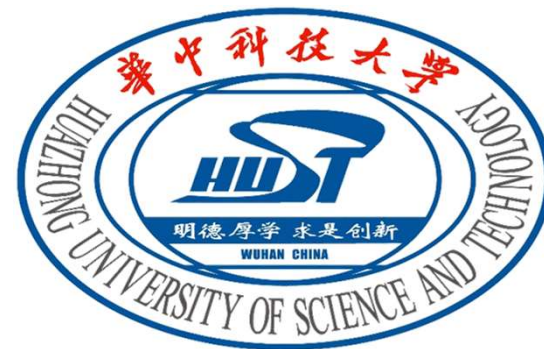


微机原理与接口技术

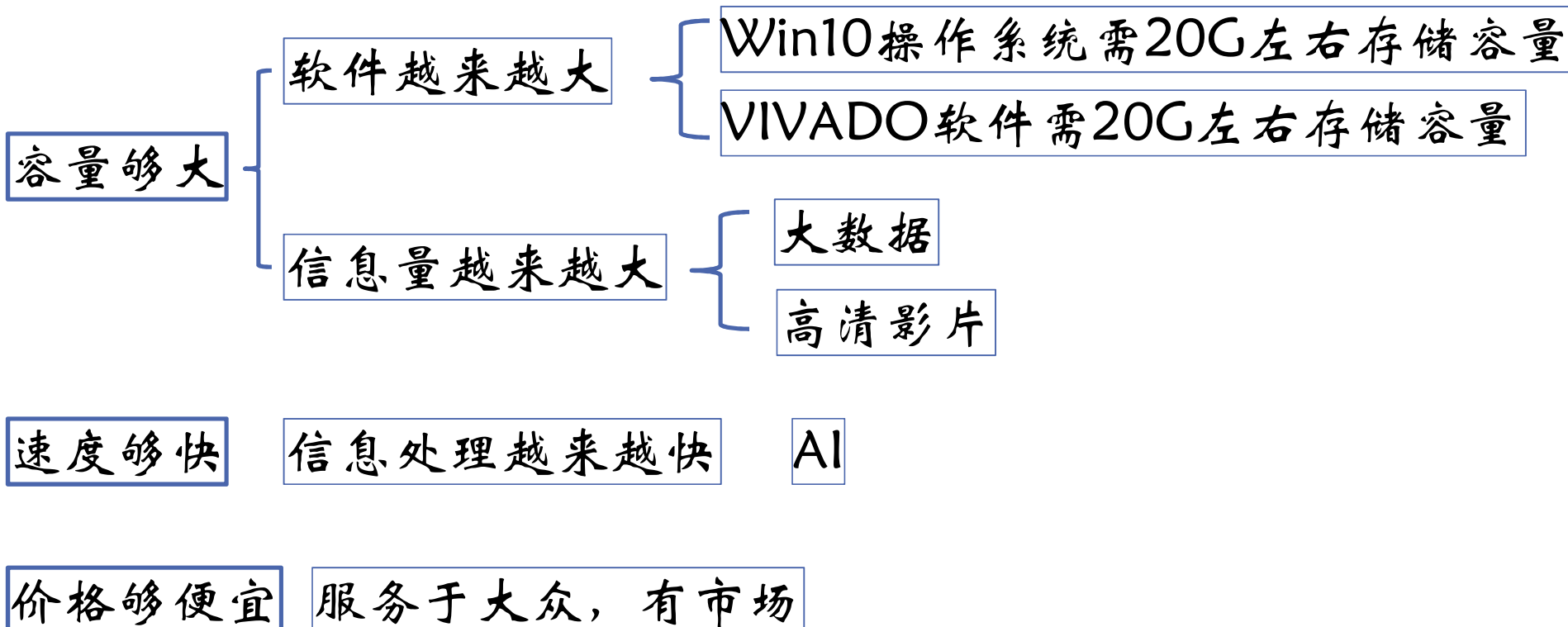
计算机系统分级存储结构

华中科技大学 左冬红



存储系统设计目标

存储系统的功能：存储指令、数据



存储器件类型容量、速度、价格参数对比

- SRAM
 - <100MB
 - 0.5~2.5ns
 - 12000~30000 RMB per GB
- DRAM
 - <1 100GB
 - 10~50ns
 - 120~380 RMB per GB
- Magnetic Disk
 - >1TB
 - 5~20ms
 - 0.6~3.0 RMB per GB

追求目标：像SRAM一样快，像硬盘一样容量大，同时价格便宜

计算机存储系统现实结构

CPU-Z

处理器 | 缓存 | 主板 | 内存 | SPD | 显卡 | 测试分数 | 关于

处理器

名字 Intel Core i7 6700T

代号 Skylake TDP 35.0 W

插槽 Socket 1151 LGA

工艺 14 纳米 核心电压 0.696 V

规格 Intel(R) Core(TM) i7-6700T CPU @ 2.80GHz

系列 6 型号 E 步进 3

扩展系列 6 扩展型号 5E 修订 R0

指令集 MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, EM64T, VT-x, AES, AVX, AVX2, FMA3, TSX

时钟 (核心 #0)

核心速度 798.24 MHz

倍频 x 8.0 (8 - 36)

总线速度 99.78 MHz

额定 FSB

缓存

一级 数据	4 x 32 KBytes	8-way
一级 指令	4 x 32 KBytes	8-way
二级	4 x 256 KBytes	4-way
三级	8 MBytes	16-way

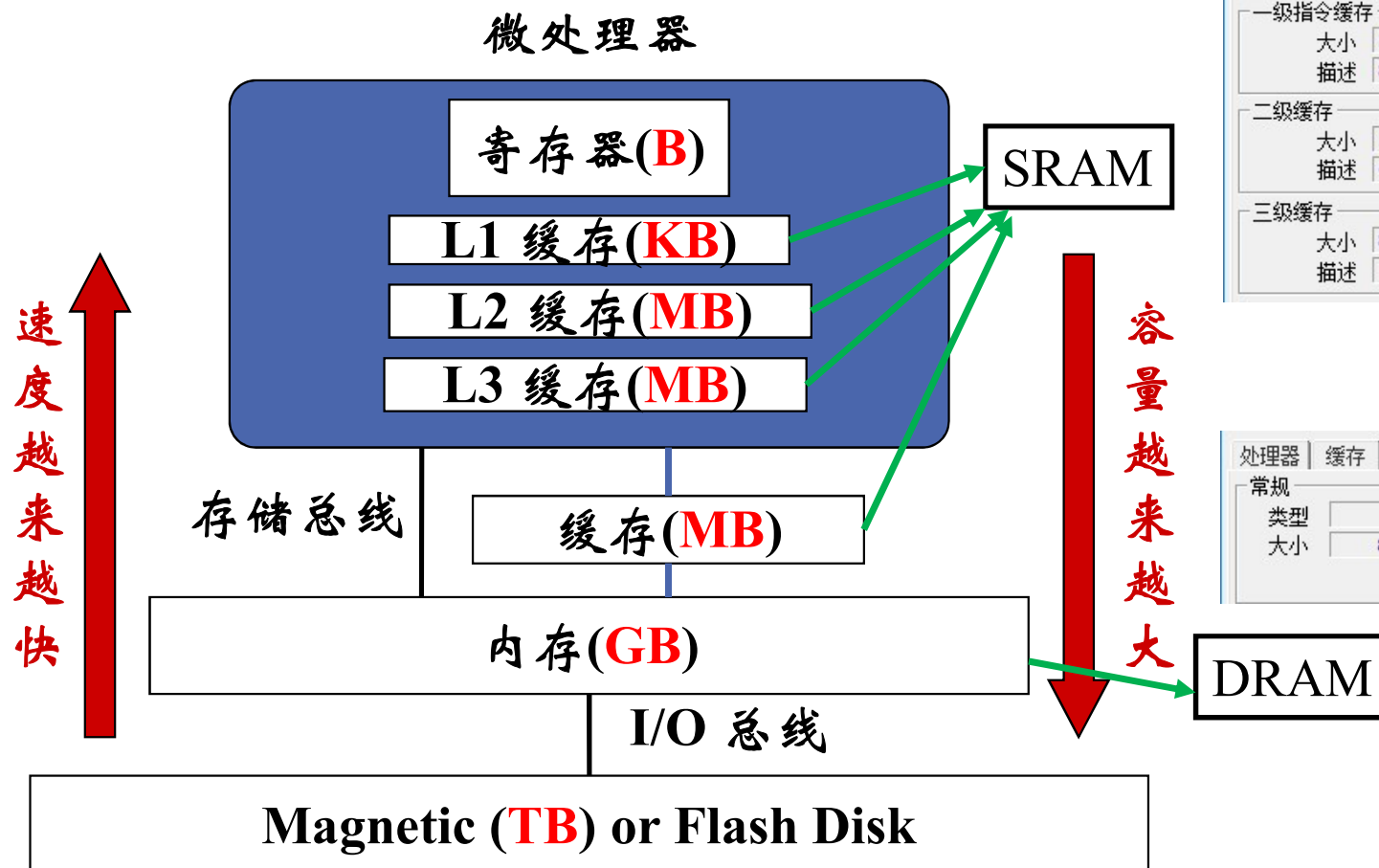
已选择 处理器 #1 核心数 4 线程数 8

CPU-Z Ver. 1.88.0.x64 工具 验证 确定



MyPrice

分级存储逻辑结构



处理器

缓存

主板

内存

SPD

显卡

测试分数

关于

一级数据缓存

大小

32 KBytes

x 4

描述

8-way set associative, 64-byte line size

一级指令缓存

大小

32 KBytes

x 4

描述

8-way set associative, 64-byte line size

二级缓存

大小

256 KBytes

x 4

描述

4-way set associative, 64-byte line size

三级缓存

大小

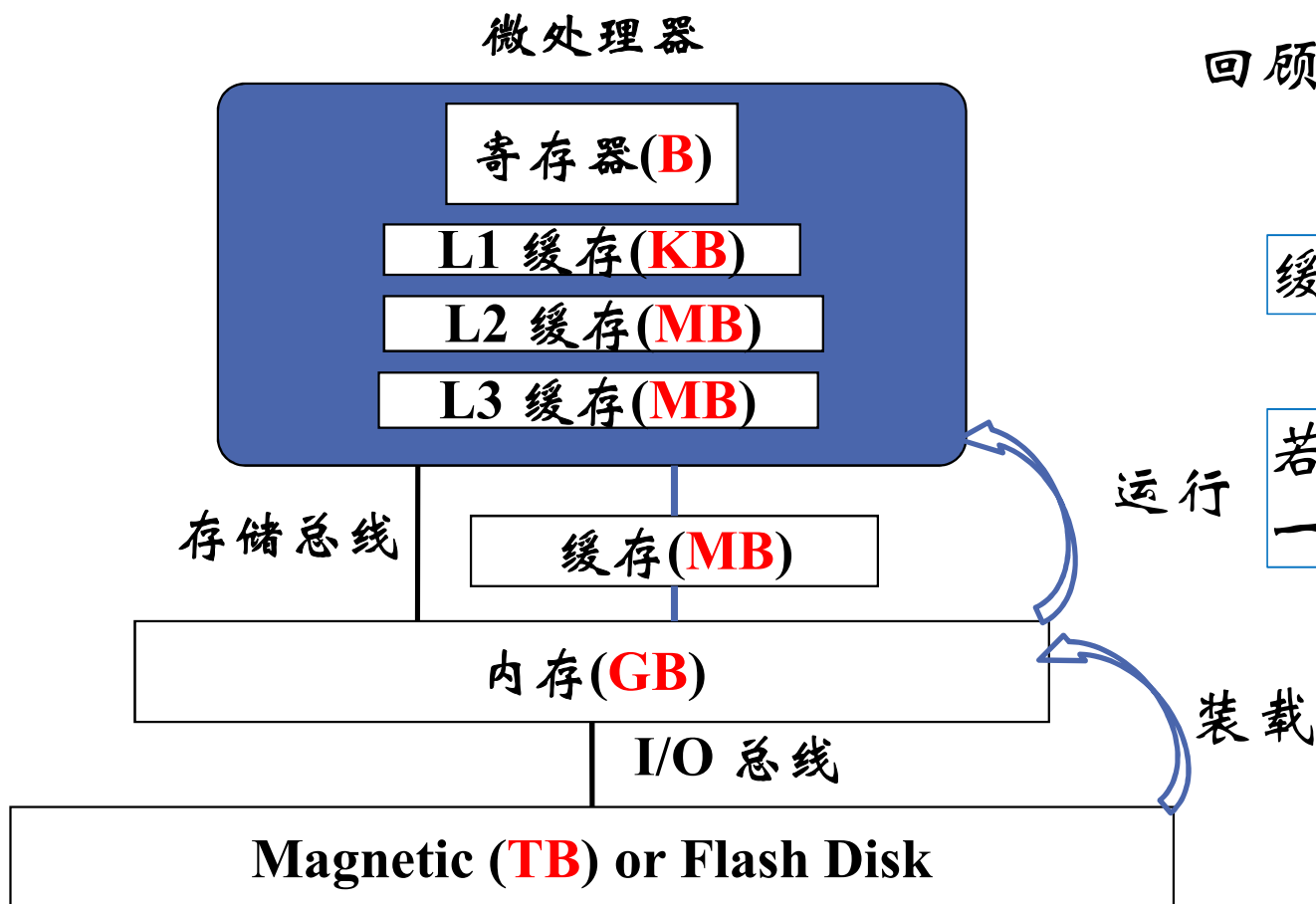
8 MBytes

描述

16-way set associative, 64-byte line size

处理器	缓存	主板	内存	SPD	显卡	测试分数	关于
常规							
类型	DDR4		通道数	单通道			
大小	8 GBytes		DC模式				
			北桥频率	1297.1 MHz			

分级存储系统如何达成目标



回顾程序的运行过程

缓存也装不下整个软件

若一次读取一条指令或一个数据，缓存没有用

软件和数据大到内存一次装不下

程序访存的局部性特征

```
for (I=0; I<8; I++)  
    for (J=0; J<8000; J++)  
        A[I][J]=B[I][0]+A[J][I];
```

时间局部性

刚刚访问的存储单元马上又访问

B[I][0]

for

数据重复访问

指令重复执行

术语

空间局部性

刚刚访问的存储单元的相邻存储单元马上访问

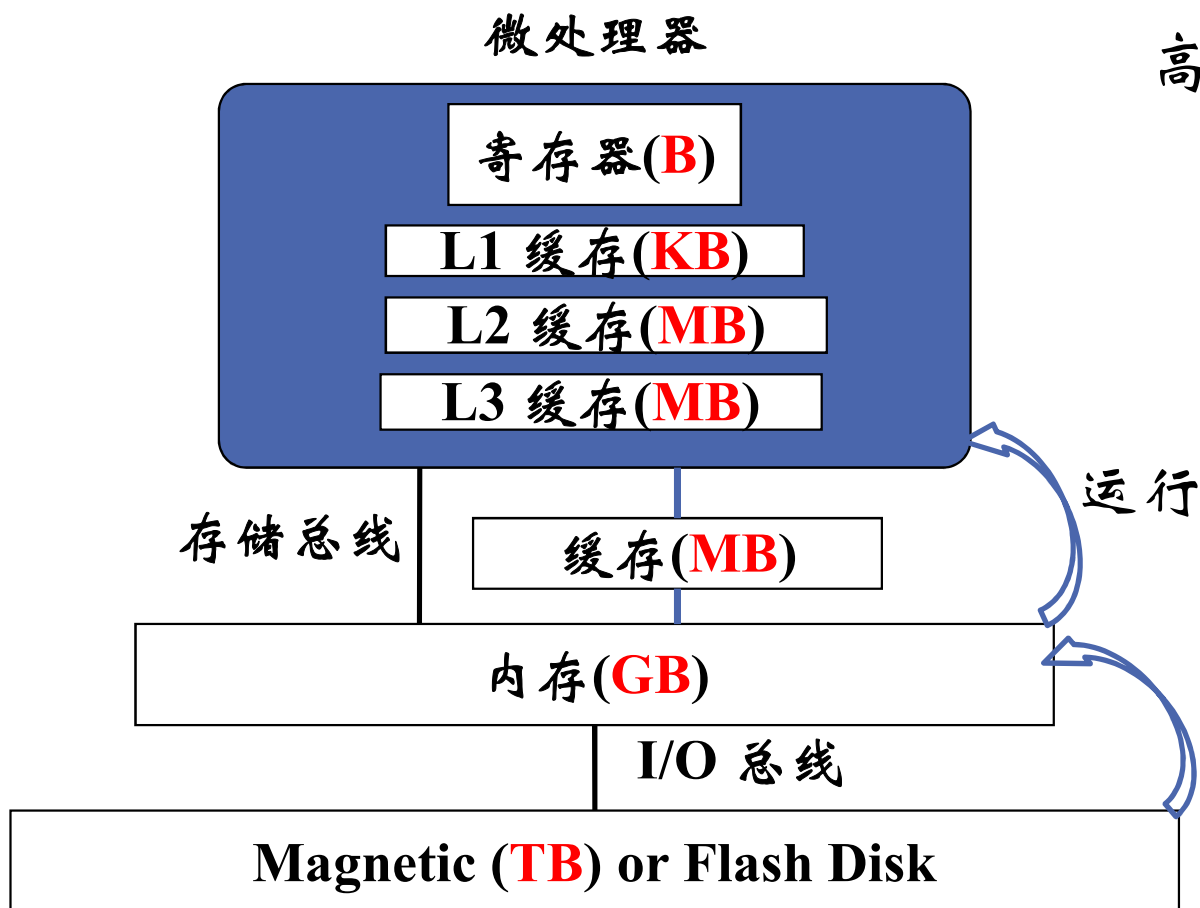
数据依序访问

A[I][J]

顺序执行程序段(运算指令)

指令顺序执行

分级存储系统如何达成目标



高速存储作为低速存储的缓冲

在缓存中逐条读取指令和逐个获取数据

一次读取一片(小)连续区域的代码和数据到缓存

装载软件一部分(大)连续区域的代码和数据到内存

小结

- 分级存储系统的构成
- 程序访存的局部性特征
- 分级存储系统实现设计目标的基本原理

下一讲：缓存映射机制