**电子线路设计、测试与实验**

**实验报告（六）**

**实验名称：**EDA 组合逻辑设计

**学院：**电子信息与通信学院

**专业班级：**提高2201班

**姓名：** 王翎羽

**学号：**U202213806

目录

[一、 实验名称 1](#_Toc97230829)

[二、 实验目的 1](#_Toc97230830)

[三、 实验元器件 1](#_Toc97230831)

[四、 实验任务 1](#_Toc97230832)

[1. 功能要求 1](#_Toc97230833)

[2. 已知条件 1](#_Toc97230834)

[3. 实验具体要求及注意事项 1](#_Toc97230835)

[4. 测量及验收内容 2](#_Toc97230836)

[五、 实验原理及参考电路 2](#_Toc97230837)

[1. OC门电路 2](#_Toc97230838)

[2. 流水灯电路 2](#_Toc97230839)

[3. 器件使用规则 3](#_Toc97230840)

[（1）TTL器件使用规则 3](#_Toc97230841)

[（2）CMOS器件主要参数和使用规则 4](#_Toc97230842)

[4. 测量技巧 4](#_Toc97230843)

[六、 实验过程 4](#_Toc97230844)

[1. 计算RL、RD 4](#_Toc97230845)

[2. vi、vo、vo1、vo2的波形 4](#_Toc97230846)

[3. 用Y3作为触发信源，画出输出波形 5](#_Toc97230847)

[七、 实验小结 5](#_Toc97230848)

# 第六次实验：EDA组合逻辑设计

# 实验名称

EDA组合逻辑设计

# 实验目的

1. 学习使用verilog HDL描述数字逻辑电路与系统的方法;
2. 了解并掌握采用可编程逻辑器件实现数字电路与系统的方法;
3. 学习并掌握采用Vivado软件开发可编程器件的过程;

# 实验任务

用verilog语言实现4位求反加1功能数字电路，一位比较器数字电路，编码器和译码器数字电路的代码、仿真和开发板运行。

## 功能要求

1.OC门任务7电路功能

2.流水灯电路功能

3.流水灯电路1kHz时钟脉冲时各输出波形（特别是如何观测相位关系）

## 已知条件

对于流水灯，须用触发器设计一个4进制计数器，再用与非门设计2-4线译码器，使四个发光管仅有一个亮灯且轮流亮灯。

## 实验具体要求及注意事项

1. 各单元电路的电源要求连在一起;
2. 布局、布线要规范。要求:电源线用红色线，地线用黑色，信号线用其它颜色。
3. 输入信号用正方波。
4. 用示波器观察波形时，用DC耦合输入方式。
5. 画输入、输出波形时，要求上、下排列。
6. 实验结果的记录要求规范。

## 测量及验收内容

1. 计算RL、RD;
2. 用坐标纸画出vi、vo、vo1、vo2的波形并标出VOH、VOL的值;
3. 画出逻辑电路图;
4. 实验现象及测试结果记入自拟表格中。
5. 将电路CP改为1kHz输入，示波器用直流耦合输入方式，用Y3,作为触发信源，用坐标纸画出EN=0时CP、Q1、Q0和译码器输出波形，注意波形的时序关系，并总结观察多个相关信号时序关系的方法。

# 实验原理及参考电路

## OC门电路

因OC门输出端是悬空的，使用时一定要在输出端与电源之间接一电阻RL。

****

7

7

7

14

14

14

5

1

6

3

4

2

6

5

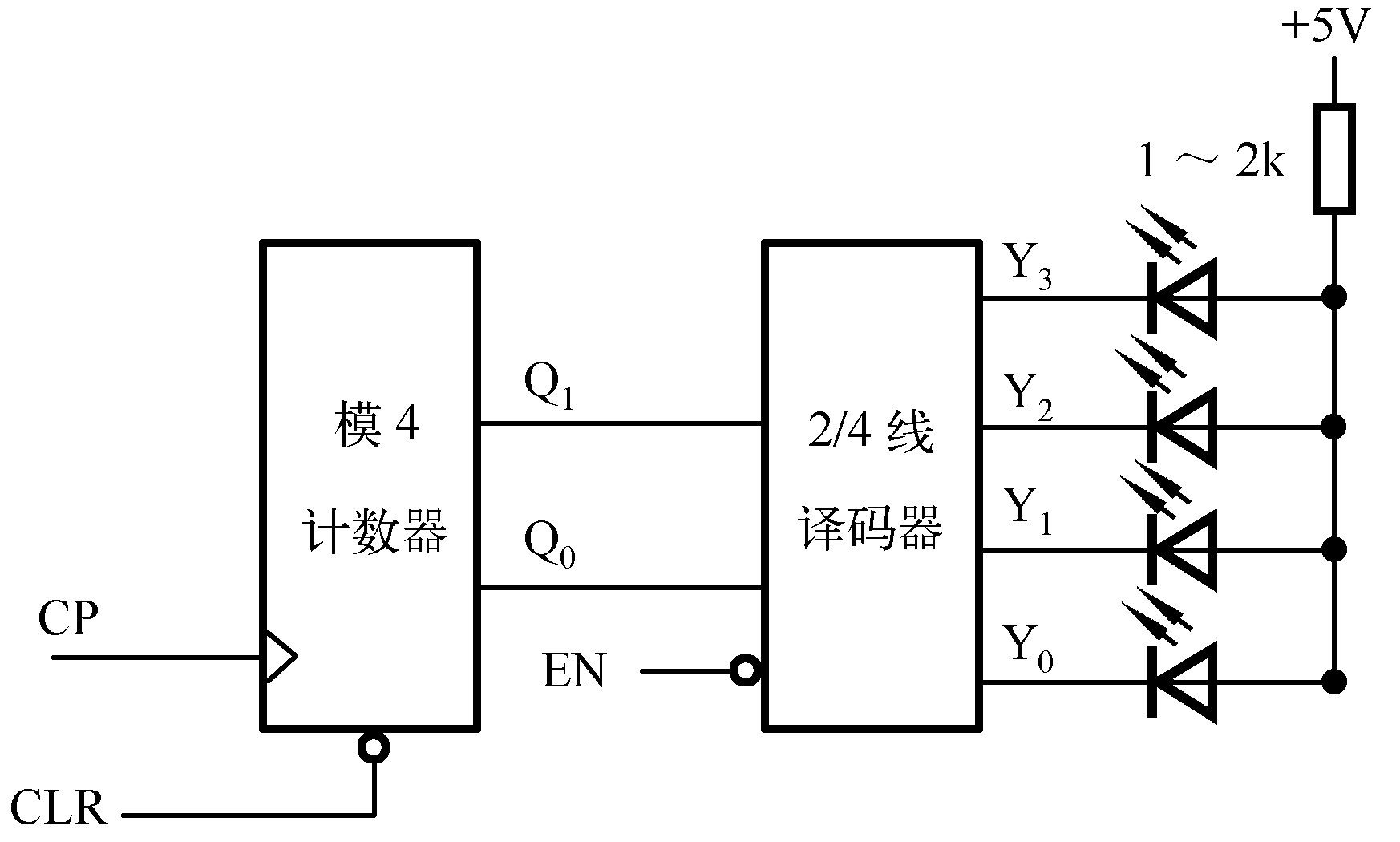
4

****

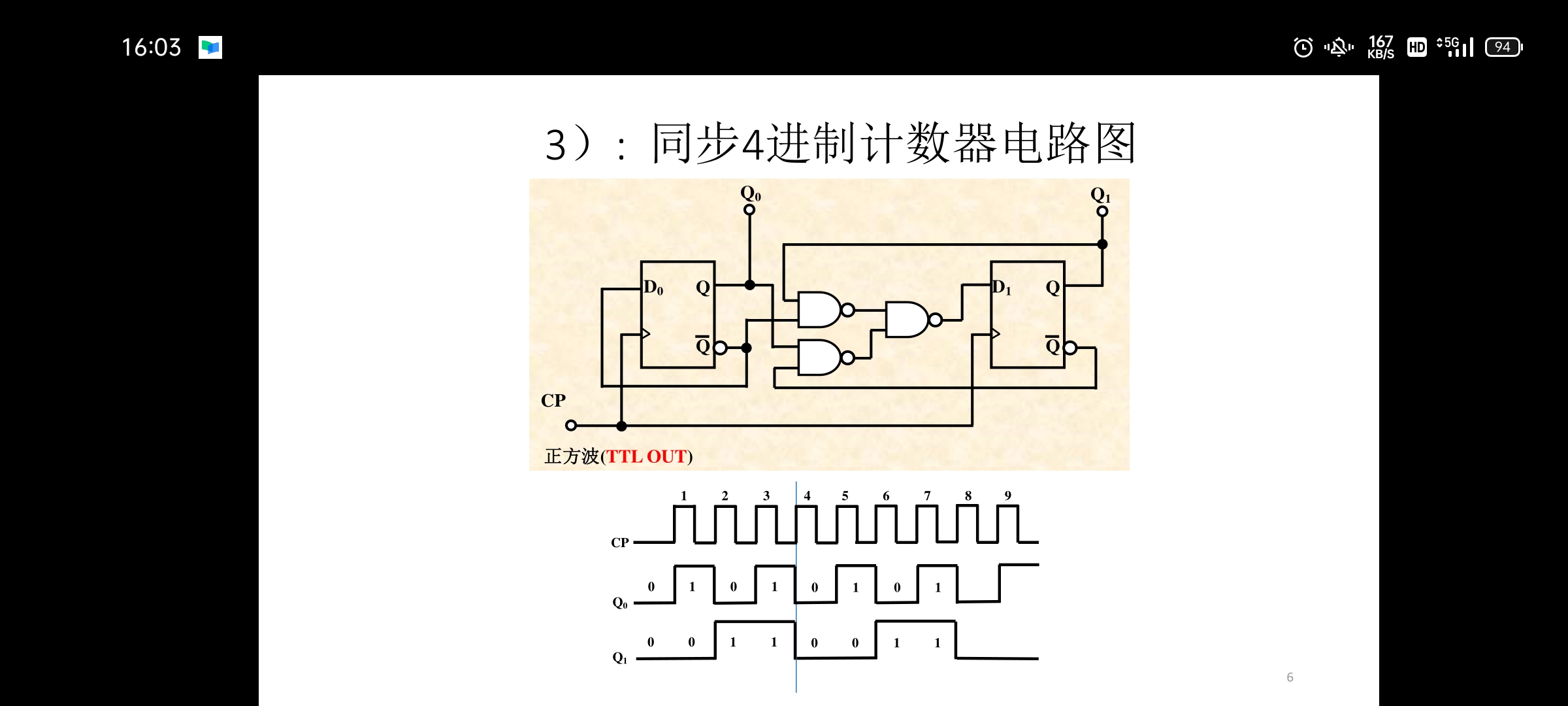
## 流水灯电路

用D触发器设计实现模4计数器

用与非门设计实现2/4线译码器



其中模四计数器：



74HC00

8

10

9

6

3

5

4

1

2

8

9

11

12

6

5

2

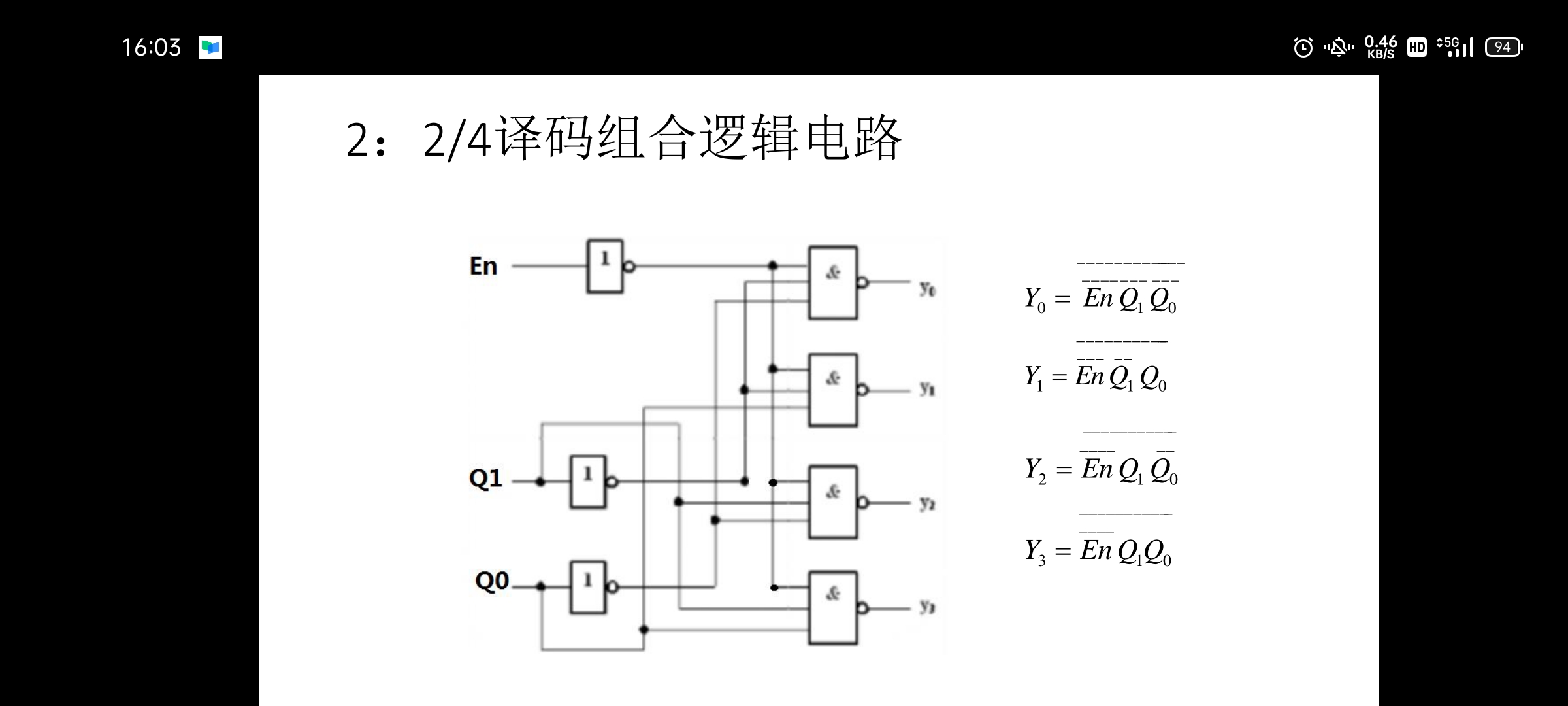
3

74HC74

74HC74

2/4线译码器

74HC10(1)



6

5

4

3

12

13

2

1

6

12

5

4

3

13

2

1

74HC10(2)

74HC74

5

6

9

8

## 器件使用规则

### （1）TTL器件使用规则

1. 电源电压+VCC：只允许在+5V±5%范围内，超过该范围可能会损坏器件或使逻辑功能混乱。
2. 电源滤波：TTL器件的高速切换，会产生电流跳变，其幅度约4mA~5mA。该电流在公共走线上的压降会引起噪声干扰，因此，要尽量缩短地线以减小干扰。可在电源端并接一个100uF的电容作为低频滤波及1个0.01uF-0.1uF的电容作为高频滤波。
3. 输出端的连接：不允许输出端直接接+5V或接地。除OC门和三态(TS)门外，其它门电路的输出端不允许并联使用，否则，会引起逻辑混乱或损坏器件。
4. 输入端的连接：输入端串入一只1kΩ~10kΩ电阻与电源连接或直接接电源电压+VCC来获得高电平输入。直接接地为低电平输入。或门、或非门等TTL电路的多余的输入端不能悬空，只能接地;与门、与非门等TTL电路的多余输入端可以悬空(相当于接高电平)，但易受到外界干扰，可将它们接+Vcc或与其它输入端并联使用，输入端并联时，从信号获取的电流将增加。

### （2）CMOS器件主要参数和使用规则

1. 平均传输延迟时间tpd：CMOS电路的平均传输延迟时间比TTL电路的长得多，通常tpd~200ns。目前74HC系列与TTL基本相当
2. 直流噪声容限VNH和VNL：CMOS器件的噪声容限通常以电源电压+VDD的30%来估算。当+VDD=5V时，VNH≈VNL=1.5V，可见CMOS器件的噪声容限比TTL电路的要大得多，因此，抗干扰能力也强得多。提高电源电压+ VDD是提高CMOS器件抗干扰能力的有效措施。
3. 电源电压+VDD：电源电压不能接反，规定+VDD接电源正极，VSS接电源负极(通常接地)。
4. 输出端的连接：输出端不允许直接接+VDD或地，除三态门外，不允许两个器件的输出端连接使用。
5. 输入端的连接：输入信号Vi,应为VSS≤Vi≤VDD，超出该范围会损坏器件内部的保护二极管或绝缘栅极，可在输入端串接一只限流电阻(10~100)kΩ;多余的输入端不能悬空，应按逻辑要求直接接VDD或VSS (地);工作速度不高时，允许输入端并联使用。

## 测量技巧

在选定频率最低的波形作为参考后，可以固定参考波形为一个通道，分别测量其他波形，也可以将参考波形接入外触发，一次可以测量两个波形。

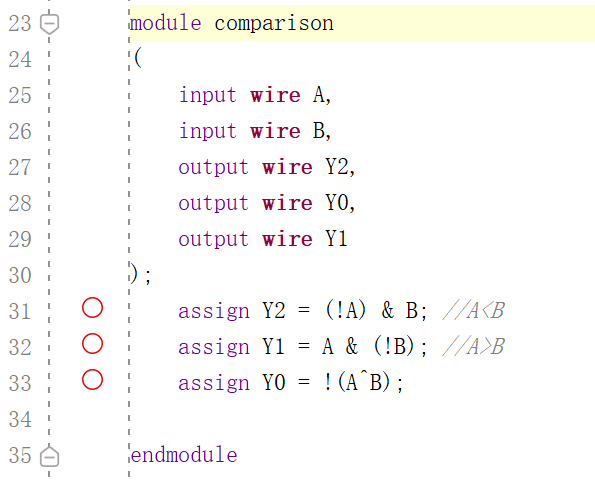
# 实验代码及结果

## 实验代码

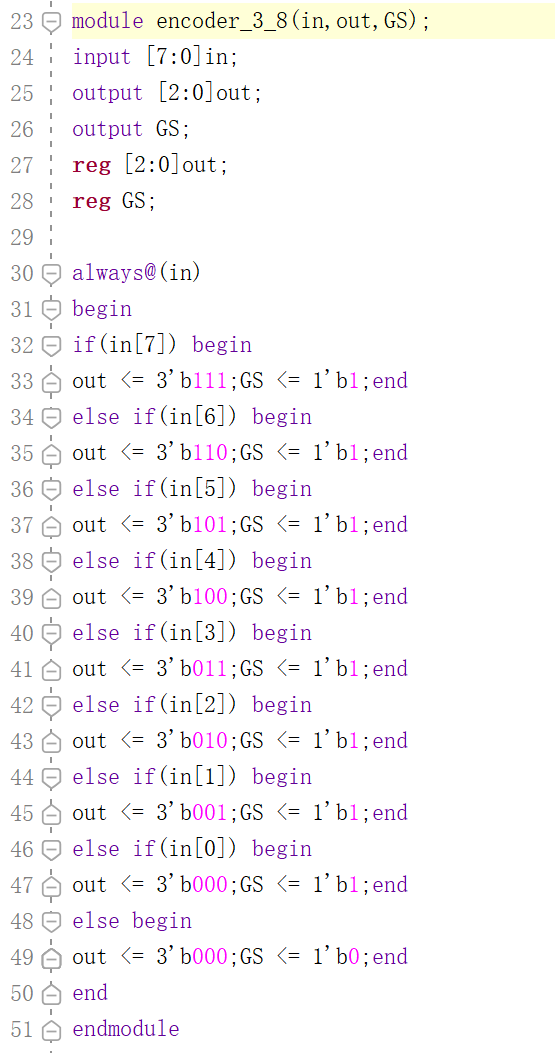
### 2选1数据选择器

### 

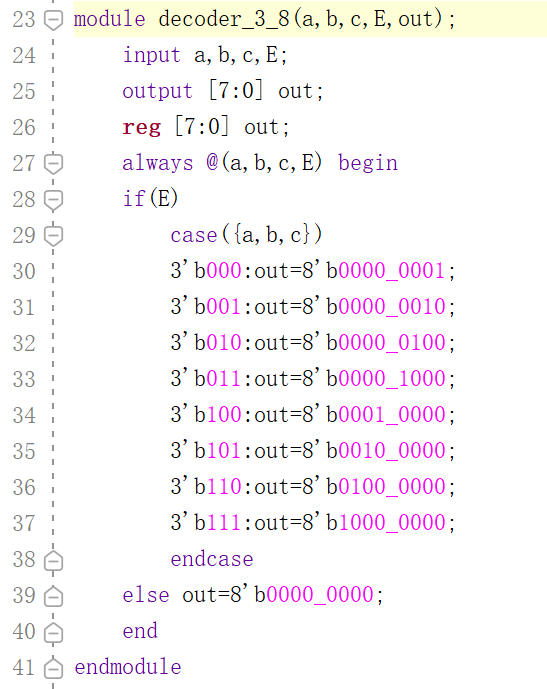
### 1位比较器



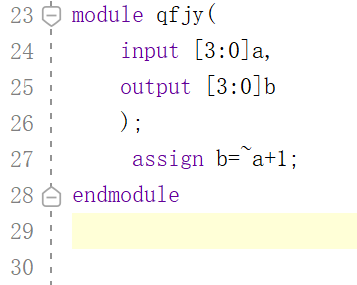
### 8-3优先编码器



### 3-8译码器



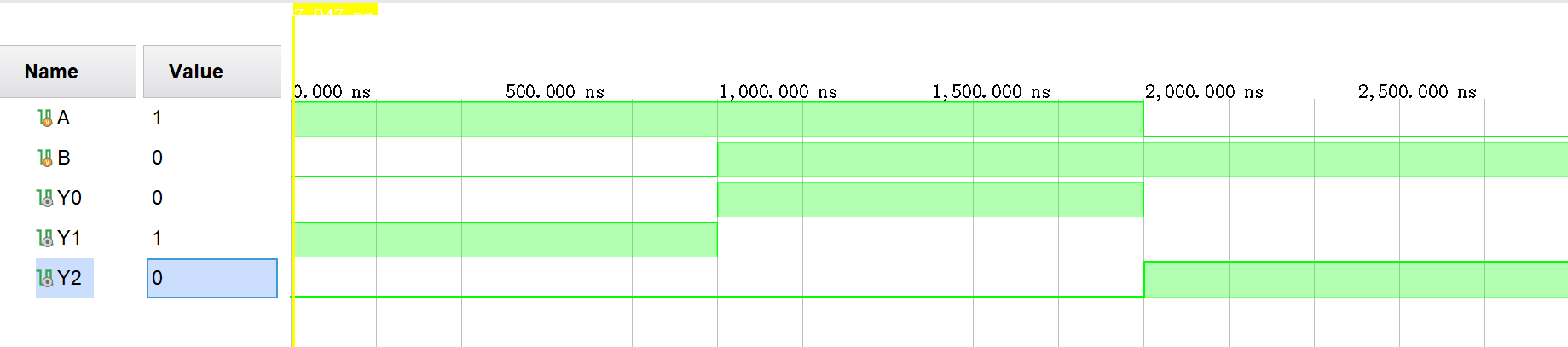
### 取反加一



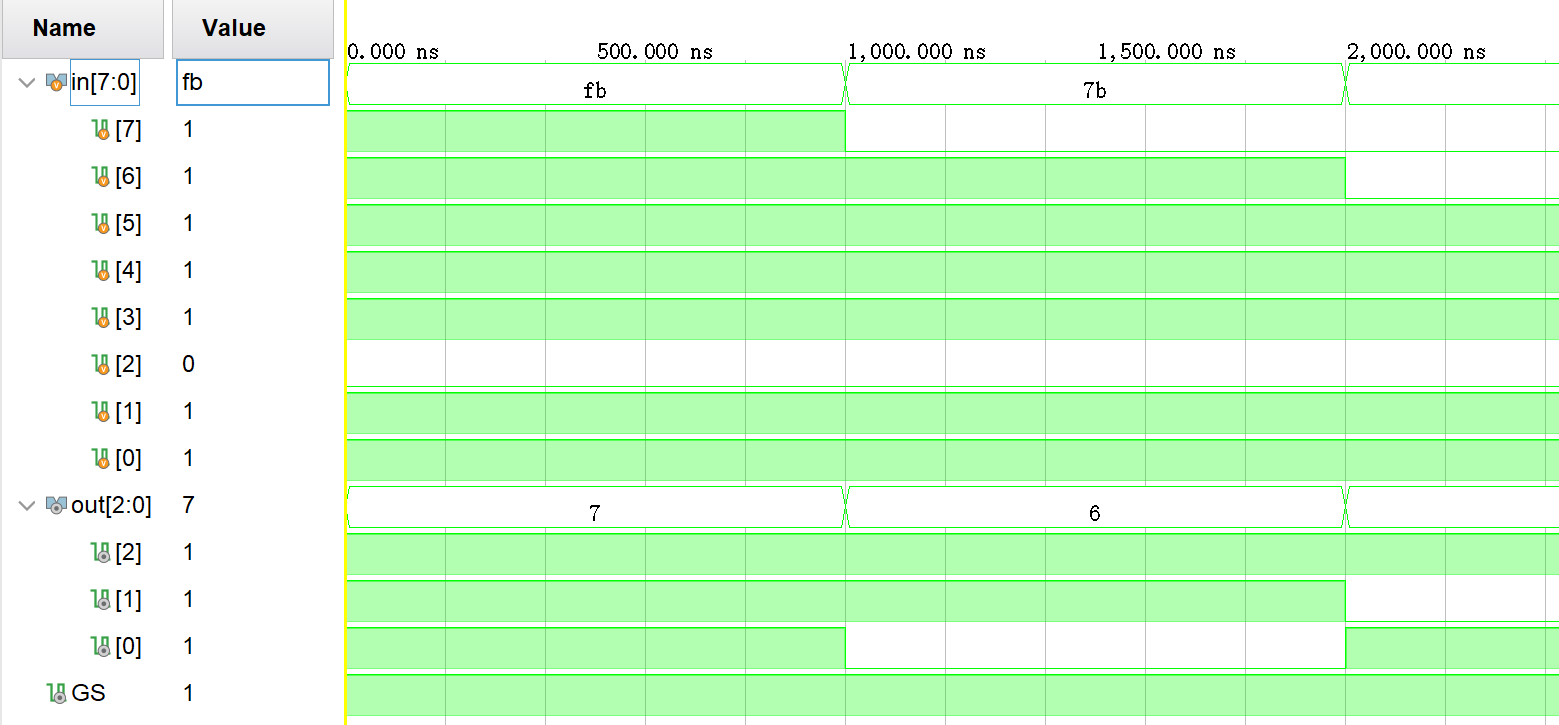
## 实验仿真结果

### 2选1数据选择器

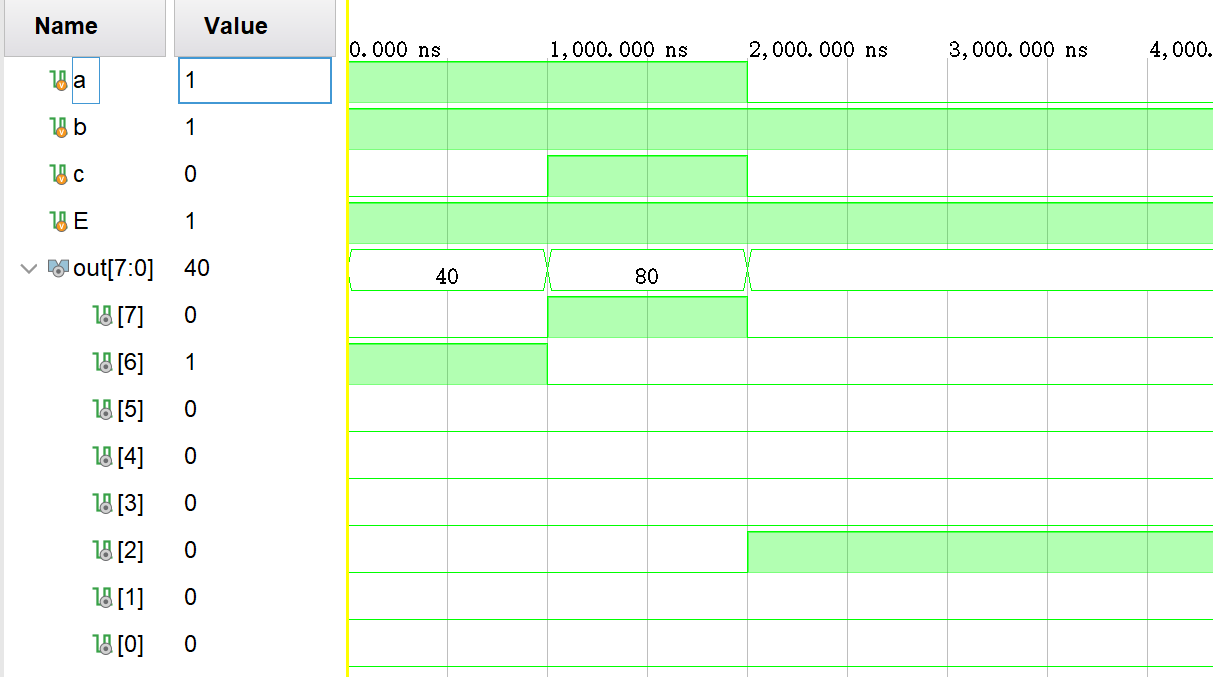
### 1位比较器



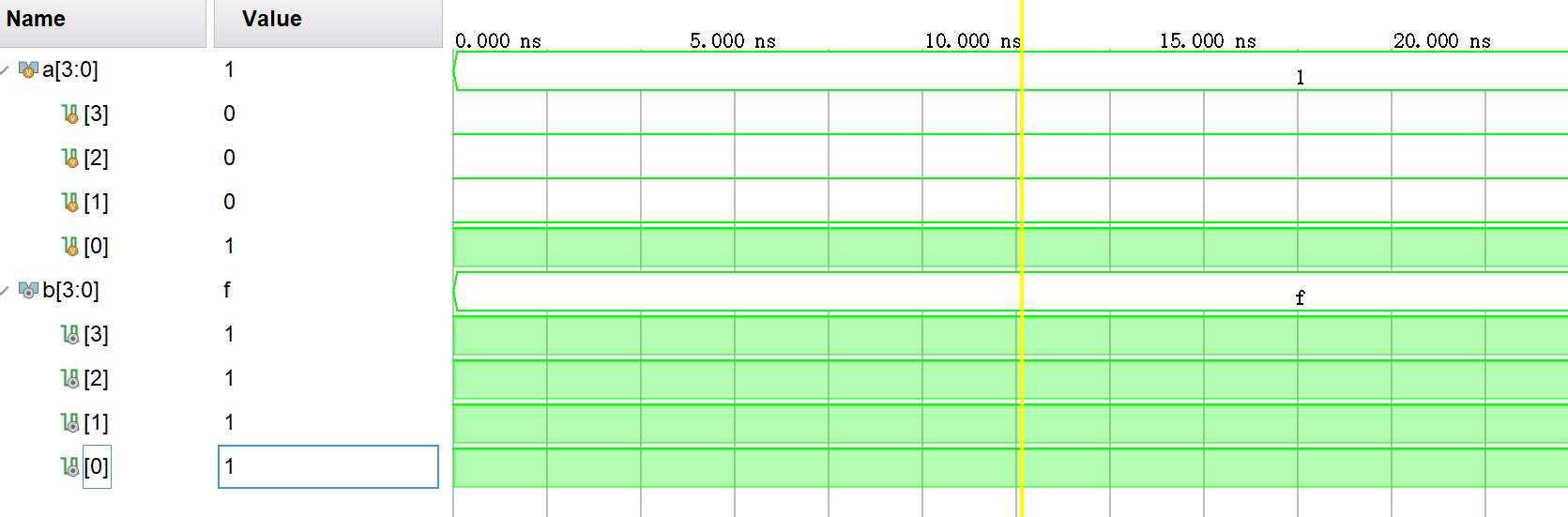
### 8-3优先编码器



### 3-8译码器



### 取反加一



## 开发板运行结果

已通过现场验收。

# 实验小结

本次实验内容多、插线较为复杂。但是只要排线方正有序，很容易排除错误。在进行实验时需要耐心和细心，这样才能确保每个引脚都被正确连接。同时，及时记录和整理实验过程中的问题和解决方法也是非常重要的，

有助于以后遇到类似问题时能够快速解决。