

Architecture des Ordinateurs, corrigé TD 4

Exercice 1. Réalisation d'un additionneur/soustracteur (portes logiques disponibles : *ET*, *OU*, *NON*, *OU EXCL*)

1. Réaliser un demi-soustracteur (1 bit *A* avec 1 bit *B* sans retenue d'entrée) :
 - Ecrire la table de vérité.
 - Donner les équations de sortie.
 - Etablir le schéma logique.
2. En comparant le circuit du demi-soustracteur avec celui d'un demi-additionneur, concevoir le plus simplement possible un circuit, appelé demi-additionneur/soustracteur, qui à partir d'un signal de commande *C* et des entrées *A* et *B*, simule le demi-additionneur sur *A* et *B* lorsque la commande *C* est à 0, et le demi-soustracteur sur *A* et *B* lorsque la commande *C* est à 1 (suggestion : appliquer le signal de commande à une des entrées d'une porte *OU EXCL*).
3. A partir du demi-additionneur/soustracteur qui vient d'être réalisé, concevoir un additionneur/soustracteur complet (1 bit *A* avec un bit *B* avec retenue d'entrée).
4. Donner le schéma d'un additionneur/soustracteur quatre bits par quatre bits.

Correction.

1. Un demi-soustracteur est un circuit qui soustrait simplement un bit d'un autre. Le résultat est obtenu sur deux bits, *S* pour le poids faible (la différence), *R* pour le poids fort (la retenue). A partir de la table de vérité suivante :

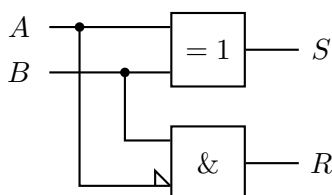
<i>A</i>	<i>B</i>	<i>R</i>	<i>S</i>
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

on obtient :

$$\begin{aligned} S &= \overline{A}.B + A.\overline{B} \\ &= A \oplus B \end{aligned}$$

$$R = \overline{A}.B$$

Le demi-soustracteur est réalisé par le circuit suivant :



2. On constate que la seule différence entre un demi-soustracteur et un demi-additionneur tient à la présence d'une négation sur l'entrée *A* de la porte *ET* qui génère la retenue.

L'ajout d'une porte OU EXCL dont une des entrées est la commande C doit donc permettre de simuler la négation présente dans le demi-soustracteur lorsque $C = 1$, et l'absence de cette négation dans le demi-additionneur lorsque $C = 0$. Il est aisé de vérifier partir de la table de vérité de OU EXCL qu'il suffit de prendre directement A pour l'autre entrée de la porte OU EXCL : lorsque $C = 0$, la sortie de la porte est équivalente à A , lorsque $C = 1$ cette sortie prend la valeur de \overline{A} .

C	A	$C \oplus A$
0	0	0
0	1	1
1	0	1
1	1	0

Bien entendu, une étude systématique des sorties à partir de toutes les entrées permet de retrouver les équations booléennes attendues :

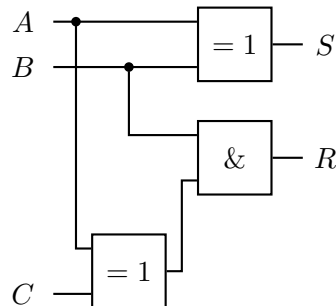
C	A	B	R	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	0
1	0	1	1	1
1	1	0	0	1
1	1	1	0	0

on obtient :

$$\begin{aligned}
 S &= \overline{C}.\overline{A}.B + \overline{C}.A.\overline{B} + C.\overline{A}.B + C.A.\overline{B} \\
 &= \overline{C}.(A \oplus B) + C.(A \oplus B) \\
 &= (\overline{C} + C).(A \oplus B) \\
 &= A \oplus B
 \end{aligned}$$

$$\begin{aligned}
 R &= \overline{C}.A.B + C.\overline{A}.B \\
 &= (\overline{C}.A + C.\overline{A}).B \\
 &= (C \oplus A).B
 \end{aligned}$$

Le schéma d'un demi-additionneur/soustracteur est donc :



3. La table de vérité de l'additionneur/soustracteur est (avec R_e , retenue en entrée et R_s

retenue en sortie) :

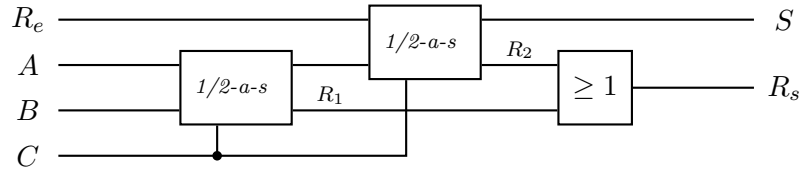
C	R_e	A	B	R_s	S
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	1	1

on obtient :

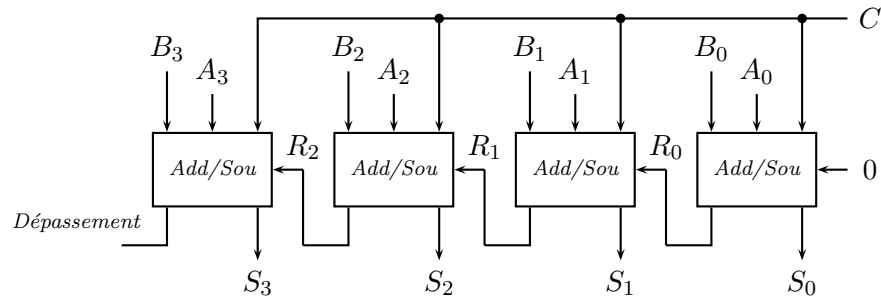
$$\begin{aligned}
S &= \overline{C}.\overline{R_e}.\overline{A}.B + \overline{C}.\overline{R_e}.A.\overline{B} + \overline{C}.R_e.\overline{A}.\overline{B} + \overline{C}.R_e.A.B + \\
&\quad C.\overline{R_e}.\overline{A}.B + C.\overline{R_e}.A.\overline{B} + C.R_e.\overline{A}.\overline{B} + C.R_e.A.B \\
&= (\overline{C} + C).\overline{R_e}.\overline{A}.B + (\overline{C} + C).\overline{R_e}.A.\overline{B} + (\overline{C} + C).R_e.\overline{A}.\overline{B} + (\overline{C} + C).R_e.A.B \\
&= \overline{R_e}.(\overline{A}.B + A.\overline{B}) + R_e.(\overline{A}.\overline{B} + A.B) \\
&= \overline{R_e}.(A \oplus B) + R_e.\overline{A \oplus B} \\
&= R_e \oplus A \oplus B
\end{aligned}$$

$$\begin{aligned}
R &= \overline{C}.\overline{R_e}.A.B + \overline{C}.R_e.\overline{A}.B + \overline{C}.R_e.A.\overline{B} + \overline{C}.R_e.A.B + \\
&\quad C.\overline{R_e}.\overline{A}.B + C.R_e.\overline{A}.\overline{B} + C.R_e.\overline{A}.B + C.R_e.A.B \\
&= \overline{C}.R_e.(\overline{A}.B + A.\overline{B}) + C.R_e.(\overline{A}.\overline{B} + A.B) + \overline{C}.(\overline{R_e} + R_e).A.B + C.(\overline{R_e} + R_e).\overline{A}.B \\
&= (\overline{C}.(A \oplus B) + C.(\overline{A \oplus B})).R_e + (\overline{C}.A + C.\overline{A}).B \\
&= \underbrace{(C \oplus A \oplus B).R_e}_{R_2} + \underbrace{(C \oplus A).B}_{R_1}
\end{aligned}$$

Le schéma de l'additionneur/soustracteur est immédiat :



4. Le schéma d'un additionneur/soustracteur quatre bits par quatre bits s'obtient de façon toute aussi immédiate :



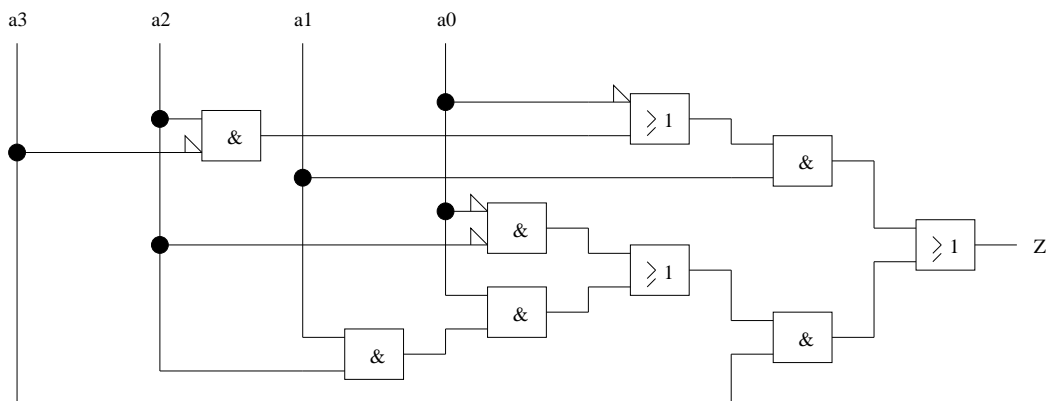
Exercice 2. Etudier un circuit combinatoire à quatre entrées a0, a1, a2, a3, et une sortie Z tel que $Z = 1$ chaque fois que le numéro codé par l'entier a3a2a1a0 est divisible entièrement par 4 ou 5.

Correction.

		a1 a0			
		00	01	11	10
a3 a2	00	1			
	01	1	1		
	11	1		1	
	10	1			1

$$\begin{aligned}
 Z &= \overline{a1}.\overline{a0} + \overline{a3}.a2.\overline{a1} + a3.\overline{a2}.\overline{a0} + a3.a2.a1.a0 \\
 &= \overline{a1}.(\overline{a0} + \overline{a3}.a2) + a3.(\overline{a2}.\overline{a0} + a2.a1.a0)
 \end{aligned}$$

d'où le schéma :



Exercice 3. Réalisation d'un multiplicateur 2 bits par 2 bits :

1. Réaliser un circuit qui effectue la multiplication 1 bit par 1 bit.
2. Réaliser un multiplicateur 2 bits par 2 bits
 - (a) directement à l'aide de portes ET, OU , NON, NON-ET, NON-OU...
 - (b) alternativement, à l'aide du multiplicateur 1 bit par 1 bit réalisé ci-dessus et de demi-additionneurs.

Correction.

1. Circuit qui effectue la multiplication 1 bit par 1 bit : a et b étant les deux bits à multiplier, la fonction booléenne $P = a.b$
2. On note $a1a0$ les deux bits du premier nombre, et $b1b0$ les deux bits du deuxième nombre ; le résultat s'écrit sur 4 bits $p3p2p1p0$.
(a)

$b1$	$b0$	$a1$	$a0$	$p3$	$p2$	$p1$	$p0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

$$\begin{aligned}
 p3 &= b1.b0.a1.a0 \\
 p2 &= b1.\overline{b0}.a1.\overline{a0} + b1.\overline{b0}.a1.a0 + b1.b0.a1.\overline{a0} \\
 &= b1.\overline{b0}.a1.\overline{a0} + b1.\overline{b0}.a1.a0 + b1.\overline{b0}.a1.a0 + b1.b0.a1.\overline{a0} \\
 &= b1.\overline{b0}.a1 + b1.a1.\overline{a0} \\
 &= b1.a1.(\overline{b0} + \overline{a0}) \\
 &= b1.a1.\overline{b0.a0} \\
 p1 &= \overline{b1}.b0.a1.\overline{a0} + \overline{b1}.b0.a1.a0 + b1.\overline{b0}.\overline{a1}.a0 + b1.\overline{b0}.a1.a0 + b1.b0.\overline{a1}.a0 + b1.b0.a1.\overline{a0} \\
 &= \overline{b1}.b0.a1 + b1.\overline{b0}.a0 + b1.b0.(a1 \oplus a0) \\
 &= \overline{b1}.b0.a1 + b1.(\overline{b0}.a0 + b0.(a1 \oplus a0)) \\
 p0 &= \overline{b1}.b0.\overline{a1}.a0 + \overline{b1}.b0.a1.a0 + b1.b0.\overline{a1}.a0 + b1.b0.a1.a0 \\
 &= \overline{b1}.b0.a0 + b1.b0.a0 \\
 &= b0.a0
 \end{aligned}$$

(b) Remarquons que (développement polynômial d'un nombre en base 2) :

$$\begin{aligned} a1a0 &= a1 \times 2^1 + a0 \times 2^0 \\ b1b0 &= b1 \times 2^1 + b0 \times 2^0 \end{aligned}$$

Rappelons que l'exposant associé à la base correspond au rang de chacun des bits qui codent le nombre. On a alors :

$$\begin{aligned} a1a0 \times b1b0 &= (a1 \times 2^1 + a0 \times 2^0) \times (b1 \times 2^1 + b0 \times 2^0) \\ &= a1 \times b1 \times 2^2 + (a1 \times b0 + a0 \times b1) \times 2^1 + a0 \times b0 \times 2^0 \end{aligned}$$

Dans cette équation

$$p0 = a0 \times b0$$

$p1 = a1 \times b0 + a0 \times b1$ qui représente une somme de deux bits réalisée avec un demi-additionneur, et donc génère une retenue R_1 de rang supérieur d'où :

$p2 = a1 \times b1 + R_1$ qui représente une somme de deux bits réalisée avec un demi-additionneur, et donc génère une retenue R_2 de rang supérieur d'où :

$$p3 = R_2$$

Autrement dit,

$$p3p2p1p0 = R_2 \times 2^3 + (a1 \times b1 + R_1) \times 2^2 + (a1 \times b0 + a0 \times b1) \times 2^1 + (a0 \times b0) \times 2^0$$

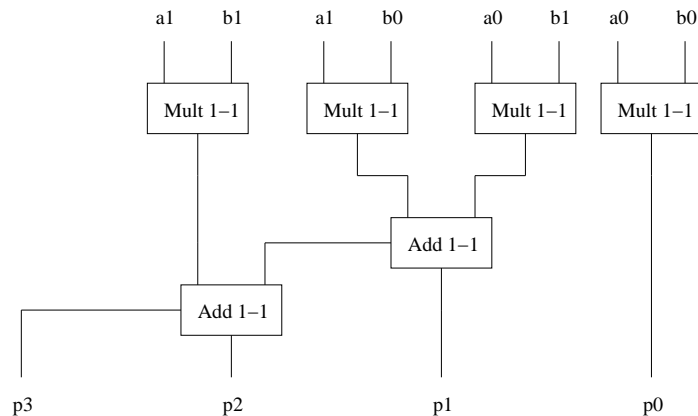
Exemple :

11	a1a0 = 11
x 11	b1b0 = 11

11	
11	

1001	p3 = 1, p2 = 0, p1 = 0, p0 = 1

A partir des équation de $p3, p2, p1, p0$ obtenues ci-dessus, on obtient le schéma :



Exercice 4. Réalisation d'un multiplicateur 4 bits par 4 bits :

1. A l'aide du multiplicateur 2 bits par 2 bits de l'exercice précédent et d'additionneurs 2 bits par 2 bits, réaliser un circuit multiplicateur 4 bits par 4 bits.

Indication : A et B étant des entiers codés sur quatre bits, on considère les nombres écrits par groupes de deux bits dont la place est, comme dans l'exercice précédent, indiquée par une notation puissance; par exemple, $A = MN$ et $B = PQ$, tels que M, N, P, Q s'écrivent sur deux bits. On note alors (par exemple) $\{MP\}$ le résultat (sur quatre bits) de la multiplication $M \times P$, résultat qui se décompose en $\{MP\}_F$ (les deux bits de poids fort de $\{MP\}$) et $\{MP\}_f$ (les deux bits de poids faible de $\{MP\}$), d'où :

$$M \times P = \{MP\}_F \times b^1 + \{MP\}_f \times b^0 \text{ (où } b \text{ désigne la base)}$$

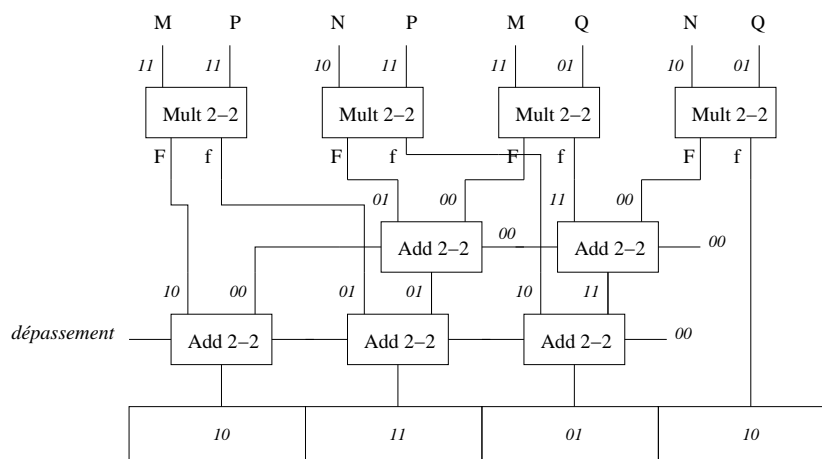
Question subsidiaire : quelle est la valeur de b ici ?

2. Simuler la multiplication 1110×1101 sur le multiplicateur 4 bits par 4 bits ainsi réalisé.

Correction. *Question subsidiaire :* puisque les nombres sont pris par groupes de 2 bits, $b = 4$. Comme dans l'exercice précédent, on pose $A = MN, B = PQ$ où M, N, P, Q sont des couples de bits. Le produit $A \times B$ s'écrit alors :

$$\begin{aligned} A \times B &= MN \times PQ \\ &= (M \times b^1 + N \times b^0) \times (P \times b^1 + Q \times b^0) \\ &= \{MP\} \times b^2 + (\{NP\} + \{MQ\}) \times b^1 + \{NQ\} \times b^0 \\ &= (\{MP\}_F \times b^1 + \{MP\}_f \times b^0) \times b^2 + \\ &\quad (\{NP\}_F \times b^1 + \{NP\}_f \times b^0) \times b^1 + \\ &\quad (\{MQ\}_F \times b^1 + \{MQ\}_f \times b^0) \times b^1 + \\ &\quad (\{NQ\}_F \times b^1 + \{NQ\}_f \times b^0) \times b^0 \\ &= \{MP\}_F \times b^3 + \\ &\quad R_2 \times b^3 + (\{MP\}_f + \{NP\}_F + \{MQ\}_F) \times b^2 + \\ &\quad R_1 \times b^2 + (\{NP\}_f + \{MQ\}_f + \{NQ\}_F) \times b^1 + \\ &\quad \{NQ\}_f \times b^0 \end{aligned}$$

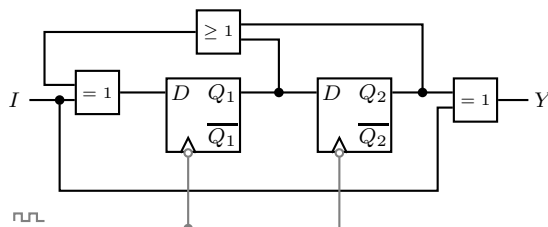
On obtient le schéma et la multiplication 1110×1101 :



Exercice 5. A partir de quatre bascules JK utilisée en mode T ($J = K$), réaliser un compteur binaire asynchrone modulo 16 sur quatre bits.

Correction. Voir la réalisation d'un compteur binaire asynchrone dans le cours.

Exercice 6. Soit le circuit séquentiel synchrone suivant, composé de bascules D :



Ce circuit se caractérise par :

- $I = \{0, 1\}$, l'ensemble des entrées ;
- $Y = \{0, 1\}$, l'ensemble des sorties ;
- $Q = \{(Q_1, Q_2) \mid Q_i \in \{0, 1\}, i = 1, 2\} = \{(0, 0), (0, 1), (1, 0), (1, 1)\} = \{q_0, q_1, q_2, q_3\}$, l'ensemble des états du circuits.
- une fonction de transition $\delta(I, Q)$ qui permet de déterminer l'état du circuit à l'instant $t + 1$ en fonction de son état à l'instant t ;
- une fonction $\omega(I, Q)$ qui permet de déterminer les valeurs de la variable de sortie.

On veut déterminer le comportement du circuit, c'est-à-dire, à partir des fonctions δ et ω , déterminer la table de transition et le diagramme de transition :

1. Donner les équations des sorties Q_1 et Q_2 des bascules à l'instant $t + 1$ en fonction des valeurs de ces sorties et des valeurs d'entrée du circuit à l'instant t ;
2. donner l'équation de la sortie Y du circuit à l'instant t en fonction de l'état et des valeurs d'entrée du circuit à l'instant t ;
3. donner les équations des fonctions δ et ω ;
4. à partir des équations de δ et ω , construire la table de transition et le diagramme de transition du circuit.

Correction. Notons par $Q_1(t)$ et $Q_2(t)$ les états actuels des bascules, et par $Q_1(t+1)$ et $Q_2(t+1)$ leurs états suivants. A partir du schéma, on obtient les équations suivantes :

$$\begin{aligned} Q_1(t+1) &= I(t) \oplus (Q_1(t) + Q_2(t)) \\ Q_2(t+1) &= Q_1(t) \\ Y(t) &= I(t) \oplus Q_2(t) \end{aligned}$$

Par conséquent, les deux fonctions de transition s'expriment par :

$$\begin{aligned} \delta(I, Q) &= \{I(t) \oplus (Q_1(t) + Q_2(t)), Q_1(t)\} \\ \omega(I, Q) &= \{I(t) \oplus Q_2(t)\} \end{aligned}$$

La table de transition est construite à partir de ces relations : par exemple lorsque le circuit se trouve dans l'état $q_2 = (1, 0)$, caractérisé par $Q_1(t) = 1$ et $Q_2(t) = 0$, l'état suivant est

- pour $I(t) = 0$,

$$\begin{aligned} Q_1(t+1) &= 0 \oplus (1+0) \\ &= 1 \\ Q_2(t+1) &= 1 \end{aligned}$$

donc l'état suivant est $q_3 = (1, 1)$;

- pour $I(t) = 1$,

$$\begin{aligned} Q_1(t+1) &= 1 \oplus (1+0) \\ &= 0 \\ Q_2(t+1) &= 1 \end{aligned}$$

donc l'état suivant est $q_1 = (0, 1)$.

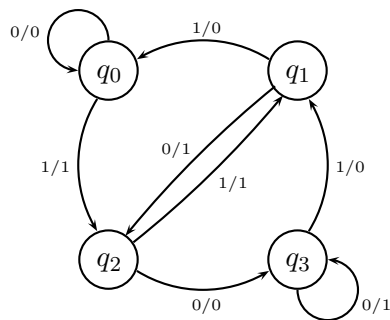
En même temps, les sorties se caractérisent

- pour $I(t) = 0$, par $Y(t) = 0 \oplus 0 = 0$,
- pour $I(t) = 1$, par $Y(t) = 1 \oplus 0 = 1$.

Par conséquent, la troisième ligne de la table de transitions, qui correspond à l'état initial q_2 , doit contenir les informations suivantes : $q_3/0$ pour $I = 0$, $q_1/1$ pour $I = 1$. On obtient en définitive :

	0	1
q_0	$q_0/0$	$q_2/1$
q_1	$q_2/1$	$q_0/0$
q_2	$q_3/0$	$q_1/1$
q_3	$q_3/1$	$q_1/0$

Le diagramme de transitions découle directement de la table de transition : par exemple, en partant du même état $q_2 = (1, 0)$, la flèche qui effectue la transition vers l'état $q_3 = (1, 1)$ doit porter l'information 0/0, et la flèche qui effectue la transition vers l'état $q_1 = (0, 1)$ doit porter l'information 1/1 :



En utilisant l'une des méthodes d'analyse exposées, on peut définir le comportement du circuit séquentiel pour chaque séquence assignée aux entrées. Supposons que la séquence 01001 ait été assignée à l'entrée unique et que le circuit se trouve dans l'état $q_2 = (1, 0)$. Le comportement du circuit se caractérise par :

- séquence à l'entrée : 0 1 0 0 1 ;
- séquence des états : q_2 q_3 q_1 q_2 q_3 q_1 ;
- séquence à la sortie : 0 0 1 0 0.