**temp4_r1_c8**

计算机组成原理

实验报告

学号： 58122231

姓名： 陆文韬

东南大学计算机科学与工程学院

二0 二三 年 10 月

**实验一 寄存器组的设计**

**一、实验内容**

（1）温习基于Quartus II的数字电路设计及仿真方法。

（2）熟悉D触发器的功能及使用方法。

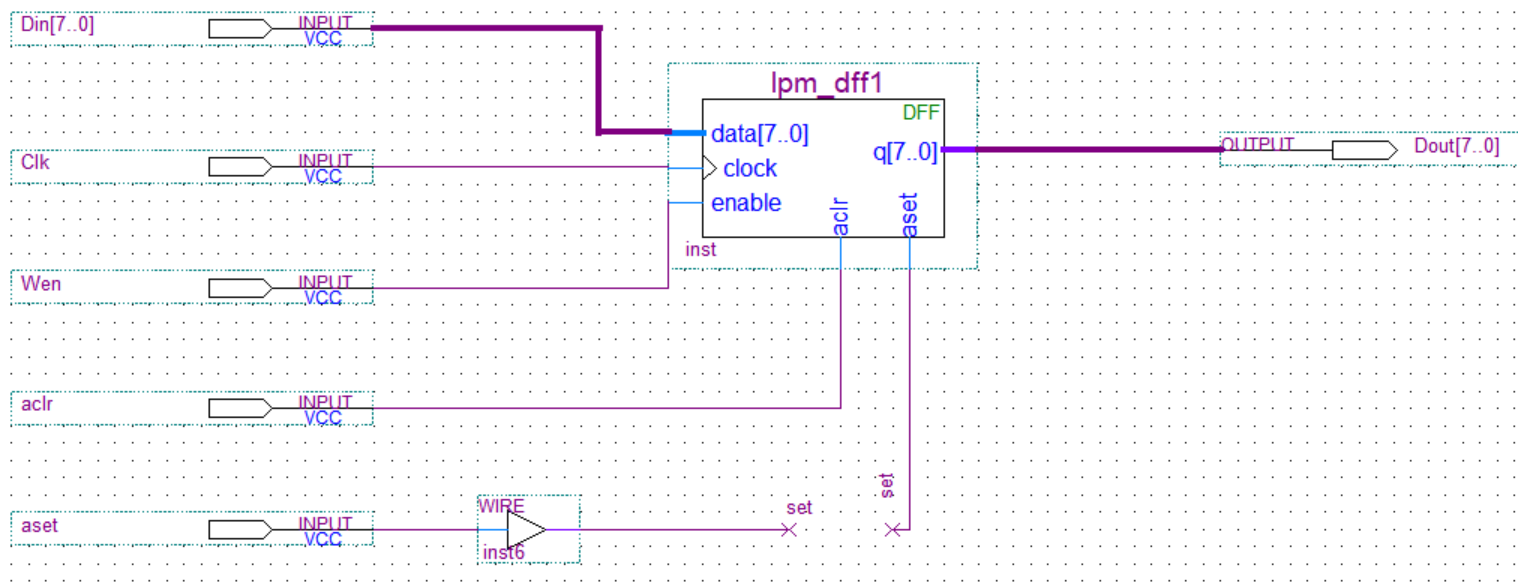
（3）掌握寄存器组的组成原理。

（4）测试D触发器的功能。

（5）设计具有1个读端口、1个写端口的4×8位寄存器组，并验证设计正确性。

**二、电路设计与实现**

**1、D触发器**



**2、寄存器组**

**（1）需求分析**

1. 由实验内容得出需要四个8位寄存器保存数据；
2. 实现读端口正确读取：需要使用数据端8位，选择端 2 位的数据选择器选择输出数据；
3. 实现写端口正确写入：需要使用 2-4 译码器选择控制 4 个寄存器的使能端，当写数据总线输入数据时，控制目标寄存器能写入数据；
4. 防止读数据时寄存器数据意外改变，需要增加对译码器的使能端；
5. 寄存器数据更新需要时钟脉冲信号；
6. 实现对寄存器清零需要对寄存器接入清零端。
7. **模块划分**
8. 4 个寄存器为一组，在时钟脉冲下通过译码器与数据选择器控制写入与读取，清零端清零；
9. 写地址接入译码器，译码器控制寄存器使能端；
10. 读地址接入数据选择器，控制输出数据的来源为哪个寄存器。
11. **引脚组织**
12. 8位数据写入端引脚Din[7..0]
13. 时钟信号引脚Clk
14. 寄存器清零端引脚aclr
15. 读地址信号引脚 Raddr[1..0]
16. 写地址信号引脚 Waddr[1..0]
17. 写入使能端引脚 wen
18. 读取数据输出端引脚Dout[7..0]
19. **器件选择**

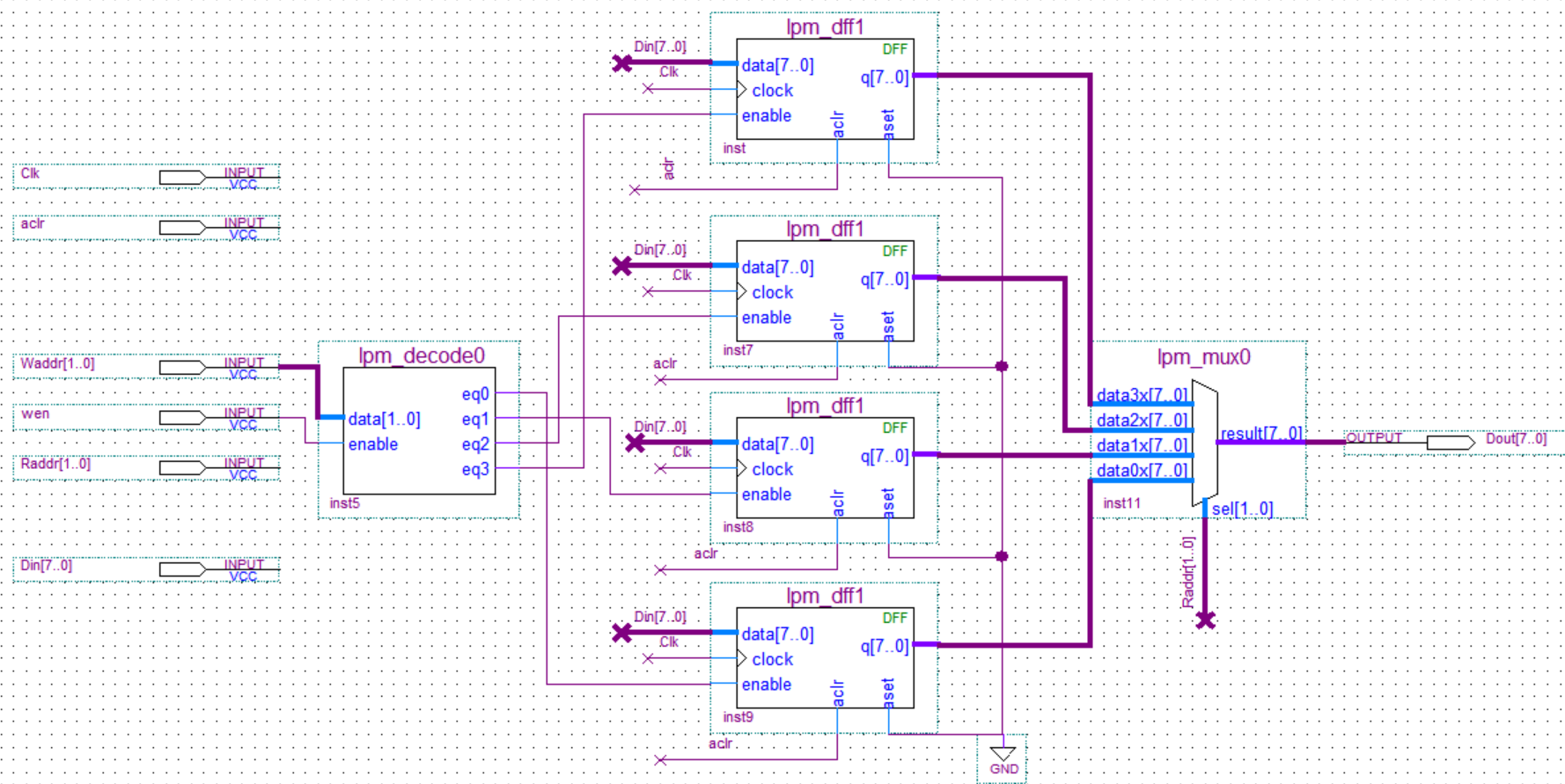
（注：以下均为QuartusII自带宏模块LPM）

译码器：lpm\_decode

8位寄存器：lpm\_dff

数据选择器：lpm\_mux

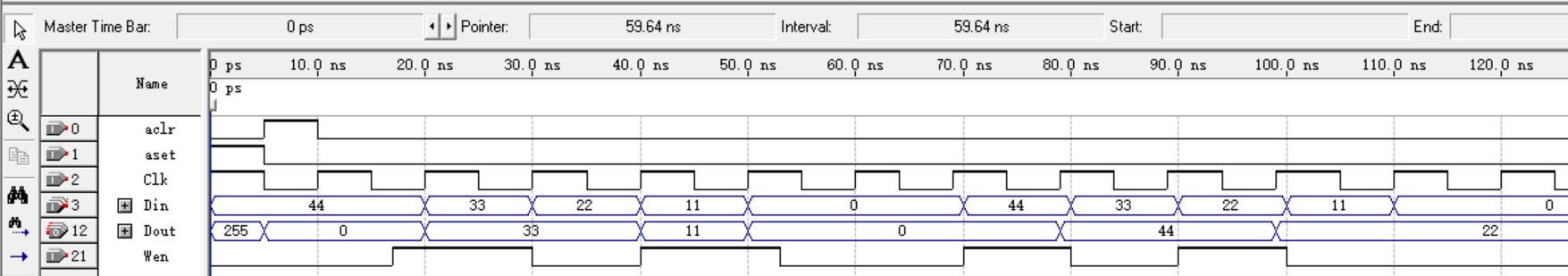
1. **信号命名**
2. 8 位数据写入端信号Din[7..0]
3. 时钟信号Clk
4. 寄存器清零端信号aclr
5. 读地址信号 Raddr[1..0]
6. 写地址信号 Waddr[1..0]
7. 写入使能端信号 wen
8. 读取数据输出端信号Dout[7..0]
9. **电路组成**
10. 写地址与写使能接入译码器
11. 译码器输出端接寄存器使能端，数据写入端、时钟信号、清零端接入寄存器
12. 寄存器数据输出端接入数据选择器，读地址端接入数据选择器
13. 数据选择器接数据输出端



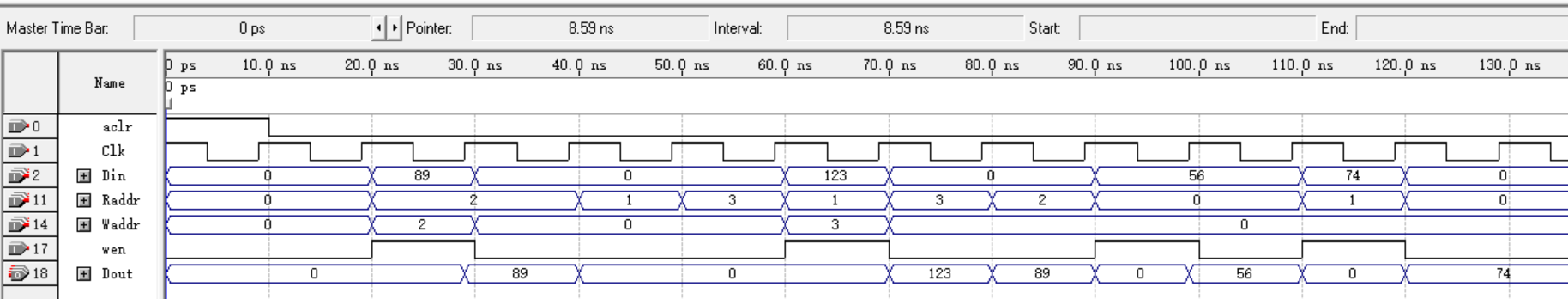
1. **电路正确性验证**

**1、电路仿真**

**（1）D触发器电路仿真**



1. **寄存器组电路仿真**



**2、结果分析**

**（1）D触发器电路结果分析**

① 0-5ns aset=1,aclr=0,异步置位，输出Dout=255。输出正确。

② 5-10ns aset=0,aclr=1,异步置零，输出Dout=0。输出正确。

③ 10-20ns 第一个时钟周期：aset=0,aclr=0，Din=44；前7ns内，Wen=0，后3ns内，Wen=1,但未到时钟上升沿，D触发器的输出均保持不变，为0。输出正确。

④ 20-30ns 第二个时钟周期：aset=0,aclr=0，Din=33，Wen=1，当达到时钟上升沿时，将数据33写入触发器，输出触发器储存数据Dout=33。输出正确。

⑤ 30-40ns 第三个时钟周期：aset=0,aclr=0，Din=22，Wen=0，输出触发器中储存的数据Dout=33。输出正确。

⑥ 40-50ns 第四个时钟周期：aset=0,aclr=0，Din=11，Wen=1，达到时钟上升沿时，将数据11写入触发器，输出触发器储存数据Dout=11。输出正确。

⑦ 50-60ns 第五个时钟周期：aset=0,aclr=0，Din=0，达到时钟上升沿时，将数据0写入触发器，输出触发器储存数据Dout=0。输出正确。

⑧ 60-70ns 第六个时钟周期：aset=0,aclr=0，Din=0，Wen=0，输出触发器储存数据Dout=0。输出正确。

⑨ 70-80ns 第七个时钟周期：aset=0,aclr=0，Din=44，Wen=1，一开始输出数据不变，达到时钟上升沿（79ns时）时，将数据44写入触发器，输出触发器储存数据Dout=44。输出正确。

⑩ 80-90ns 第八个时钟周期：aset=0,aclr=0，Din=33，Wen=0，出触发器储存数据Dout=44。输出正确。

⑪ 90-100ns 第九个时钟周期：aset=0,aclr=0，Din=22，Wen=1，一开始输出数据不变，达到时钟上升沿（99ns时）时，将数据22写入触发器，输出触发器储存数据Dout=22。输出正确。

⑫ 100ns以后：aset=0,aclr=0，Wen=0，触发器储存数据不变，输出触发器储存数据均为Dout=22。输出正确。

**（2）寄存器组电路结果分析**

① 20-30ns 第一个时钟周期：Raddr=2，Waddr=2，Wen=1，Din=89，当到达时钟上边沿时，将数据89读入 2 号寄存器，输出2号寄存器中数据Dout=0->89。输出正确。

② 30-40ns 第二个时钟周期：Raddr=2，Waddr=0，Wen=0，Din=0，将2号寄存器中的数据读出，输出2号寄存器中数据 Dout=89。输出正确。

③ 40-50ns 第三个时钟周期：Raddr=1，Waddr=0，Wen=0，Din=0，将1号寄存器中的数据读出，输出1号寄存器中数据 Dout=0。输出正确。

④ 50-60ns 第四个时钟周期：Raddr=3，Waddr=0，Wen=0，Din=0，将3号寄存器中的数据读出，输出3号寄存器中数据 Dout=0。输出正确。

⑤ 60-70ns 第五个时钟周期：Raddr=1，Waddr=3，Wen=1，Din=123，当到达时钟上边沿时，将数据123读入3号寄存器，输出1号寄存器中数据Dout=0。输出正确。

⑥ 70-80ns 第六个时钟周期：Raddr=3，Waddr=0，Wen=0，Din=0，将 3 号寄存器中的数据读出，输出 3 号寄存器中数据 Dout=123。输出正确。

⑦ 80-90ns 第七个时钟周期：Raddr=2，Waddr=0，Wen=0，Din=0，将2号寄存器中的数据读出，输出2号寄存器中数据 Dout=89。输出正确。

⑧ 90-100ns 第八个时钟周期：Raddr=0，Waddr=0，Wen=1，Din=56，前9ns未到达始终上升沿，将0号寄存器中数据读出为Dout=0;当到达时钟上边沿时，将数据56读入0号寄存器，输出0号寄存器中数据 Dout=0->56。输出正确。

⑨ 100-110ns 第九个时钟周期：Raddr=0，Waddr=0，Wen=0，Din=56，将0号寄存器中的数据读出，输出0号寄存器中数据 Dout=56。输出正确。

⑩ 110-120ns 第十个时钟周期：Raddr=1，Waddr=0，Wen=1，Din=74，当到达时钟上边沿时，将数据74读入0号寄存器，输出1号寄存器中数据Dout=0。输出正确。

⑪ 120-130ns 第十一个时钟周期：Raddr=0，Waddr=0，Wen=0，Din=0，将0号寄存器中的数据读出，输出0号寄存器中数据 Dout=74。输出正确。

**四、实验小结**

①工作分工：独立完成。

②设计总结：首先要熟悉和掌握Quartus的基本使用方法，弄清实验目的、部件功能，根据部件功能确定部件组成，找到各个组成之间引脚的连接关系。

③有待改进之处：在设计电路的过程中要更加仔细，需要更加专注来减少电路搭接过程中出现的错误，电路仿真时应当仔细核验各个步骤以及各种可能情况，例如输入数据可以通过排列组合罗列出更多种可能。

④实验体会：弄清楚部件原理功能非常关键，另外还要对实验电路的原理和逻辑理解透彻，这样在实验的过程中才能事半功倍，取得更好的效果。

**五、教师评语**

教师签字：

日期：