**temp4_r1_c8**

计算机组成原理

实验报告

学号： 58122231

姓名： 陆文韬

东南大学计算机科学与工程学院

二0 二三 年 11 月

**实验三 存储器设计及总线互连**

1. **实验内容**

（1）熟悉RAM的功能及使用方法。

（2）掌握存储器的设计方法。

（3）掌握部件与总线连接的方法。

（4）测试RAM的功能。

（5）设计并实现单向数据引脚的128×8位存储模块，存储模块的前64B为只读空间，验证其正确性。

（6）将上述存储模块连接到地址线/数据线复用的8位总线上，通过总线对该存储模块进行操作。

**二、电路设计与实现**  
**实验内容 1 ——测试RAM的功能**

**（1）需求分析**

熟悉 RAM 器件每个引脚功能，包括数据输入端、数据输出端，地址输入端，时钟控制信号端，读/写使能端。并完成简单的电路连接，测试 RAM 的功能。

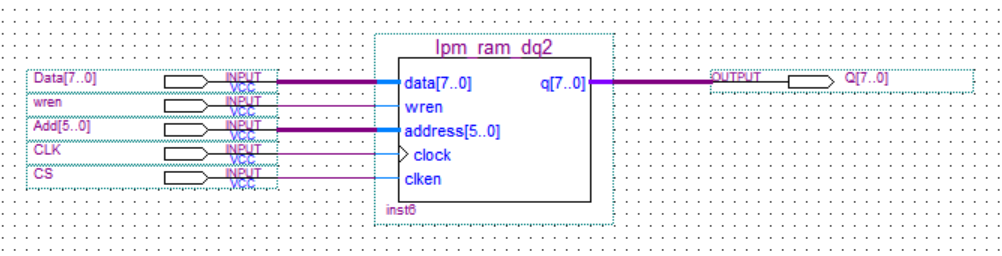
**（2）引脚组织及信号命名**

8 位数据输入端： Data[7..0]

8 位数据输出端： Q[7..0]

6 位地址输入端： Add[5..0]

时钟控制信号： CLK

读/写使能端： wren  
（3）电路设计  
  
**实验内容 2 ——设计一个读/写端口分离的 128 × 8 位存储模块，前 64B 为只读空间**

**（1）需求分析与器件选择**

前 64B 为只读空间，选用 ROM，使用64×8位 lpm\_rom 模块实现。后64B 为可读写空间，选用 RAM，使用 64×8 位 lpm\_ram\_dq 模块实现。两者都由输入时钟信号控制。lpm\_rom 模块由高位地址与总片选信号控制。lpm\_ram\_dq模块由高位地址、总片选信号、写使能信号控制。两芯片同时存在输出，由高位地址与总使能信号共同控制数据选择器 lpm\_mux 模块的数据输出。

**（2）模块划分**

模块 lpm\_rom 构成存储器前 64 位

模块 lpm\_ram\_dq构成存储器后 64 位

模块 lpm\_mux 和一个非门构成数据选择输出部分

**（3）引脚组织与信号命名**

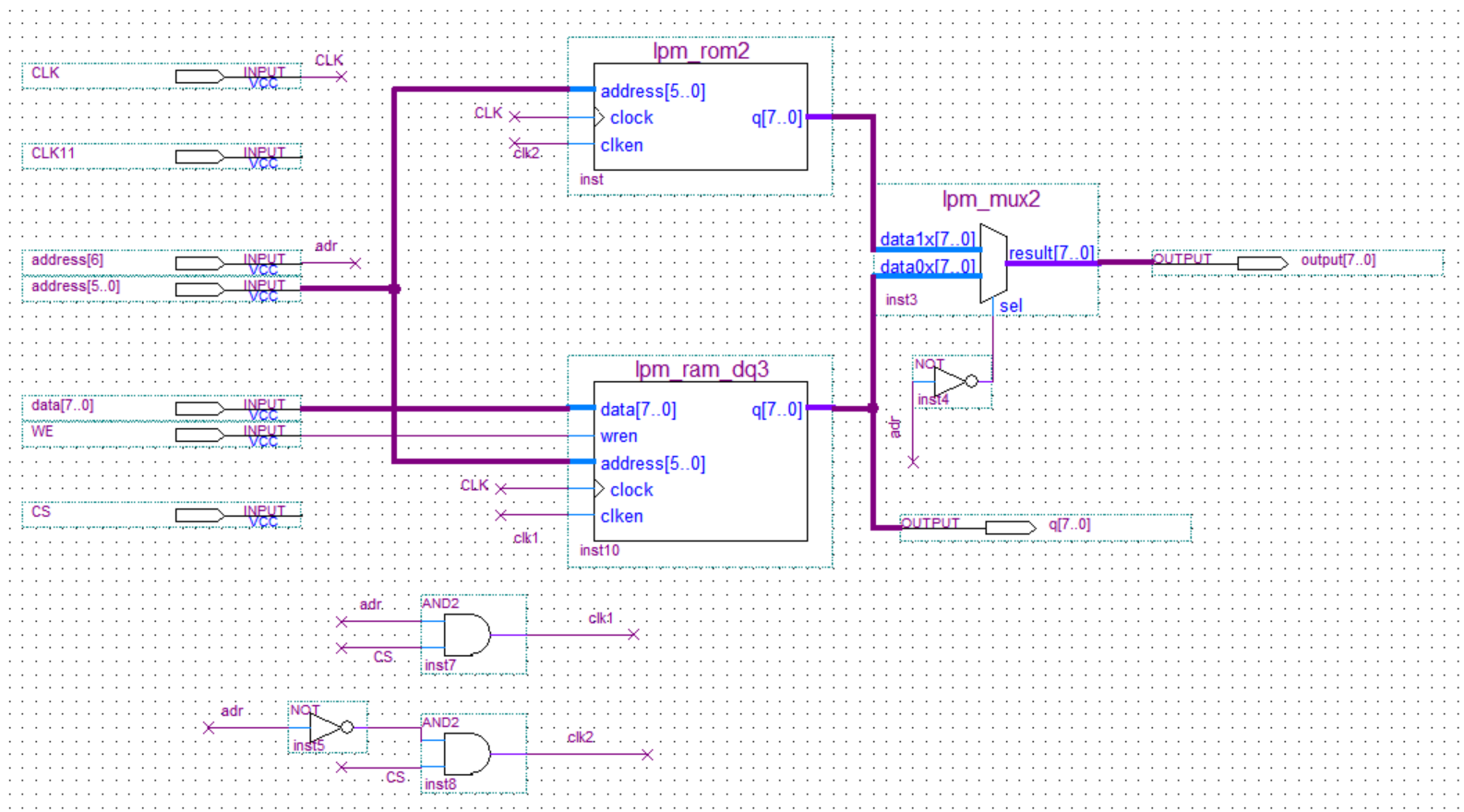
7 位地址输入信号： address[6..0]

时钟控制信号： CLK

总片选信号： CS

8 位写数据输入信号： data[7..0]

8 位读数据输出信号： output[7..0]

写使能信号： WE  
**（4）电路组成**  
**实验内容 3 ——将所设计存储模块、输入部件、输出部件连接到地址/数据复用的 8 位总线上**

**（1）需求分析：**

本实验要求将存储模块（记为MEM）连接到地址线/数据线复用的8位总线上，通过总线对该存储模块进行操作。

部件与总线之间的连接电路如下：  


**（2）模块划分：**

模块主要分为上述存储模块、地址锁存器以及两个三态门。

**（3）引脚组织：**  
 总线上传输的地址信号直接连到地址锁存器的地址输出端，锁存器输出的8位数据中，低7位作为地址信号传输到存储模块中，最高位用于存储模块的使能信号，判断存储器是否工作。

总线上传输的数据信号直接传输到存储模块的数据信号输入端。  
 时钟信号分别连接到锁存器和存储模块。  
 三个控制信号分别控制地址锁存器以及两个三态门是否工作，还要加入一个读写信号控制存储模块的功能。  
 两个三态门中一个作为数据的输入，一个作为数据的输出。  
 为了监控各个模块的工作情况，需要对地址寄存器、存储模块、存储模块的RAM数据额外添加输出引脚进行观察验证。

**（4）器件选择：**

存储模块使用以上设计出的128×8位存储模块，地址锁存器用于锁存地址，用于输入操作内容、查看操作结果的信号端，实验中可用输入、输出引脚代替。地址锁存器LA、三态门可使用lpm\_dff、lpm\_bustri，KEY、CRT可直接使用引脚input、output来实现。LA应该用触发器实现。

**（5）信号命名：**

时钟信号：CLK  
 数据输入信号：KEY[7..0]  
 控制数据信号输入的三态门的控制信号：G\_KEY

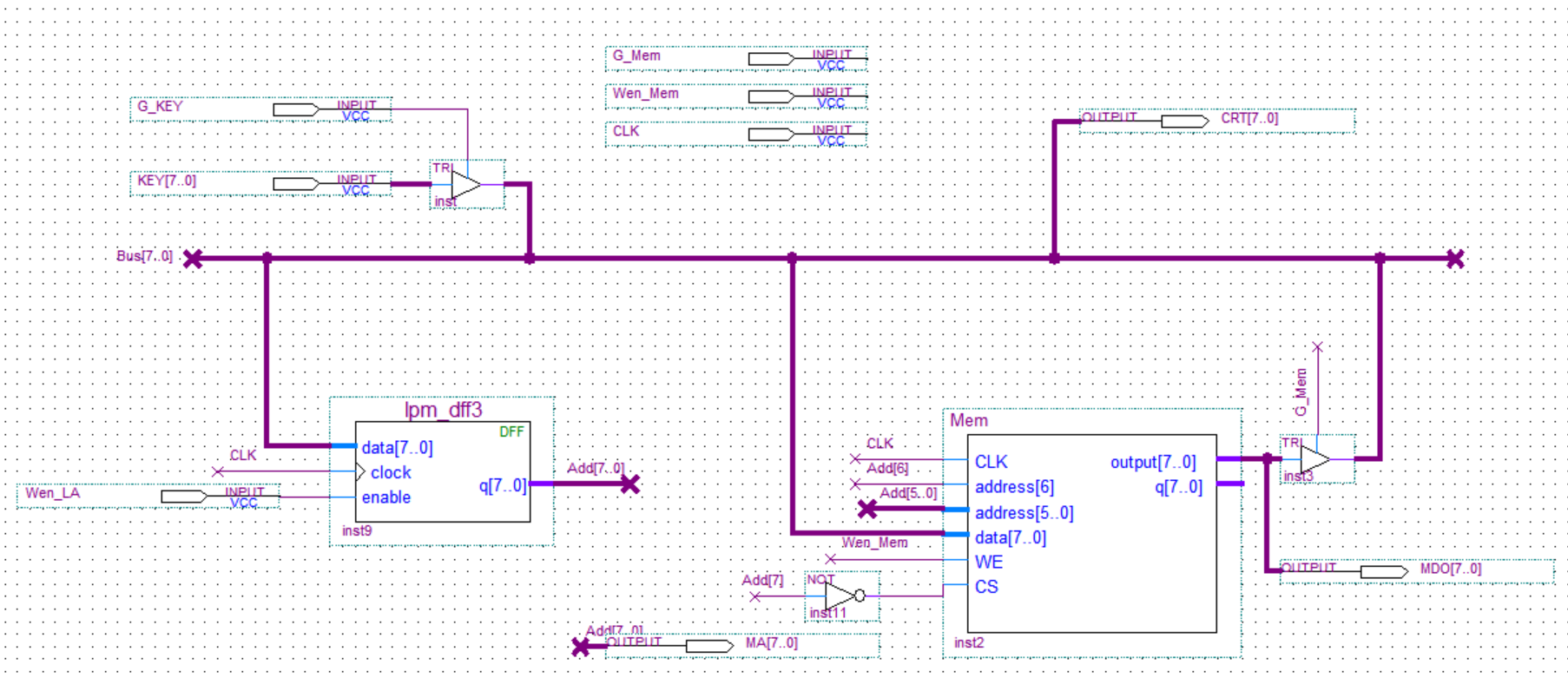
地址译码器的使能端信号：wen\_LA  
 存储器的读写信号：Wen\_MEM

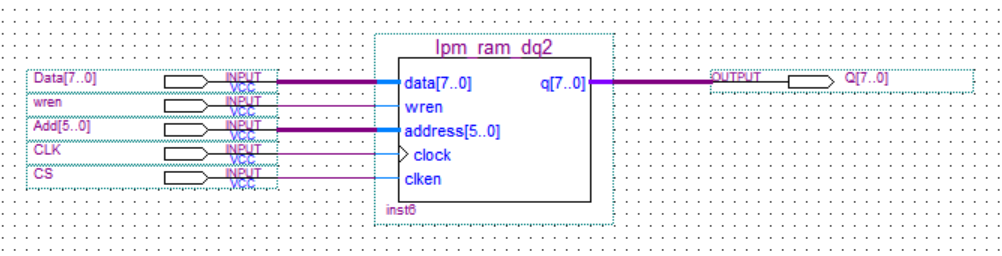
控制存储模块输出的三态门的控制信号：G\_MEM

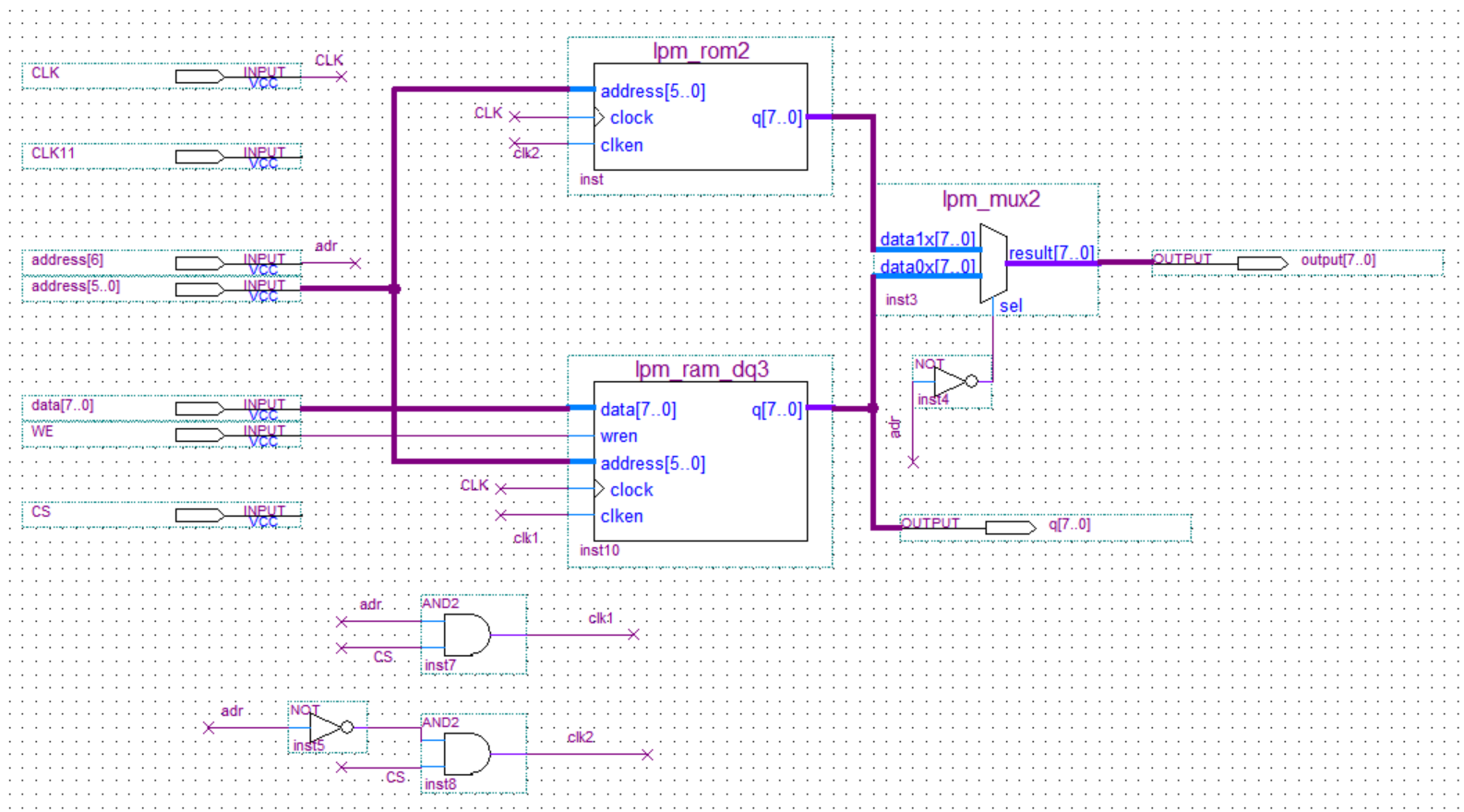
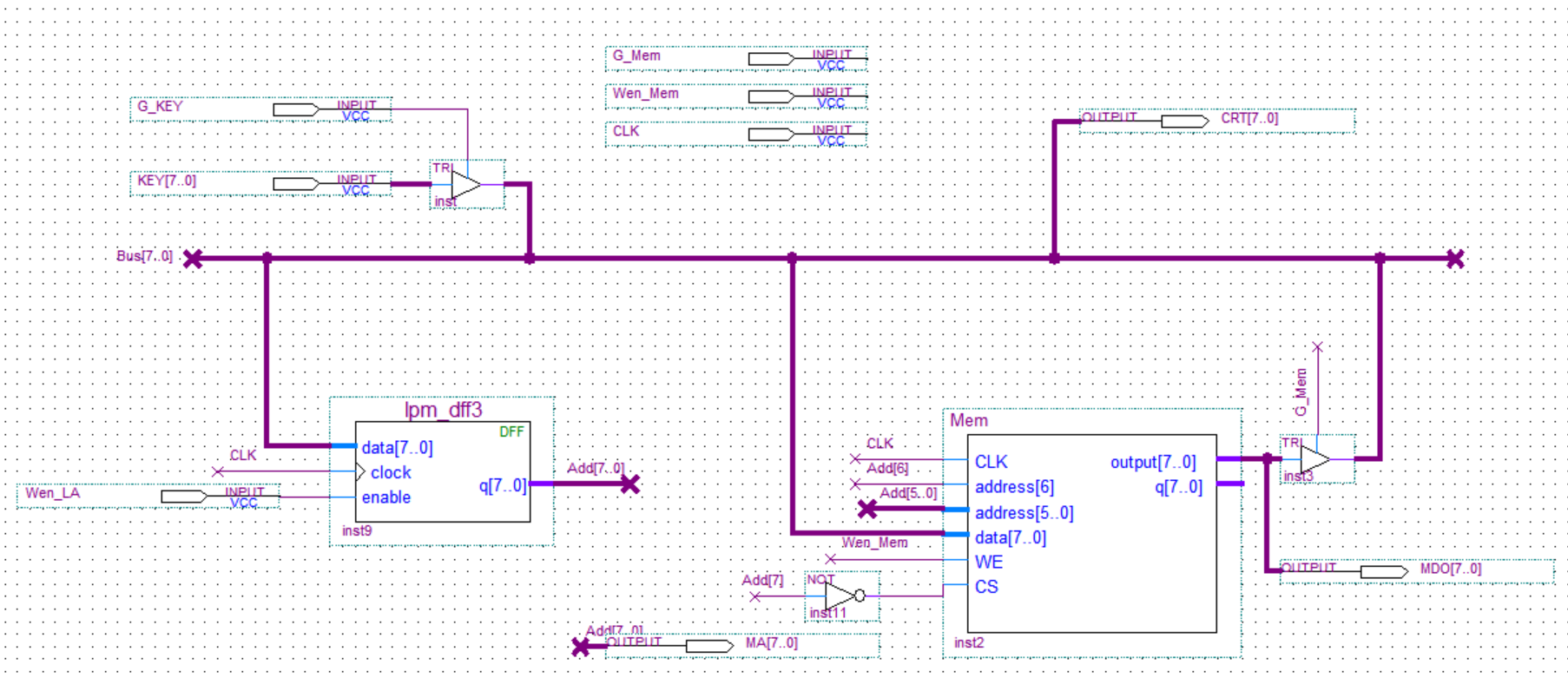
总线上的数据输出：CRT[7..0]

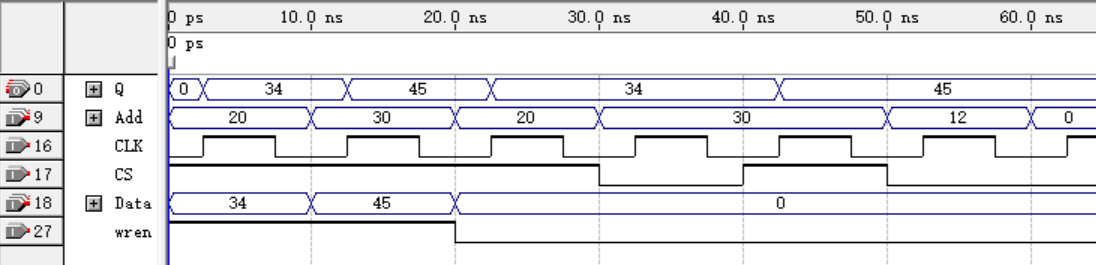
存储模块的检测信号：MDO[7..0]

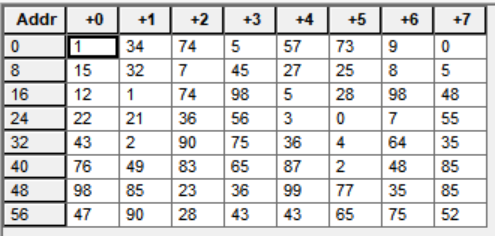
地址译码器的检测信号：MA[7..0]  
**（6）电路组成：**

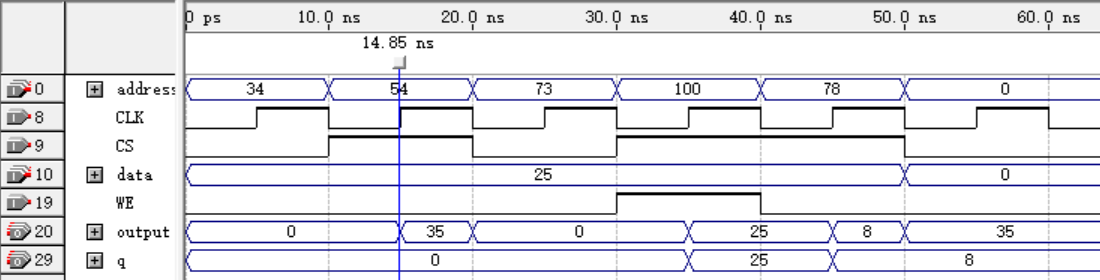
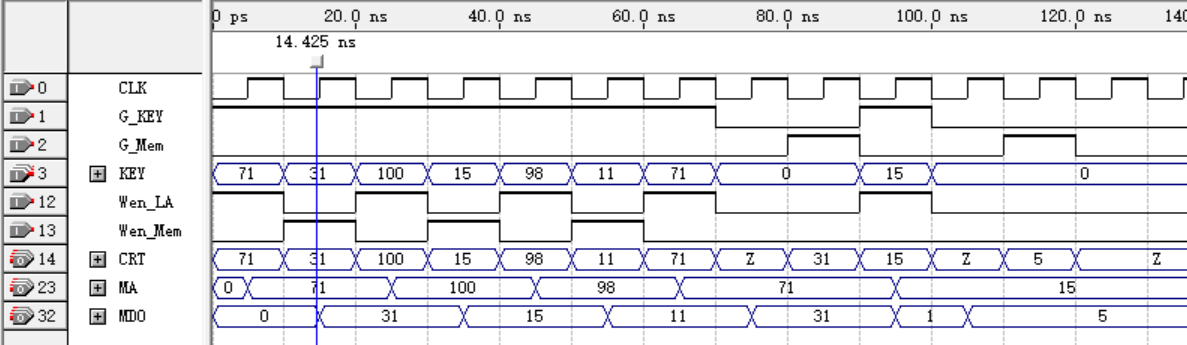
  
**三、电路正确性验证**

**1、电路仿真  
实验内容 1 ——测试RAM的功能**  
**实验内容 2 ——设计一个读/写端口分离的 128 × 8 位存储模块，前 64B 为只读空间**

  
**实验内容 3 ——将所设计存储模块、输入部件、输出部件连接到地址/数据复用的 8 位总线上**

**2、结果分析  
实验内容 1 ——测试RAM的功能**0-10ns:将34写入地址20的存储单元  
10-20ns:将45写入地址30的存储单元  
20-30ns:将地址20的数据读出，为34  
30-40ns:将地址30的数据读出，为45

**实验内容 2 ——设计一个读/写端口分离的 128 × 8 位存储模块，前 64B 为只读空间**rom、ram的初始存储数据均如下图：  
波形图结果如下：

  
0-10ns：CS=0，输出不变  
10-20ns：CS=1，CLK为上升沿时，读地址为54处的数据，读出为35  
20-30ns:CS=0，输出不变（ram的读出数据一直为0）  
30-40ns：CS=1，CLK为上升沿时，写地址为100处的数据，写入为25  
40-50ns：CS=1，CLK为上升沿时，读地址为78处的数据，读出为8  
50-60ns：CS=0，输出不变（rom的读出数据在20ns之后一直为35）  
**实验内容 3 ——将所设计存储模块、输入部件、输出部件连接到地址/数据复用的 8 位总线上**   
  
0-20ns：前10ns将地址71传入地址锁存器,后10ns将31写入地址71的存储单元  
20-40ns:前10ns将地址100传入地址锁存器,后10ns将15写入地址71的存储单元  
40-60ns:前10ns将地址98传入地址锁存器,后10ns将11写入地址71的存储单元  
60-90ns:前10ns将地址71传入地址锁存器,后20ns，将G\_KEY置为0，不再出传入地址。在CLK上升沿处将地址71的存储单元的数据读出，为31，正确  
90-120ns:前10ns将地址15传入地址锁存器,后20ns，在CLK上升沿处将地址15的存储单元的数据读出，为5，对照rom的初始化存储数据，正确，在110-120ns处将G\_MEM置为1，将读出的5传到了总线上，由CRT的值可知正确。

**四、实验总结**

**工作分工**

由自己独立完成 **设计总结**  
 本次实验采用了Quartus II提供的lpm ram dq和lpm rom等模块，测试RAM的功能，设计一个同时含有RAM和ROM的存储模块以及将存储模块连接到总线上。应当注意各个引脚之间的连接关系，使能端的控制情况，以及最后验证时总线上数据的输入顺序逻辑。  
**有待改进之处**  
 测试数据考虑不够全面，在电路仿真时应当仔细检查各个步骤以及各种可能情况，在设计电路时应判断确定引脚输入的正确性。  
**实验体会**  
 在分析仿真结果的时候需要仔细的了解数据传输的各个过程，哪个过程传入地址，哪个过程传入数据，并分析各个输出情况。课前需要认真预习RAM的相关知识，通过这次实验，对RAM和ROM以及跟总线的连接有了更深入的认识。

**五、教师评语**