**temp4_r1_c8**

计算机组成原理

实验报告

学号： 58122231

姓名： 陆文韬

东南大学计算机科学与工程学院

二0 二三 年 10 月

**实验二 ALU的设计**

1. **实验内容**

（1）熟悉加减法器的功能及使用方法。

（2）掌握ALU的组成原理。

（3）测试加减法器的功能。

（4）设计并实现具有加法、减法、逻辑与、逻辑非功能的8位ALU，算术运算产生标志ZF、CF、OF、SF，逻辑运算仅产生ZF标志，验证其正确性。

**二、电路设计与实现  
实验内容 1 —— 加减法器功能的测试**

**(一)需求分析**

1. 两个 8 位二进制数据输入；

2. 加减法选择输入；

3. 进位输入；

4. 8位计算结果输出；

5. 进/借位输出；

6. 溢出判断输出。

**（二）器件选择**

lpm\_add\_sub ,lpm\_mux

**（三）信号命名**

1. 两个 8 位二进制数据输入：dataa[7..0],datab[7..0]

2. 加减法选择输入：add\_sub

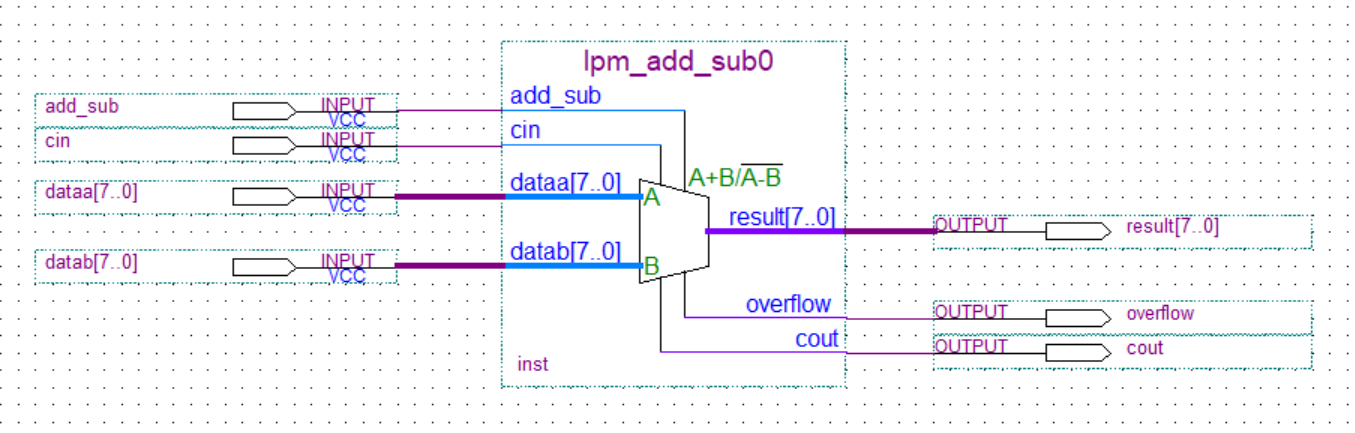
3. 进位输入：cin

4. 8 位计算结果输出：result[7..0]

5. 进/借位输出：cout

6. 溢出判断输出：overflow

**(四) 电路组成**



**实验内容 2 —— ALU 的设计、实现及验证**

**(一)需求分析：**

1. 实现2个8位数据的加减法、逻辑与、逻辑非

2. 产生结果状态标志 ZF、CF、OF、SF

输出为 1 的条件：

ZF：输出结果全 0

CF：运算操作为加法时等于，操作为减法时为

OF：计算结果溢出

SF：计算结果为负

**(二)模块划分：**

1. 加减法运算：根据外部输入选择加减法，输入原始数据和进位，输出运算结果、溢出判断、进/借位信号

2. 逻辑与：对外部输入的两个相同位数的原始数据逻辑与，并输出

3. 逻辑非：对外部输入的两个相同位数的原始数据逻辑非，并输出

4. 数据输出：通过数据选择器，根据外部输入的功能选择端选择输出数据

5. ZF 状态输出：对计算结果的8位输出或非运算，输出1位结果

6. CF 状态输出：根据功能选择的SEL[0]与计算结果的 cout 输出异或计算,执行加法时输出cout，执行减法时输出

7. OF、SF 状态输出：OF接计算模块的 overflow，SF接lpm\_add\_sub计算结果的result[7]

**（三）引脚组织：**

1. 输入端：

进位：cin

8 位数据A：dataa[7..0]

8 位数据B：datab[7..0]

功能选择：SEL[1..0]

2. 输出端：

结果输出：Q[7..0]

ZF 状态: ZF

CF 状态: CF

OF 状态: OF

SF 状态：SF

**(四)器件选择：**

1. 加减法模块：lpm\_add\_sub

2. 数据选择器：lpm\_mux

3. 非门、与门、或非门、异或门均使用Quartus自带模块

**（五）信号命名：**

1. 数据 A 输入：dataa[7..0],接加减法模块lpm\_add\_sub输入端dataa

2. 数据 B 输入：datab[7..0],接加减法模块lpm\_add\_sub输入端datab

3. 功能选择输入：SEL[1..0]

SEL[0]取非接加减法模块 lpm\_add\_sub 功能选择

SEL[0]与lpm\_add\_sub的cout端异或输出

SEL[1..0]接数据选择器选择端

4. 加减法模块运算结果输出：result[7..0]

接数据选择器 1、0 输入端

接8位或非门以输出ZF

result[7]接输出端SF

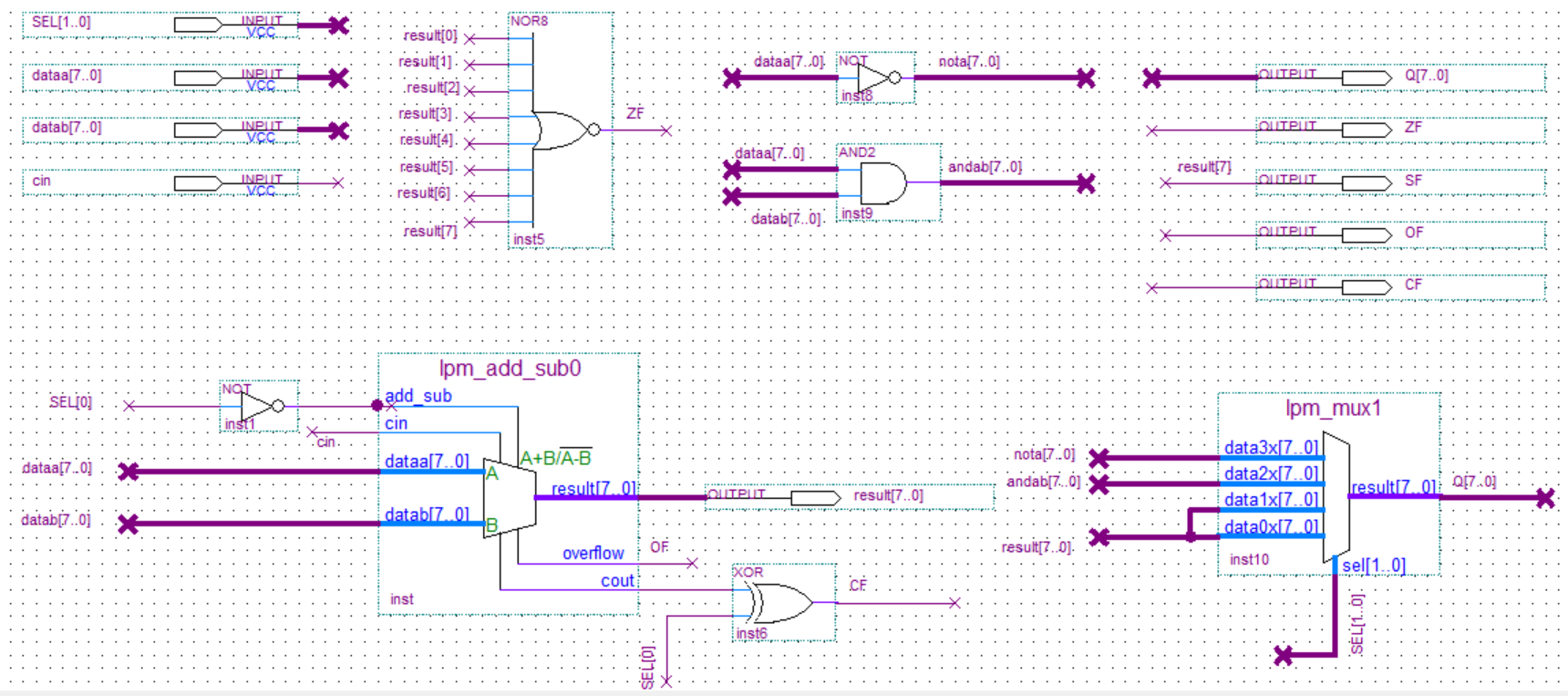
5. 加减法模块运算溢出：OF,接输出端OF

6. 加减法模块与功能选择[0]异或输出：CF,接输出端CF

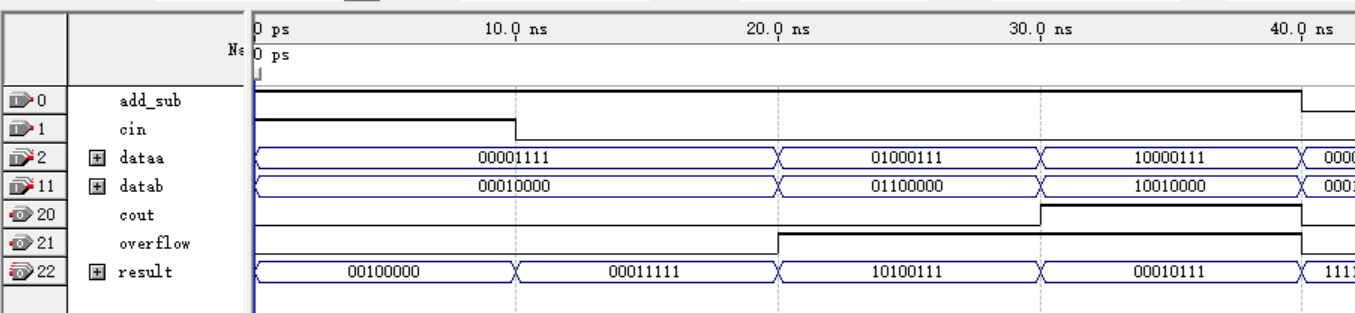
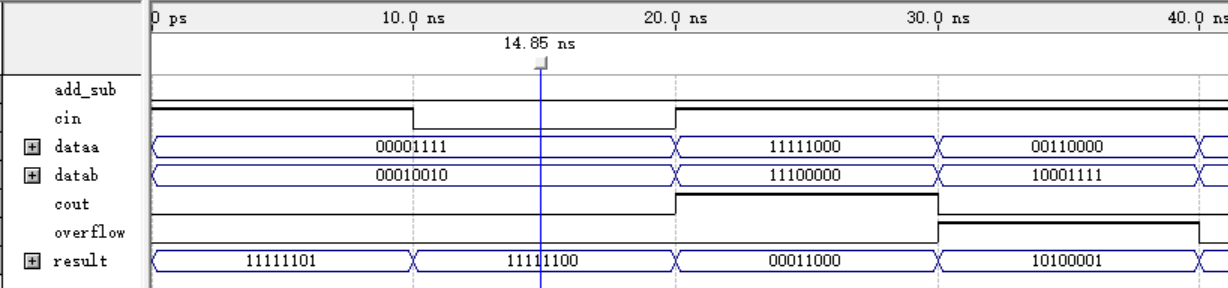
7. ZF 模块运算结果：ZF,接输出端ZF

8. 数据选择器结果输出：Q[7..0],接输出端Q[7..0]

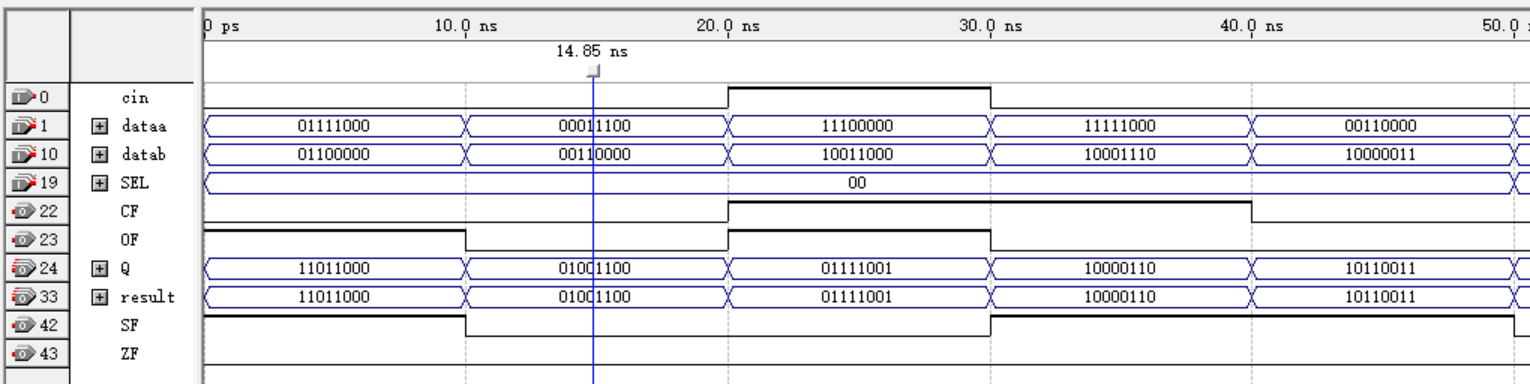
**(六)电路组成：**

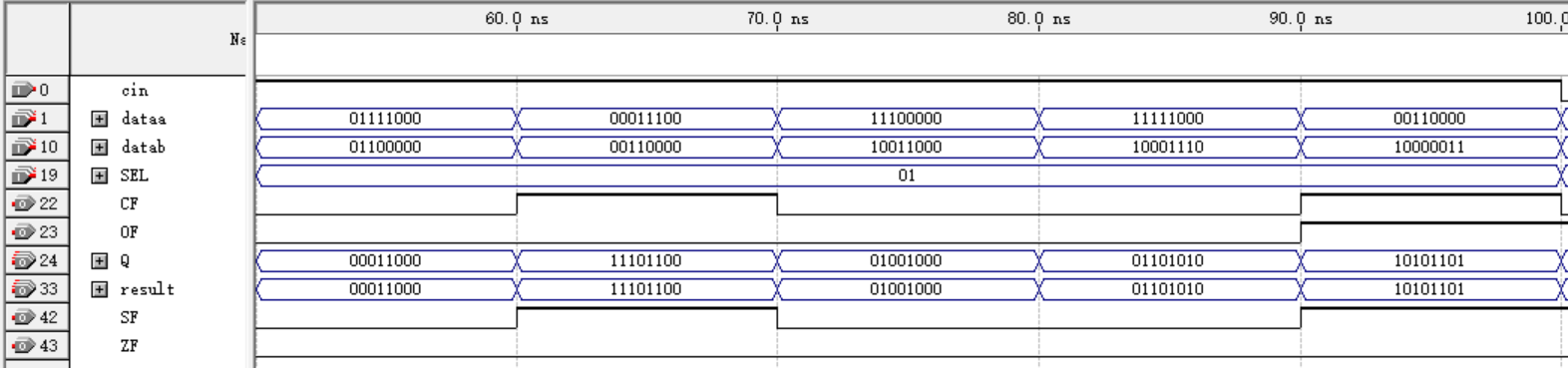
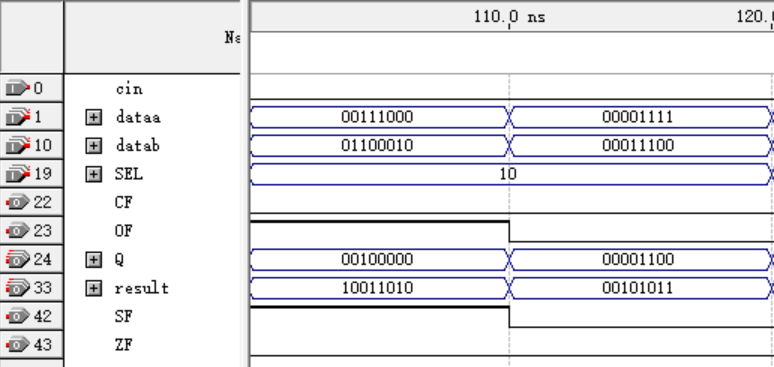
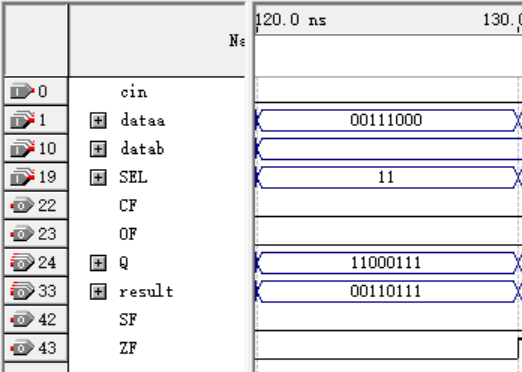
 **三、电路正确性验证**

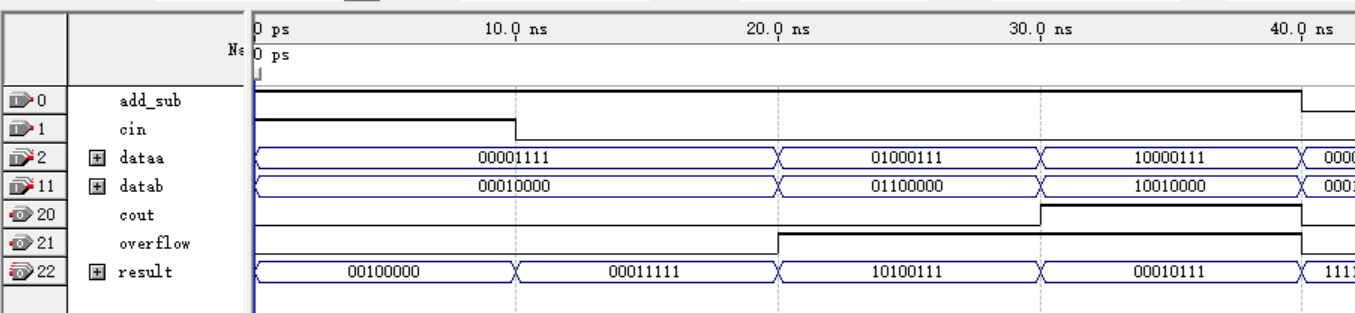
**1、电路仿真  
实验内容 1 —— 加减法器功能的测试**

（1）加法  
  
（2）减法  


**实验内容 2 —— ALU 的设计、实现及验证**

（1）加法  


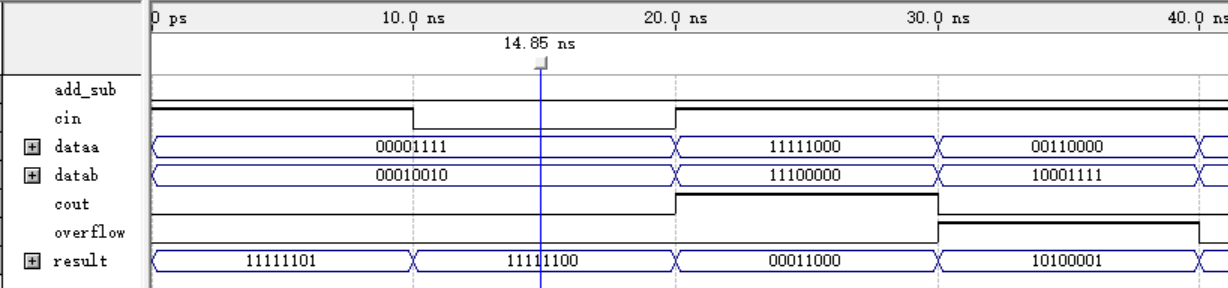
（2）减法  
  
（3）逻辑与  
  
（4）逻辑非  
  
**2、结果分析**

**实验内容 1 —— 加减法器功能的测试**   
（1）加法  
  
① 0-10ns cin=1,dataa=00001111,datab=00010000,Q=00001111+00010000+1=00100000,

没有进位，没有溢出  
② 10-20ns cin=0,dataa=00001111,datab=00010000,Q=00001111+00010000=00011111，

没有进位，没有溢出  
③ 20-30ns cin=0,dataa=01000111,datab=01100000,Q=01000111+01100000=10100111，

无进位，有溢出  
④ 30-40ns cin=0,dataa=10000111,datab=10010000,Q=10000111+10010000=00010111，

有进位，有溢出  
（2）减法  


1. 0-10ns
2. cin=1,dataa=00001111,datab=00010010,Q=00001111-00010000=11111101,没有进位，没有溢出  
   ② 10-20ns

cin=0,dataa=00001111,datab=00010000,Q=00001111-00010000-1=11111100，没有进位，没有溢出  
③ 20-30ns

cin=1,dataa=11111000,datab=11100000,Q=11111000-11100000=00011000，

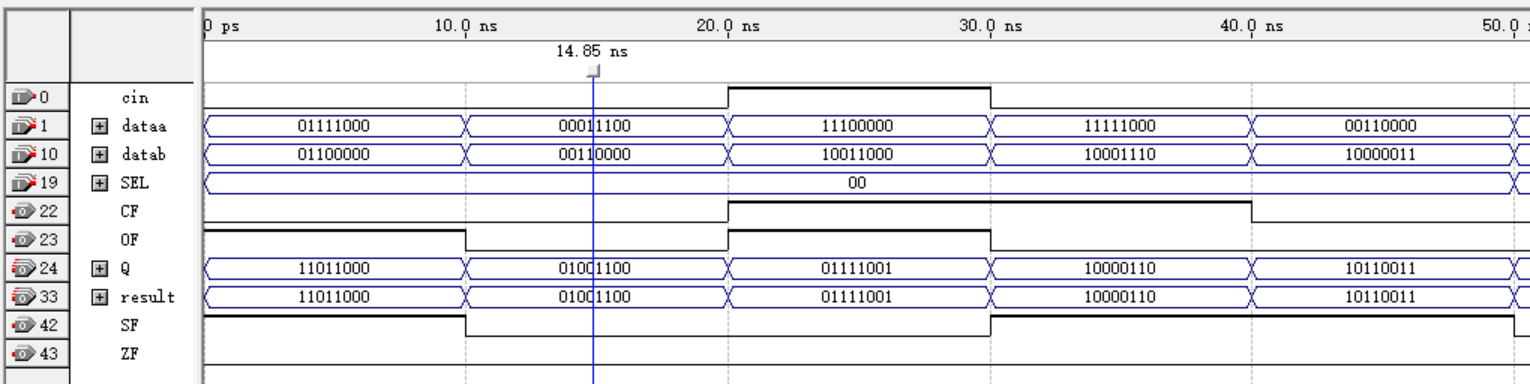
有进位，无溢出

④ 30-40ns

cin=1,dataa=00110000,datab=10001111,Q=00110000-10001111=10100001，

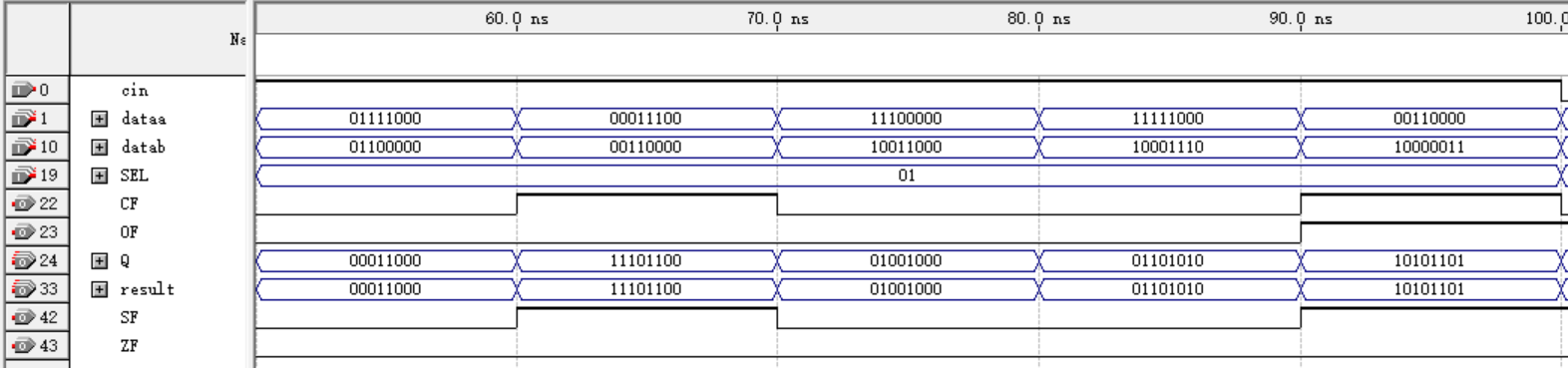
无进位，有溢出（

**实验内容 2 —— ALU 的设计、实现及验证**（1）加法



1. 0-10ns cin=0,dataa=01111000,datab=01100000,Q=01111000+01100000=11011000,

CF=0,OF=1,SF=1,ZF=0。  
② 10-20ns cin=0,dataa=00011100,datab=00110000,Q=00011100+00110000=01001100，CF=0,OF=1,SF=1,ZF=0。  
③ 20-30ns cin=1,dataa=11100000,datab=10011000,Q=11100000+10011000+1=01111001，CF=1,OF=1,SF=0,ZF=0。  
④ 30-40ns cin=0,dataa=11111000,datab=10001110,Q=11111000+10001110=10000110，CF=1,OF=0,SF=1,ZF=0。  
⑤ 40-50ns

cin=0,dataa=00110000,datab=10000011,Q=00110000+10000011=10110011，CF=0,OF=0,SF=1,ZF=0。  
（2）减法  
  
① 50-60ns

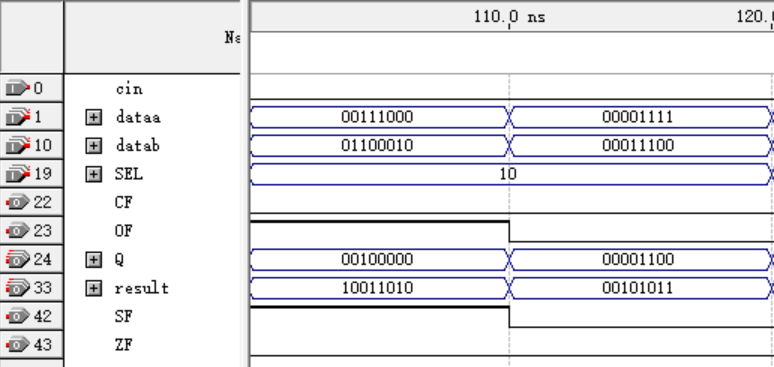
cin=1,dataa=01111000,datab=01100000,Q=01111000-01100000=00011000,

CF=0,OF=0,SF=0,ZF=0。  
② 60-70ns

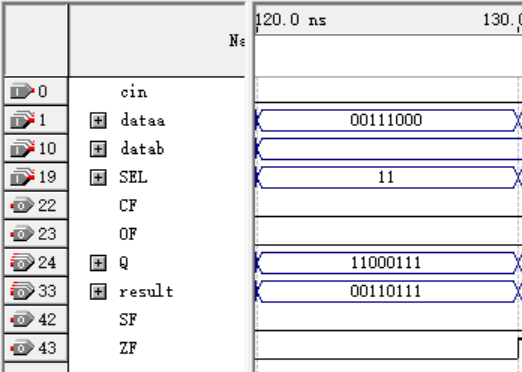
cin=1,dataa=00011100,datab=00110000,Q=00011100-00110000=11101011，CF=1,OF=0,SF=1,ZF=0。  
③ 70-80ns

cin=1,dataa=11100000,datab=10011000,Q=11100000-10011000=01000111，CF=0,OF=0,SF=0,ZF=0。  
④ 80-90ns

cin=1,dataa=11111000,datab=10001110,Q=11111000-10001110=01101001，CF=0,OF=0,SF=0,ZF=0。  
⑤ 90-100ns

cin=1,dataa=00110000,datab=10000011,result=00110000-10000011=10101100，CF=1,OF=1,SF=1,ZF=0。  
（3）逻辑与  
  
① 100-110ns dataa=00111000,datab=01100010,Q=00111000&01100010=00100000

② 110-120ns

dataa=00001111,datab=00011100,Q=00001111&00011100=00001100  
（4）逻辑非  
  
dataa=00111000,Q==11000111

**四、实验小结**

**工作分工**

由自己独立完成

**设计总结**  
本次试验采用了Quartus II提供的lpm\_add\_sub 加减法器和 lpm\_mux 数据选择器作为主要元件，传入控制信号：参与运算的两组数据 dataa [7..0]和 datab [7..0] 、SEL[1..0]和进位信号cin，实现了加法、减法、逻辑与、逻辑非，输出运算结果 Q[7..0]，同时输出状态标志 ZF、SF、CF、OF 的值。

**待改进之处**  
测试数据考虑不够全面，应该尝试更多可能的运算组合，确保不同数据的运算结果都准确无误。

**实验体会**  
在实验开始前要深入了解加/减法器的功能特性、ALU 的组成原理，事先列出相关运算的真值表，确定好不同运算的逻辑关系，再利用Quartus软件，通过原理图输入的方式，完成电路设计，并进行仿真。在本次试验中复习并熟悉了数字逻辑电路中加减法器、数据选择器、逻辑门的相关知识和基础操作，与此同时建立了 ALU 的直观概念，ALU作为CPU当中运算器的基本组成部分，对于计算机而言起着至关重要的作用，能够深入了解ALU的原理以及内部结构，对于计算机组成原理的学习有着巨大的帮助，加深了对课内知识的理解，对课程知识起到了很好的辅助理解和巩固作用。

**五、教师评语**